

# 薄栅氧化层经时击穿的参数表征研究

刘红侠 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

(1999 年 10 月 25 日收到; 1999 年 11 月 20 日收到修改稿)

在恒压应力条件下测试了薄栅氧化层的击穿特性, 研究了 TDDB 的击穿机理, 讨论了栅氧化层面积对击穿特性的影响. 对击穿电荷  $Q_{BD}$  进行了实验测试和分析, 结果表明, 击穿电荷  $Q_{BD}$  不是常数, 它依赖栅氧化层面积和栅电压. 对相关系数进行了拟合, 给出了  $Q_{BD}$  的解析表达式.

PACC: 7360H; 0710; 7220J

## 1 引 言

随着超大规模集成电路尺寸按比例缩小, 对于高可靠性薄栅氧化层的要求日益提高. 当讨论到在 VLSI 中出现的问题时, 注意力应该首先放在薄栅氧化层上. 因为它与介质的经时击穿 (Time Dependent Dielectric Breakdown, TDDB) 以及热载流子退化密切相关, 因此需要高质量高可靠性的  $\text{SiO}_2$  介质膜. TDDB 作为 VLSI 中最主要的失效机理而倍受关注. 国外早在七十年代初就其击穿机理、实验方法展开了大量研究, 国内从八十年代初也已展开了这方面的工作. 精确描述栅氧击穿的完整统一模型至今仍未得到, 归纳起来大致有如下几种: 1) 电子俘获击穿模型<sup>[1,2]</sup>, 认为电子俘获引起阳极电场增加, 当电场达到某一临界值时介质击穿. 2) 空穴击穿模型<sup>[3]</sup>, 由于氧化层中碰撞电离产生的空穴在电场下向阴极界面移动, 导致局部电场增强, 阴极势垒高度降低. 3) 击穿的统计模型<sup>[4]</sup>, 把氧化层中产生的缺陷等效为栅氧化层减薄, 不涉及击穿的物理本质. 4) 感生共振隧穿模型<sup>[5]</sup>, 认为高场载流子通过  $\text{SiO}_2$  能量间隙中存在的深缺陷态发生共振隧穿注入薄  $\text{SiO}_2$  中的. 目前, 对薄栅氧化层 TDDB 特性的研究焦点集中在其击穿机理和栅介质击穿参数的表征上. 本文对于薄栅氧化层击穿机理进行了实验分析和深入研究, 研究结果表明: 薄栅氧化层的击穿机理与 F-N 隧道电流有关, 薄  $\text{SiO}_2$  中的高场诱生陷阱, 电荷状态与原生陷阱、电荷一起造成了 F-N 电流, 产生电压的时变效应, 最后导致  $\text{SiO}_2$  的介质击

穿. 探讨了栅氧化层面积  $S$  对击穿时间  $T_{BD}$  的影响, 随  $S$  的减小,  $T_{BD}$  增加且趋近本征击穿对应的  $T_{BD}$ . 本文还研究了影响击穿电荷量  $Q_{BD}$  的因素, 在 TDDB 中常用  $Q_{BD}$  的大小作为薄栅介质质量的判据. 但实验表明  $Q_{BD}$  不是常数, 它与应力电压  $V_g$  以及栅氧化层面积  $S$  呈幂函数关系. 并从理论上进行了深入的分析, 认为应力电压增加和电容面积增加使得氧化层局部陷阱密度增加, 从而加剧了栅介质的损伤, 导致  $Q_{BD}$  下降.

## 2 实 验

为研究 TDDB 的击穿机理, 找出击穿时间  $T_{BD}$ 、击穿电压  $V_{BD}$  和击穿电荷量  $Q_{BD}$  对击穿特性的影响, 对厚度为 10 nm 的  $\text{SiO}_2$  介质组成的 MOS 电容进行了大量的实验. 栅氧化层 TDDB 特性的测试方法主要有恒定电流源、恒定电压源、斜坡电流源及斜坡电压源等方法<sup>[6,7]</sup>. 本文的实验采用恒定电压源.

### 2.1 实验样品

实验所用样品为多晶硅栅 p 型 MOS 电容结构 (PMOS), 制作在  $\mu(100)$  的硅衬底上. 经过 825°C 干氧栅氧化后在 900°C 氮气中退火 20 min, 最终栅氧化层厚度为 10 nm. 对每一种结构电容都有三种不同面积, 分别为  $100 \mu\text{m} \times 150 \mu\text{m}$ ,  $200 \mu\text{m} \times 300 \mu\text{m}$  和  $300 \mu\text{m} \times 500 \mu\text{m}$ .

### 2.2 测量条件

利用 HP4156B 高精度半导体参数分析仪对于

面积为  $100\ \mu\text{m} \times 150\ \mu\text{m}$  ( $1.5 \times 10^{-4}\ \text{cm}^2$ ) 的 p 型衬底电容施加不同的恒压应力, 测量栅电流  $I_g$ 、击穿时间  $T_{\text{BD}}$  和击穿电荷量  $Q_{\text{BD}}$ 。

### 3 结果与讨论

#### 3.1 薄栅氧化层的击穿机理

图 1 是对 PMOS 电容施加不同的恒定电压时的测试结果。从图中可看出, 当给样品施加恒压源时, 随着时间的增加,  $I_g$  缓慢下降。当达到某一临界值时,  $I_g$  突然上升, 样品击穿。实验中间并没有观测到  $I_g$  有饱和现象出现, 说明不断有新陷阱产生。当样品施加应力后, 由于电荷陷落以及注入  $\text{SiO}_2$  的热载流子在  $\text{SiO}_2$  中产生新的陷阱, 使得  $\text{SiO}_2$  层中陷阱电荷密度增加, 从而俘获电荷。在恒定电压注入条件下, 注入栅氧化层的电流必随着时间改变, 样品俘获电荷使  $I_g$  下降。对不同的栅电压  $V_g$ , 随着  $V_g$  的增加, 击穿时间  $T_{\text{BD}}$  减小。

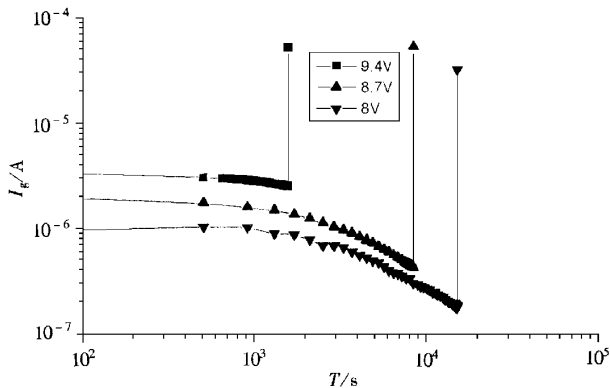


图 1 恒压偏置下栅电压  $V_g$  随时间  $T_{\text{BD}}$  的变化关系

上述实验结果表明, 薄栅氧化层的击穿分为两个阶段: 第一阶段是击穿的形成阶段, 它占据了  $\text{SiO}_2$  弛豫电导的绝大部分时间。在高场下电子加速, 使  $\text{Si}-\text{O}$  键发生形变或断裂形成陷阱,  $\text{SiO}_2$  中新生陷阱电荷的产生以及原生、新生陷阱俘获  $\text{F}-\text{N}$  隧道注入的电子形成空间电荷, 并且在  $\text{SiO}_2$  内部发生电荷的积累。积累的电荷量达到一定程度后, 使  $\text{SiO}_2$  内部的局部电场增加到某一临界值。实验表明, 该临界值约为  $13-15\ \text{MV}/\text{cm}$ , 并且随着氧化层厚度增加略呈下降趋势<sup>[12]</sup>。第二阶段称突变失控阶段, 在热或电的正反馈作用下, 在这一阶段迅速使氧化层发生不可逆转的电学击穿。氧化层的寿命(栅电流发生突变时对应的时间)由第一阶段中电荷

的积累时间来决定。

此外, 实验还发现, 即使对于同一栅电压, 各个电容击穿时对应的击穿时间  $T_{\text{BD}}$  并不完全相同, 所测定的  $T_{\text{BD}}$  服从对数正态分布, 如图 2 所示。薄栅氧化层的 TDDB 现象应该是对大量实验进行统计分析的结果。

对于三种不同面积的栅介质电容, 其面积分别为  $300\ \mu\text{m} \times 500\ \mu\text{m}$ ,  $200\ \mu\text{m} \times 300\ \mu\text{m}$  和  $100\ \mu\text{m} \times$

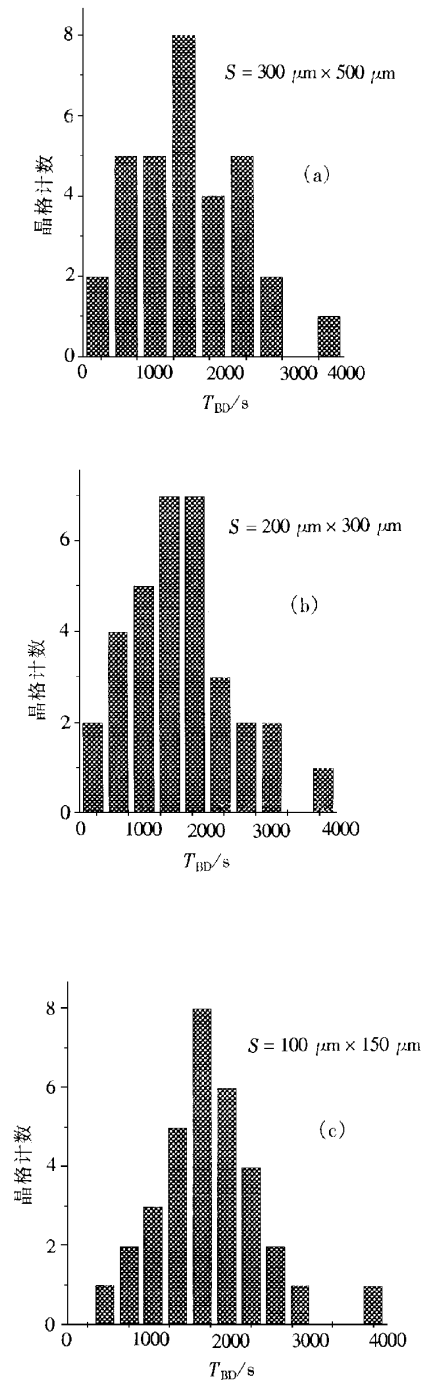


图 2 栅氧化层面积  $S$  对击穿时间  $T_{\text{BD}}$  分布的影响

150  $\mu\text{m}$ . 施加恒压应力  $V_g = 9.4\text{V}$ , 分别测量其击穿时间  $T_{\text{BD}}$ , 并且对  $T_{\text{BD}}$  进行统计, 并做出统计分布图, 如图 2(a)(b)(c) 所示.

从图中可以看到, 对于同样的栅电压, 随着电容面积的增加, 击穿时间变短. 对于面积为  $300\ \mu\text{m} \times 500\ \mu\text{m}$  的大面积电容, 加应力 1250 s 时, 大部分器件已经击穿. 而面积为  $200\ \mu\text{m} \times 300\ \mu\text{m}$  的中等电容, 击穿时间峰值大约为 1500 s. 对  $100\ \mu\text{m} \times 150\ \mu\text{m}$  最小面积电容, 击穿时间最长, 大部分器件在 1750 s 后才发生击穿, 而且击穿时间分布的峰值也变的非常尖锐. 该峰值代表本征击穿, 而不是由于局部分布的针孔或其他氧化层缺陷引起的. 由此可以推出, 随着氧化层面积的进一步减小, 可以最大限度地削弱由于氧化层缺陷引起的早期击穿, 得到对应于本征击穿的  $T_{\text{BD}}$  的统计分布. 目前集成电路中由于采用了很小面积的栅氧化层面积电容, 典型的 MOS 栅电容面积约为  $10^{-5} \sim 10^{-7}\ \text{cm}^2$ . 因此, 在每一电场下仅需要少数几个测量就够了.

### 3.2 电容面积 $S$ 对击穿电荷量 $Q_{\text{BD}}$ 的影响

对于上述三种面积 ( $100\ \mu\text{m} \times 150\ \mu\text{m}$ ,  $200\ \mu\text{m} \times 300\ \mu\text{m}$ ,  $300\ \mu\text{m} \times 500\ \mu\text{m}$ ) 的 p 型衬底电容施加恒压应力  $V_g = 9.4\text{V}$ , 测量击穿电荷量  $Q_{\text{BD}}$  如图 3 所示. 由图可见, 在栅电压  $V_g$  一定时, 随着电容面积  $S$  的增加, 击穿电量  $Q_{\text{BD}}$  出现下降的趋势, 并且击穿电量  $Q_{\text{BD}}$  和电容面积  $S$  呈现幂函数关系. 这进一步说明了电容面积  $S$  对于本征击穿的影响.

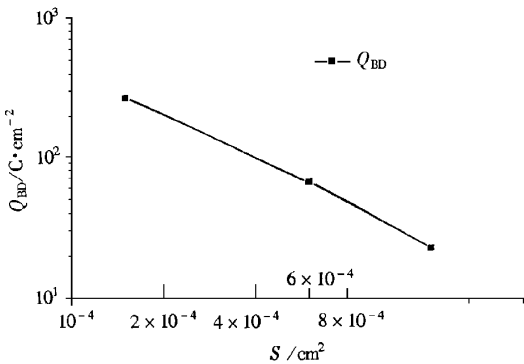


图 3 击穿电荷量  $Q_{\text{BD}}$  与电容面积  $S$  的变化关系曲线

### 3.3 栅电压 $V_g$ 对击穿电荷量 $Q_{\text{BD}}$ 的影响

对于面积  $S$  为  $100\ \mu\text{m} \times 150\ \mu\text{m}$  的 p 型衬底电容施加不同的恒压应力, 栅电压  $V_g$  分别为 5.2, 6.6, 8.0, 9.4, 10.8, 12.2V. 测量击穿电荷量  $Q_{\text{BD}}$  与栅电压  $V_g$  的变化关系, 结果如图 4 所示. 由图可

见, 当电容面积  $S$  一定时, 随着栅电压  $V_g$  的增加, 击穿电荷量  $Q_{\text{BD}}$  出现下降的趋势, 二者之间呈现幂函数关系. 上述两实验都说明了击穿电荷量  $Q_{\text{BD}}$  并非常数, 它随着电容面积  $S$  和栅电压  $V_g$  的变化而变化.

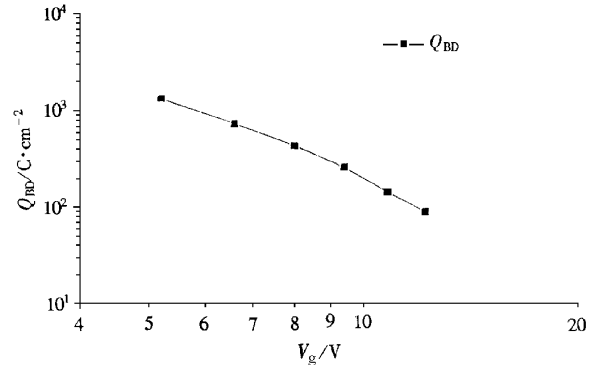


图 4 击穿电荷量  $Q_{\text{BD}}$  与栅电压  $V_g$  的变化关系

对于介质的时变击穿即 TDDB, 文献中通常用相关击穿电荷量  $Q_{\text{BD}}$  来描述<sup>[8]</sup>,

$$Q_{\text{BD}} = \int_0^{T_{\text{BD}}} J_{\text{FN}}(T) dt, \quad (1)$$

在恒流应力条件下,  $Q_{\text{BD}}$  与  $T_{\text{BD}}$  之间有简单的函数关系, 即

$$Q_{\text{BD}} = J_{\text{FN}} \times T_{\text{BD}}, \quad (2)$$

其中  $J_{\text{FN}}$  是恒流注入的 F-N 隧道电流密度. 在有限的电压变化范围内,  $Q_{\text{BD}}$  随  $J_{\text{FN}}$  的相对变化量远比  $T_{\text{BD}}$  小得多, 即

$$\frac{dQ_{\text{BD}}}{Q_{\text{BD}}} \ll \frac{dT_{\text{BD}}}{T_{\text{BD}}} \quad (3)$$

相对而言,  $Q_{\text{BD}}$  可以近似看成常数. 因此至今为止, 常用  $Q_{\text{BD}}$  的大小作为薄栅介质质量的判据<sup>[9-11]</sup>. 然而本文通过对 MOS 电容所进行的大量测试, 结果表明, 当电压变化范围较大时,  $Q_{\text{BD}}$  不是常数,  $Q_{\text{BD}}$  与栅电压  $V_g$  有关. 随着栅电压  $V_g$  增加即应力密度增加,  $Q_{\text{BD}}$  出现图 4 所示下降的趋势. 这是因为随着栅电压  $V_g$  增加, 高场下电子获得的速度增加, 从而加速了新生陷阱的产生. 新生的陷阱俘获 F-N 隧道注入的电子形成空间电荷, 并且在  $\text{SiO}_2$  内部发生电荷的积累, 从而加剧了栅介质的损伤, 使得在较短的时间和较低的击穿电荷  $Q_{\text{BD}}$  下便发生击穿. 此外,  $Q_{\text{BD}}$  还与栅氧化层面积  $S$  有关, 随着栅氧化层面积  $S$  的增加, 即对大面积的氧化层, 在应力作用下氧化层局部产生陷阱的概率增加, 从而使击穿电

荷  $Q_{BD}$  降低. 因此, 用  $Q_{BD}$  的大小作为薄栅介质质量的判据只能是某种程度上的近似.

由上述实验结果可推知, 击穿电荷量  $Q_{BD}$  和电容面积  $S$  及栅电压  $V_g$  的关系可以用解析式表示成

$$Q_{BD}(S, V_g) = a \cdot S^{-b} \cdot V_g^{-c}, \quad (4)$$

式中,  $Q_{BD}$  的单位为  $C/cm^2$ ,  $S$  的单位为  $cm^2$ , 电压的单位为  $V$ , 系数  $a$ ,  $b$  和  $c$  的值与氧化层的性能(生长条件, 栅极材料等)及偏置条件有关. 在上述应力条件下, 对其相关系数  $a$ ,  $b$  和  $c$  进行了拟合, 结果见表 1. 上述表达式对不同的  $S$  和  $V_g$  外推进行验证, 在很大的栅电压范围和电容面积范围内该结果和参考文献取得了较好的一致.

表 1 恒压偏置条件下(4)式的最佳拟合系数

$a$	$b$	$c$
15.066	1.059	2.879

此外, 通过测量恒定电流应力下的击穿电荷量发现, 击穿电荷量  $Q_{BD}$  和电容面积  $S$  及栅电流密度  $J_g$  的关系也呈现出类似的幂函数关系<sup>[12]</sup>. 上述研究结果表明: 击穿电荷量  $Q_{BD}$  除了与氧化层质量有关外, 还与栅电压、栅电流以及栅氧化层面积强有关.

## 4 结 论

利用恒定电压应力分别对 PMOS 电容进行击穿特性测试, 研究结果表明:

1. 薄栅氧化层的击穿机理与 F-N 隧道电流有关, 薄  $SiO_2$  中的高场诱导陷阱, 电荷状态与原生

陷阱、电荷一起造成了 F-N 电流, 产生电压的时变效应, 最后导致  $SiO_2$  的介质击穿.

2. 研究了栅氧化层面积  $S$  对本征击穿特性的影响. 对于同样的电压应力, 随着电容面积的增加, 击穿时间变短.

3. 对相关击穿电荷  $Q_{BD}$  实验测试和分析结果表明: 相关击穿电荷量  $Q_{BD}$  不是常数, 而是应力电压  $V_g$  以及栅氧化层面积  $S$  的幂函数. 给出了  $Q_{BD}$  的解析表达式, 并且对相关参数进行了拟合, 理论与实验取得了较好的一致.

- [1] D. J. Dumin, *IEEE Trans. Electron Devices*, **41** (1994), 1570.
- [2] P. P. Apte, *IEEE Trans. Electron Devices* **41** (1994), 1595.
- [3] C. F. Chen, C. Y. Wu, *IEEE Trans. Electron Devices*, **4** (1997), 1540.
- [4] J. C. Lee, J. C. Chen, C. Hu, *IEEE Trans. Electron Devices* **35** (1988), 2268.
- [5] B. Ricco, *Rhys. Rev. Lett.* **51** (1983), 1795.
- [6] I. C. Chen *et al.*, *IRPS* (1985), 24.
- [7] P. Cappelletti *et al.*, *Int. Conference on Microelectron Test Structures* **4** (1991), 81.
- [8] C. Hu, *Tech. Digest IEDM* (1985), 368.
- [9] Z. H. Liu, P. T. Lai, Y. C. Cheng, *IEEE Trans. Electron Devices* **38** (1991), 344.
- [10] P. Olivo, T. N. Nguyen, B. Ricco, *IEEE Trans. Electron Devices* **38** (1991), 527.
- [11] D. R. Wolter, J. J. Van, D. Schoot, *Philips J. Res.* **40** (1985), 115.
- [12] H. X. Liu, Y. Hao, *Chinese Journal of Semiconductors*, **21** (2000), 146 (in Chinese) [刘红侠、郝跃, 半导体学报, **21** (2000), 146].

## STUDY ON PARAMETER CHARACTERIZATION OF THIN GATE OXIDE TDDB BREAKDOWN

LIU HONG-XIA HAO YUE

( *Institute of Microelectronics , Xidian University , Xi 'an 710071 , China* )

( Received 25 October 1999 ; revised manuscript received 20 November 1999 )

### ABSTRACT

Breakdown characteristics of the thin gate oxide are measured under constant voltage stresses. Breakdown mechanism of time-dependent dielectric breakdown are studied and effects of the areas of the gate oxide on breakdown characteristics are discussed. Breakdown charge  $Q_{BD}$  is measured and analyzed , the results show that breakdown charge  $Q_{BD}$  is not constant , it depends on the areas of the gate oxide and the voltage of the gate. Relative coefficients are fitted and analytical expression of  $Q_{BD}$  is presented in the paper.

**PACC** : 7360H 0710 7220J