

SOI MOSFET 转移特性中的深度饱和现象研究*

郝 跃¹⁾ 朱建纲¹⁾ 郭 林²⁾ 张正幡²⁾

¹⁾ 西安电子科技大学微电子研究所, 西安 710071)

²⁾ 四川固体电路研究所, 重庆 400060)

(2000 年 3 月 27 日收到, 2000 年 7 月 12 日收到修改稿)

研究了 SIMOX SOI 器件的电学特性. 发现在众多的 MOSFET 中, 输出特性曲线的低漏压端都出现了“鸟嘴”形畸变, 表现在转移特性曲线上便是高栅压区域中漏电流的深度饱和. 在经历沟道热载流子应力之后, 这类器件的电学参数退化不同于一般器件的损伤特性. 研究发现 NMOSFET 在应力之后其漏电流的深度饱和得到恢复, 而对于 PMOS, 应力之后输出特性中的“鸟嘴”形畸变并没有消弱的迹象. 这些性质对于 SOI 器件可靠性设计和可靠性加固均是重要的.

关键词: SOI, 深度饱和, 热载流子, 界面陷阱

PACC: 7340

1 引 言

SOI MOSFET 在亚微米、深亚微米范围的低压低功耗 CMOS 电路、存储器及高温高频应用中, 具有很大的吸引力, 在 ULSI 时代具有很强的竞争力. 与体硅器件相比较, CMOS/SOI 结构具有以下几个优点: 消除了闩锁效应, 减小了软误差率和寄生电容、泄漏电流, 并且器件隔离工艺更加简单, 浅结制作更加方便^[1-3]. 并且 SOI 器件还具有很陡的亚阈值斜率, 电流驱动能力很大, 短沟道效应也被减小^[4]. 这一切都使得它成为人们关注的焦点. 目前制作 SOI MOSFET 最常用的材料是使用 SIMOX 技术加工而得的, 在大剂量的氧离子注入过程中所产生的大量缺陷, 在随后的高温退火中虽然得到了很好的恢复^[1], 但仍会有不少的界面陷阱存在于器件沟道的界面处, 对 MOSFET 的电学性能产生严重的影响. 使得器件除了因其独特结构而引起的“Kink”效应、单管闩锁效应、前背沟耦合效应外^[5,6] 还会因栅界面损伤的影响而产生出不同于一般体硅器件的独特性质. 基于以上问题, SOI MOSFET 和电路的可靠性研究仍是十分重要的.

本文分析了存在于 SIMOX SOI 器件输出特性

和转移特性中的大量畸变现象, 并对这种畸变现象的出现给出了合理的解释. 研究了沟道热载流子注入对这种现象的影响, 从中得出 p 管与 n 管的热载流子应力后器件表现是不相同. 本研究对于 SOI 电路和器件的可靠性设计和加固奠定了一定的基础.

2 SIMOX SOI 器件电特性的畸变

本研究所用的 SIMOX SOI 器件, 顶层硅膜厚度为 $t_{Si} = 120-150$ nm, 为 n 型掺杂, 浓度为 $N_p = 1 \times 10^{16}/\text{cm}^3$. PMOSFET 的沟道阈值电压调整采用硼注入, 注入剂量为 $8 \times 10^{11}/\text{cm}^2$, 注入能量为 80 keV. 漏源区进行 P⁺ 注入(即大剂量的硼离子注入), 注入剂量为 $5 \times 10^{15}/\text{cm}^2$, 注入能量为 80 keV. 对于 n 型 SOI 器件, 阈值电压调整仍采用沟道硼注入, 但注入剂量为 $8 \times 10^{12}/\text{cm}^2$, 注入的杂质离子能量为 80 keV. 漏源区采用 N⁺ 注入(即磷杂质注入), 注入剂量为 $5 \times 10^{15}/\text{cm}^2$, 注入能量为 100 keV. 器件的栅氧厚度为 $t_{fox} = 35$ nm. n 管、p 管的沟长均为 $3 \mu\text{m}$. 这两种器件的硅薄膜体都没有电极引出, 且都是部分耗尽(PD)型器件.

多数 SIMOX SOI 器件, 其输出特性曲线都会表现出异常——在低漏压区域中输出漏电流挤压在

* 国防预先基金(批准号 8.5.3.4)资助的课题.

一个数值很低、变化范围很狭窄的区域内,仿佛沟道并未充分开启,好使此时的栅电压已经非常大.例如图 1(a)中给出的 NMOS 器件,其栅压高达 6 V,而其阈值电压测得仅为 2.4 V;图 1(b)中给出的 PMOS 器件,其栅压最大为 -5 V,而其阈值电压仅为 -1 V. 这样在输出特性曲线的低漏压顶端处便形成一个尖尖的“鸟嘴”:在低漏区区域中沟道表现出高阻状态,此时输出曲线处于低斜率线性区.随着漏电压的增大,沟道转向低阻状态,输出曲线进入高斜率线性区.为研究这种反常的线性区输出特性,先给出 MOSFET 的线性区漏电流公式

$$I_{ds} = \frac{W\mu_{eff}}{L}V_{ds}qN_{inv} \quad (1)$$

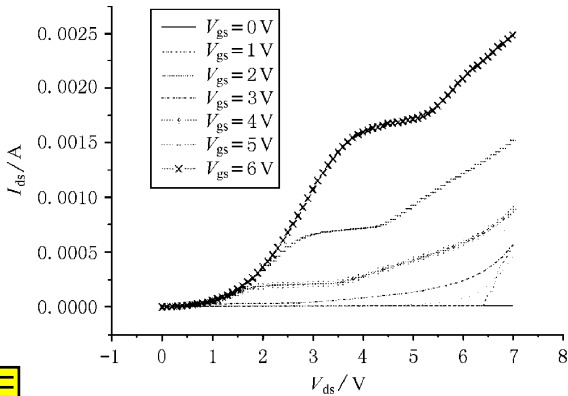
其中 W, L 分别是沟道的宽与长, μ_{eff} 是沟道载流子的有效迁移率, qN_{inv} 是反型层单位面积上的电荷数量. μ_{eff} 受体内载流子迁移率和沟道界面处散射退化的影响,可以表示为^[7]

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{ac}} + \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} \quad (2)$$

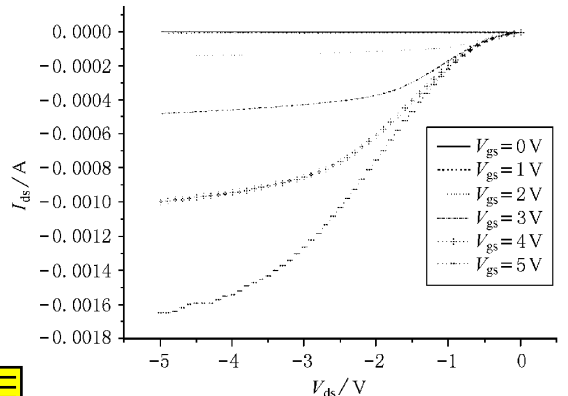
其中 μ_b 是硅体内载流子的迁移率, μ_{ac} 是受表面声学声子散射影响的载流子迁移率退化, μ_{sr} 是表面粗糙散射所引起的迁移率退化,并且 μ_{ac} 和 μ_{sr} 都与垂直方向的有效电场 E_{eff} 强相关^[8]. E_{eff} 可以近似表示为 $E_{eff} = q(0.5N_{inv} + N_{depl})/\epsilon_{Si}$ ^[8], 这里 ϵ_{Si} 是硅的介电常数, qN_{depl} 是耗尽层单位面积上的电荷数量. 则(1)式可表示为

$$I_{ds} = 2\frac{W}{L}V_{ds}\mu_{eff}(\epsilon_{Si}E_{eff} - qN_{depl}) \quad (3)$$

在器件的线性工作区(测量时保持 $|V_{ds}| = 0.1V$)中, E_{eff} 是随栅压 V_{gs} 的增大而增大的,并且耗尽层中的电荷在沟道开启后基本上不再随栅压的增大而变化. 这样导致沟道有效电阻增大的因素只有沟道载流子有效迁移率 μ_{eff} 降低.

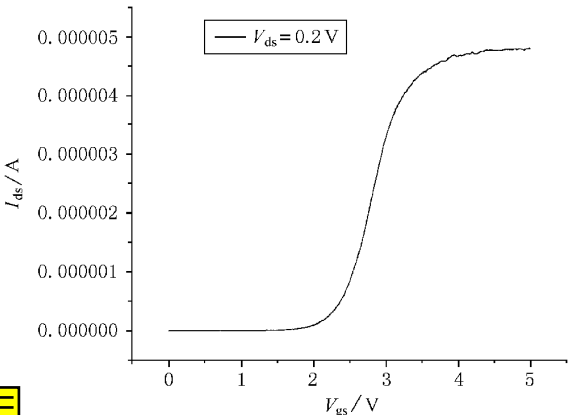


(a) NMOSFET 的输出特性曲线(低漏压端曲线出现畸变)

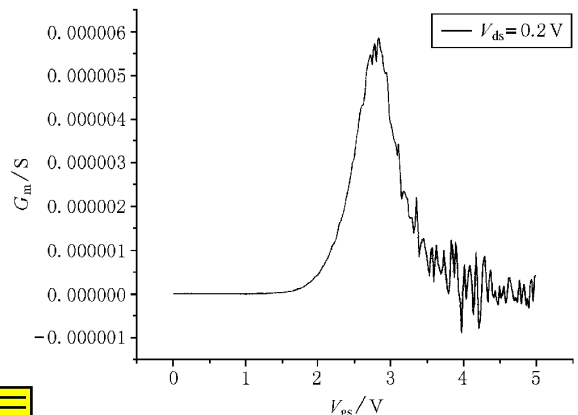


(b) PMOSFET 的输出特性曲线(低漏压端曲线出现畸变)

图 1 部分耗尽的 SIMOX SOI 器件的输出特性



(a) NMOSFET 的转移特性曲线



(b) NMOSFET 的线性区跨导曲线

图 2 高阻态线性区输出特性在转移特性和跨导上的表现

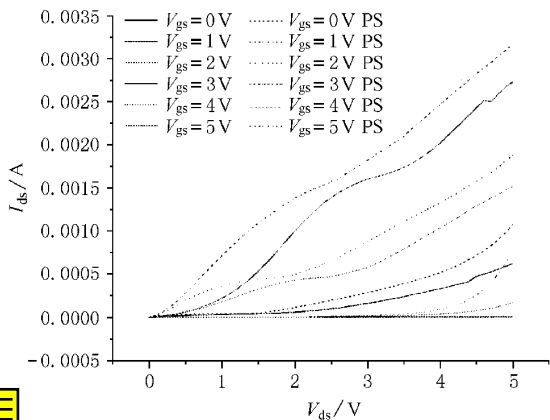
由于 SIMOX 的制备技术,会使得 SOI 器件的 Si-SiO₂ 界面处会存在有较高密度的界面陷阱,从而引起严重的表面粗糙散射.从(2)式可看出,严重的表面粗糙散射,会引起沟道载流子有效迁移率的严重退化.这样沟道有效电阻便会增大,使器件的输出特性曲线在低漏压端形成“鸟嘴”形状(见图1).在该段高阻态线性区中,随着栅电压的增大,纵向有效电场 E_{eff} 是增大的.虽然受表面粗糙散射的影响,沟道有效迁移率会随 E_{eff} 的增大而减小,但在较低栅压下,有效电场 E_{eff} 的增大是影响漏电流的主要因素.因此会出现图2(a)中在2—4 V 栅压范围内漏电流的急剧增大,反应在跨导上便是线性区跨导在 $V_{gs} = 2.8$ V 附近出现极大峰值(见图2(b)).当栅电压较高时,表面粗糙散射所引起的沟道有效迁移率退化变得十分显著,并成为主要因素.其作用与 E_{eff} 增大的作用相抵消,导致漏电流深度饱和——漏电流基本不再随栅电压的增大而增加,此时的线性区跨导也回落为零值.如图2所示.对于 PMOSFET

在高栅压下漏电流的深度饱和也可作出如此的解释.

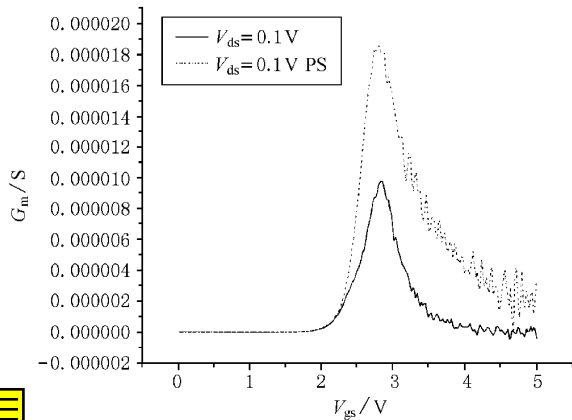
另一方面当漏电压增大时,沟道中的横向电场便会增强.此时载流子可以从沟道电场中获得更大的能量.这样沟道载流子向界面下硅体中扩展的能力(概率)增大.因此表面粗糙散射对载流子的影响便会减弱,直接导致沟道有效迁移率 μ_{eff} 退化量的减小.由(3)式可知,随着 μ_{eff} 的增大,沟道有效电阻便会变小,从而导致如图1(a)(b)所示较高漏电压下低阻态线性电流区的出现.

3 热载流子应力后 NMOS 特性的变化

对 MOS 器件施加热载流子应力,由于沟道载流子向栅氧化层中的注入和陷落,改变了 Si-SiO₂ 系统中的电荷数量和电荷分布,必然会导致器件特性的变化.



(a) 应力前后的输出特性比较



(b) 应力前后的线性区跨导的比较

图3 具有“鸟嘴”现象的 SOI NMOSFET 应力前后的器件特性比较(应力条件为: $V_{ds} = 6V, V_{gs} = V_{th}$, 应力时间为 40000 s. “PS”表示热载流子应力后的试验曲线)

图3给出了具有高阻态线性区的 SOI NMOSFET 在低栅压偏置条件($V_{ds} = 6V, V_{gs} = V_{th}$)下,经历 40000 s 热载流子应力之后的输出特性和线性区跨导的变化(图中以虚线表示).与应力前的特性(图中以实线表现)相比较,可以看出其“鸟嘴”现象被大大削弱:在输出特性曲线中(如图3(a)所示),低阻态线性区电流在较低的漏电压下便已出现.在整个漏压范围内输出漏电流都表现出很大的增长,尤其是在较低的漏压区段,由于高阻状态的抑制,漏电流的增加尤为明显.反应在线性区跨导曲线(见图3(b))上,表现为线性区跨导峰值有很大的增

长,且在高栅压区内跨导值不再回到零值.

表1 正常的与具有“鸟嘴”现象的 SOI n 型器件的热载流子应力退化量比较

NMOSFET	应力条件一			应力条件二		
	$\Delta G_{m\max}$	ΔV_{text}	ΔV_{tc}	$\Delta G_{m\max}$	ΔV_{text}	ΔV_{tc}
正常器件(A)	+0.65%	-0.50V	-0.55V	-0.54%	-0.25V	-0.30V
具有“鸟嘴”现象的器件(B)	+33%	+0.06V	-0.10V	+55%	-0.04V	-0.18V

注 应力条件一为: $V_{gs} = V_{th}, V_{ds} = 6V$; 应力条件二为: $V_{gs} = V_{th}, V_{ds} = 7V$.

表 1 给出了 A、B 两类 n 型器件在应力后电参数退化量的比较(所施加的应力时间为 40000 s),其中 $\Delta G_{m \max}$ 是最大线性区跨导的退化量; ΔV_{text} 和 ΔV_{tci} 是器件阈值电压的漂移量,但测量方法不同(见附录).在不存在有“鸟嘴”的一般 SOI 器件(即 A 类器件)中,两种方法所测得的阈值电压值基本相同;而对于界面态密度较大的器件(即表中的 B 类器件),由于栅氧化层中注入电荷对器件电特性的影响,被所存在的大量界面态所屏蔽,导致所测得的 ΔV_{text} 和 ΔV_{tci} 之间存在有很大的差异;尤其是在引起阈值电压 V_{th} 减小的热载流子应力下,会出现 $\Delta V_{\text{text}} > \Delta V_{\text{tci}}$. 另外,还使得在相同应力条件下,有 A 类器件的阈值电压退化量大于相应的 B 类器件的退化量.反应在表 1 中,即为 $|\Delta V_{\text{tci}}|_B < |\Delta V_{\text{tci}}|_A$ 和 $|\Delta V_{\text{text}}|_B < |\Delta V_{\text{tci}}|_B$,且 $|\Delta V_{\text{text}}|_B$ 较接近零值.正是由于这些原因,当 V_{th} 向负向漂移时,在一般器件中,会出现线性区跨导的峰值 $G_{m \max}$ 向低栅压端移动;而在具有高阻态线性区的 SOI 器件中,则会出现 $G_{m \max}$ 所对应的栅电压值基本不变或略微向高压端漂移(如图 3(b)和图 4).

器件中大量界面态的存在不仅会影响热载流子应力后 V_{th} 的漂移量,还会强烈影响 $G_{m \max}$ 的退化. MOSFET 线性区跨导的表达式为^[1]

$$G_m = \frac{W\mu_{\text{eff}}C_{\text{ox}}}{L(1+\alpha)}V_{\text{ds}}, \quad (4)$$

其中, C_{ox} 是单位面积的栅氧化层电容, α 是个调整因子,对于体硅器件和部分耗尽器件可取 $\alpha \approx 1$.若在应力过程中热载流子引发界面态的产生,则会导致跨导值减小,表 1 中在应力条件下 A 类器件所表现出的 $G_{m \max}$ 减小便可由此解释.而在 B 类器件中,应力之前便有大量界面态存在,这会使应力过程中所产生的界面态被湮没,因此引起 B 类器件性能退化的机制主要是电荷在栅氧化层中的陷入.在表 1 的应力条件下,是有热空穴注入到栅氧化层中的(此时,阈值电压负向漂移).这样漏端累积的正电荷便会提升漏端有效电压,导致 B 类器件线性区跨导值的增大.反之,若是热电子注入到氧化层中,虽会降低漏极有效电压,但氧化层中负电荷的存在,也会对沟道电子会产生排斥作用,使得载流子的输运路径离开沟道界面,而向体内空间转移.这样大量界面陷阱对沟道载流子的影响将会降低.与前者相比,这是主要方面,因而此时 B 类器件线性区跨导表现出的仍然是有很大增长,如图 4 所示,其跨导峰值增

大,跨导峰值所对应的栅电压也向正向移动.

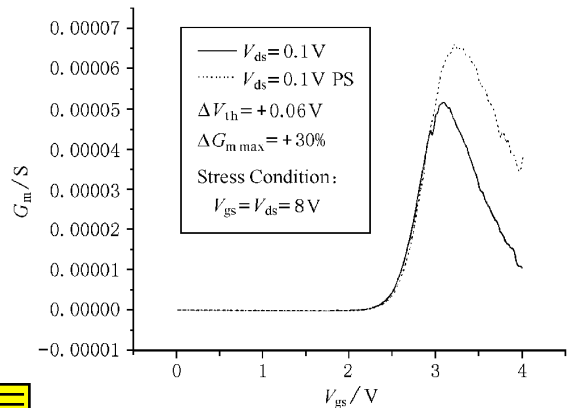


图 4 具有“鸟嘴”现象的 SOI NMOSFET 遭受热载流子应力 ($V_{\text{gs}} = V_{\text{ds}} = 8 \text{ V}$, 作用 40000 s) 后的线性区跨导曲线比较图(跨导在漏电压 $V_{\text{ds}} = 0.1 \text{ V}$ 时进行测量,应力所产生的氧化层中电子陷入导致阈值电压的正向漂移和最大线性区跨导)

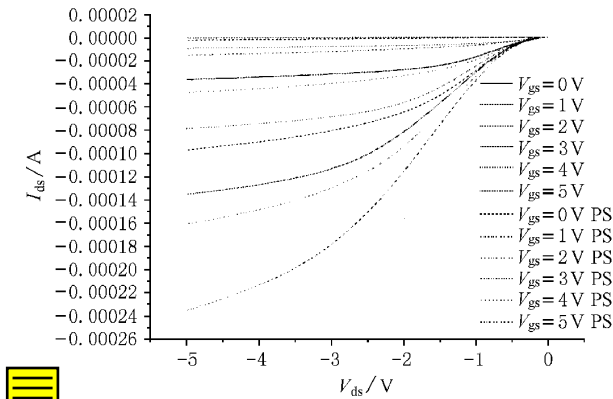
综上所述可得,在有“鸟嘴”现象出现的 n 型器件中,由于大量界面态的存在,导致器件的最大线性区跨导 $G_{m \max}$ 在经历各种热载流子应力(包括低、中和高栅压应力)之后均出现很大幅度的增长(从表 1 给出的数据可以看出,经过相同应力之后, B 类器件的跨导变化量远大于 A 类器件的变化量);同时阈值电压 V_{th} 会因具体应力条件的不同而出现正向漂移或负向漂移,且若是负向漂移则漂移量很小.这样应力后器件的线性区跨导在高栅压段将会出现明显的升高(如图 3(b)图 4 所示),即转移特性曲线中漏电流在高栅压区的深度饱和被削减.可见,一个具有“鸟嘴”现象的 SOI NMOSFET 在经受一定时间的热载流子应力作用之后,一般均会出现输出特性曲线中低漏压端“鸟嘴”现象的削弱.

4 热载流子应力后 PMOS 特性的变化

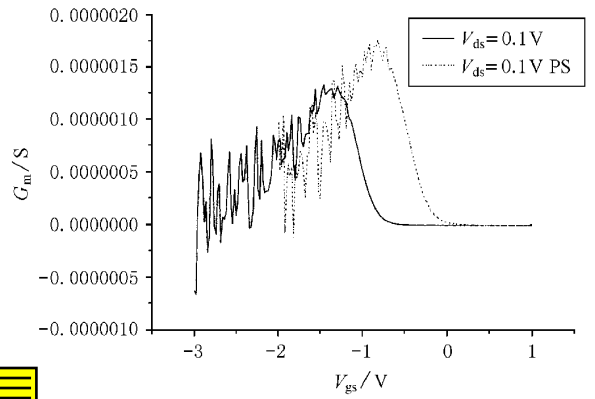
与 NMOSFET 不同,应力前具有高阻态线性区的 SOI PMOSFET,在热载流子应力(例如图 5),取低栅压应力 $V_{\text{ds}} = -9 \text{ V}$, $V_{\text{gs}} = V_{\text{th}}$,应力时间为 40000 s)之后,虽然漏电流值有较大增加,但“鸟嘴”现象并没有什么减弱,见图 5(a).图 5(b)显示了相应于图 5(a)的线性区跨导曲线在热载流子应力前后的比较:应力后的跨导峰值较应力之前增大很多,但随栅电压绝对值的增大跨导值仍会很快回落而趋向于零.另外在这种热载流子应力之后,器件的阈值电压发生正向漂移(即 $\Delta V_{\text{th}} > 0$,使得 $G_{m \max}$ 所对应

的栅电压向正向移动(见图 5(b)). 这样虽然应力后的最大线性区跨导值有很大增长, 但跨导峰值后较

高栅压区域中的跨导值与应力前比较却略有减小, 即跨导值更加趋向于零.



(a) 应力前后输出特性的比较



(b) 应力前后线性区跨导的比较

图 5 具有“鸟嘴”现象的 SOI PMOSFET 应力前后的器件特性比较

应力条件为: $V_{ds} = -9\text{ V}$, $V_{gs} = V_{th}$, 应力时间为 40000 s

表 2 正常的与具有“鸟嘴”现象的 SOI p 型器件的热载流子应力退化量比较

PMOSFET	应力条件一			应力条件二		
	$\Delta G_{m\max}$	ΔV_{text}	ΔV_{tci}	$\Delta G_{m\max}$	ΔV_{text}	ΔV_{tci}
正常器件 (A)	+3.0%	-0.20V	-0.23V	-0.30%	+0.23V	+0.25V
具有“鸟嘴”现象的器件 (B)	-13%	-0.21V	-0.23V	+30%	+0.22V	+0.25V

注: 应力条件一为: $V_{gs} = V_{ds} = -9\text{ V}$; 应力条件二为: $V_{gs} = V_{ds} = -7\text{ V}$, 应力时间为 40000 s.

在 SOI 工艺中, PMOS 为累积型器件, 沟道区采用 p 型杂质注入. 这样在沟道开启后, 沟道区与下面的硅体形成一个场至 p⁺p 结, 它的势垒高度低于 n 型器件中沟道区与下面硅体之间所形成的 pn 结. 当有正电荷陷入在栅氧中时, 沟道载流子——空穴受静电排斥作用的影响便会离开栅氧界面向硅膜体空间内转移, 载流子所受界面散射的影响就会减弱, 导致线性区跨导值的增大(见表 2 中, 应力条件一下 A 类器件的退化数据). 反之, 当有负电荷累积在栅氧的漏极附近时, 沟道载流子受静电引力作用而更加接近于栅界面, 所受界面散射的影响便会加重, 从而导致线性区跨导值的减小(如表 2 中, A 类器件在应力条件二下的退化数据).

但在有“鸟嘴”出现的 SOI PMOS 器件中, 沟道界面处大量存在的界面陷阱仍会湮没掉在应力过程中所产生的界面电荷. 在一定的热载流子应力作用下, 若 PMOS 中出现电子在栅氧化层中的陷入, 因这类器件的栅氧质量较差, 会导致漏端附近栅氧化

层负电荷的大量累积. 并且由于沟道区与源漏区同为 p 型掺杂, 因此很容易使其下方的沟道区扩延成为漏区. 这样沟道的有效长度 L_{eff} 便会缩短, 沟道的有效电阻便也随之减小. 其结果便是器件线性区跨导的增大和阈值电压绝对值的减小(见表 2 中应力条件二下 B 类器件的退化数据). 另外由于累积型器件较低的沟道—硅体结势垒, 使得 p 型器件的沟道载流子输运路径较 n 型器件, 离开沟道界面而移向硅膜体内的概率要大, 沟道载流子所受界面电荷的影响便也较小, 因此用两种方法所测得的阈值电压值漂移量 ΔV_{text} 和 ΔV_{tci} 基本相同(可见表 2 中所列的数据). 但跨导值仍会受所存在的大量界面陷阱的影响, 使得其变化幅度很大. 另一方面, 当应力导致有空穴注入到栅氧化层中时, 会引起器件 $|V_{\text{th}}|$ 的增大. 同时由于这些正电荷在漏端的累积会导致漏极有效电压幅值的减小, 使得沟道载流子能量有所降低, 因而电荷输运路径更加靠近栅氧界面, 遭受大量界面态的影响便也增大. 其结果便是线性区跨导值的大幅度减小(见表 2 中应力条件一下的 B 类器件退化数据). 所以, 具有“鸟嘴”现象的 PMOSFET 在经受热载流子应力之后, 其最大线性区跨导 $G_{m\max}$ 的变化与阈值电压 V_{th} 的漂移方向相同. 这样, 即使器件的 $G_{m\max}$ 出现明显增大时, 但由于跨导峰值所对应的栅电压向正向移动, 使得较高 $|V_{\text{gs}}|$ 区域内线性区跨导并未出现增大, 反而会略有下降(如图 5(b)所示). 表现在输出特性曲线上, 便是低 $|V_{\text{ds}}|$ 端高阻态线性区的依然存在(见图 5(a)).

5 结 论

在 SOI 器件中,界面态是影响器件跨导的主要因素,而氧化层中电荷却是导致阈值电压变化的关键.热载流子应力所造成的器件损伤量,与栅氧化层质量密切相关.尤其是大量界面陷阱的存在,会使器件跨导的退化量明显增大,同时也对阈值电压的漂移产生一定影响.在有“鸟嘴”现象出现的 n 型器件中,各种热载流子应力通常会引引起其线性区跨导的增大,而阈值电压则出现正向漂移或极小的负向漂

移,这样便会导致高栅压下漏电流深度饱和的消失.在具有同样现象的 p 管中,由于热载流子应力所引起的线性区跨导退化与阈值电压漂移的方向是相同的,因此其“鸟嘴”形畸变并不会被减弱.另外,实验中所用的是部分耗尽型器件,浮空体电位的变化也会引起器件阈值电压的漂移^[9],但由于本试验中所作的器件应力前后输出特性、线性区跨导等电参数的比较,是在应力后的一段时间内测量所得,此时浮空体电位已有足够时间得以恢复,因此可以排除体电位变化所带来的影响.本文研究对于 SOI 器件和电路的可靠性加固是重要的.

- [1] J. P. Colinge, SILICON-ON-INSULATOR TECHNOLOGY Materials To VLSI, Kluwer Academic Pub., 1991.
- [2] T. Tsuchiya, T. Ohno, Y. Kado *et al.*, *IEEE Trans. Electron Devices* **41**(1994), 2351.
- [3] S. H. Renn, J. L. Pelloie, F. Balestra, *IEEE Trans. Electron Devices* **45**(1998), 2335.
- [4] J. P. Colinge, Thin-film SOI technology: The solution to many submicron CMOS problems, *IEDM Tech. Dig.*, pp. 817 - 820, 1989.
- [5] F. Balestra, J. Jomaah, G. Ghibaudo *et al.*, *IEEE Trans. Electron Devices* **41**(1994), 109.

- [6] J. Y. Choi, J. G. Fossum, *IEEE Trans. Electron Devices* **38**(1991), 1384.
- [7] Medici User's Manual, Volume 1—Mobility Models, TMA, Incorporated.
- [8] R. Versari, B. Ricc, *IEEE Trans. Electron Devices* **46**(1999), 1189.
- [9] S. R. Banna, P. C. H. Chan, M. Chan *et al.*, *IEEE Trans. Electron Devices* **45**(1998), 206.

THE DEEP-SATURATION STUDY OF DRAIN CURRENT IN SOI MOSFET'S TRANSFER CHARACTERISTICS*

HAO YUE¹⁾ ZHU JIAN-GANG¹⁾ GUO LIN²⁾ ZHANG ZHENG-FAN²⁾

¹⁾ *Microelectronics Institute of Xidian University, Xi'an 710071, China*

²⁾ *Sichuan Institute of Solid Circuits, Chongqing 400060, China*

(Received 27 March 2000; revised manuscript received 12 July 2000)

ABSTRACT

In this work, the electric characteristics of SOI MOSFET are investigated. The deep-saturation of drain current in transfer character is found in many transistors. After applying the channel hot-carriers stress, the electric parameters degradation is very different from that of the normal transistors. It has been shown that the deep-saturation effect in NMOSFET disappears after stress, but in PMOS, this effect is not weakened by hot-carriers injection. The results are of importance for reliability designing and reliability strengthening of SOI devices.

Keywords: SOI, deep-saturation, hot-carriers interface-trap

PACC: 7340