

# InAs 自组装量子点 GaAs 肖特基二极管中的 电流输运特性\*

李宏伟 王太宏

(中国科学院物理研究所 北京 100080)

(2000 年 8 月 7 日收到, 2000 年 9 月 19 日收到修改稿)

设计了含有 InAs 自组装量子点(SAQDs)的新型金属-半导体-金属隧穿结构,研究了其直流输运特性,观察到了电流迟滞回路现象.这种回路现象是由于紧邻金属肖特基接触的量子点充电和放电引起的,也可以说是由外加电压控制的量子点的单电子过程引起的.分析了量子点总体的充放电特性,量子点中电子在高电场下隧穿出量子点的概率变化决定了量子点的放电过程,而充电过程是由流过量子点层的二极管正向电流决定.理论拟合结果显示充电过程主要由于量子点基态能级俘获电子照成的,激发态对量子点充放电过程只有微弱影响.

关键词:迟滞现象,自组装量子点,单电子过程

PACC: 6865, 7360L, 7340S

## 1 引 言

近来,自组装应变量子点(QDs)的光学<sup>[1,2]</sup>和电学<sup>[3-5]</sup>性质引起了人们的越来越多的关注,因为这种量子点结构完美,且尺寸可以做到很小达 10 nm 量级范围<sup>[6,7]</sup>.人们之所以对这种体系充满兴趣,因为它们不仅具有“人造原子”的基本性质,而且具有潜在的器件应用前景.有一些文献报道了包含自组装量子点(SAQDs)的水平输运器件,例如 AlGaAs/GaAs 调制掺杂场效应晶体管(MODFETs)<sup>[3-5]</sup>. Yusa 等人最先报道了由其中 InAs 自组装量子点中电荷存储效应引起的载流子浓度变化<sup>[3]</sup>. Kim 等人和 Shields 等人也报道了类似的电荷存储效应<sup>[4,5]</sup>.

除水平输运器件之外,包含 InAs 组织者量子点的垂直输运器件更具吸引力,因为在这种结构中载流子俘获效应和通过量子点能级的共振隧穿效应都可以发生.然而目前为止,这方面的实验还比较少. Nokano 等人<sup>[8]</sup>曾经报道了包含 InAs 自组装量子点的共振隧穿二极管中的迟滞回路现象. Jung 小组和 Yoh 小组等分别报道了通过自组装量子点能级的共振隧穿现象<sup>[9-12]</sup>. 本文通过自组装量子点的垂直结构电流输运特性.在我们设计的金属-半导体-金

属结构(MSM)中量子点埋在很薄的 GaAs 层当中,其一侧 4.0 nm 处为 Si 掺杂沟道层,另一侧为肖特基势垒,在两个金属电极之间的伏安曲线( $I-V$ )测试中,77 K 下我们观察到了明显的迟滞回路现象.这种迟滞回路是由器件结构中的量子点充电和放电状态对电流调制造成的,且具有良好的重复性.文中分析了量子点充电和放电过程随外加偏压的变化及其对流过电极的反向电流的调制作用,并根据我们的模型对实验结果进行了很好的拟合.

## 2 样品生长和器件制作

实验所用样品是由分子束外延(MBE)方法在  $n^+$ -GaAs(100)衬底生长的.结构如图 1 所示,包括 1  $\mu\text{m}$   $n^+$ -GaAs 缓冲层,掺杂浓度为  $1 \times 10^{18} \text{ cm}^{-3}$ ; 70 nm  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{GaAs}$  超晶格势垒; $\delta$ -Si 掺杂层载流子面密度为  $5.0 \times 10^{11} \text{ cm}^{-2}$ ; 4.0 nm GaAs 层; InAs 量子点层,4.0 nm GaAs 盖帽层.样品开始在衬底温度 580°C 时生长直到第一层 4.0 nm GaAs 结束,然后衬底温度降低为 440°C 生长 InAs QDs 层和最后的 4.0 nm GaAs 盖帽层.为尽量减小表面氧化,样品取出后立即按标准器件工艺做成金属-半导体-金属二极管结构,所用金属为金,电极间的间距  $d$

\* 国家自然科学基金(批准号 69925410 和 19904015)资助的课题.

和电极面积  $A$  各有不同. 另外, 我们还在同样条件下生长了没有最后 4.0 nm GaAs 盖帽层的量子点样品. 原子力显微镜 (AFM) 照片显示量子点形成较好, 平均直径约 15 nm, 量子点的密度  $\rho_D$  约为  $3 \times 10^{10} \text{ cm}^{-2}$ .

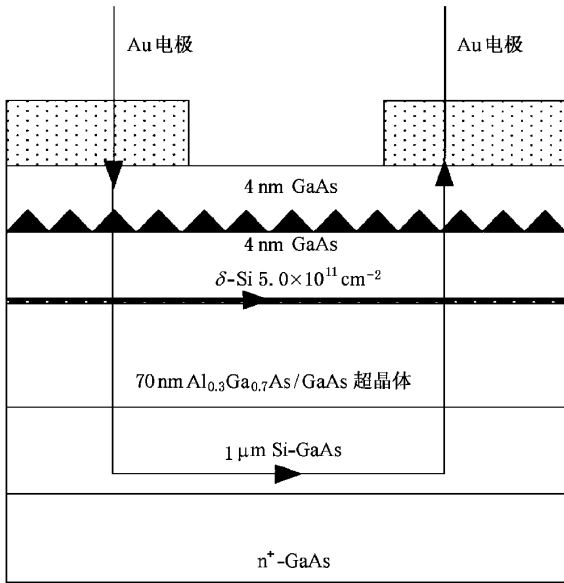


图1 MBE生长的GaAs/InAs QDs结构示意图

### 3 测试结果及讨论

样品 77K 下的典型的伏安特性 ( $I-V$ ) 及其微分电导 ( $dI/dV-V$ ) 分别见图 2 和图 3. 为了清楚起见, 图 3 中两个扫描方向的电导曲线之间有一定的平移. 测试是在可进行多次  $I-V$  扫描的设备上进行的. 样品在多次扫描时结果是重复的. 这里画出的曲线是  $+4.0\text{V}$  和  $-4.0\text{V}$  之间一次双向扫描的结果. 扫描由  $-4.0\text{V}$  开始, 当扫描由  $-4.0\text{V}$  向  $0\text{V}$  进行时在第三象限给出曲线 A, 继续扫描, 过了零点在第一象限给出曲线 B. 当扫描到达  $+4.0\text{V}$  时自动反向由  $+4.0\text{V}$  向  $-4.0\text{V}$  进行, 这时在第一和第三象限分别给出曲线 C 和 D. 如果扫描到达  $-4.0\text{V}$  再次反向后继续进行, 结果将重复曲线 A. 由图 2 可以看出高电流态曲线 A 和 C 在由  $\pm 4.0\text{V}$  到零的降低偏压扫描的过程中出现, 而低电流态曲线 B 和 D 是在由零到  $\pm 4.0\text{V}$  的升高偏压过程中出现. 迟滞回路正是由于这两种状态的差别造成的.

器件中金电极之间的距离  $d$  在  $100 \mu\text{m}$  量级而样品结构厚度则不超过  $0.1 \mu\text{m}$ , 因此 MSM 结构可

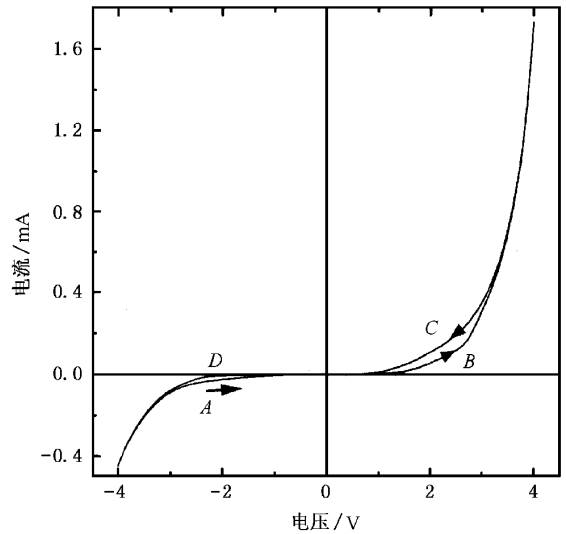


图2 MSM二极管在  $T=77\text{K}$  时的  $I-V$  特性 (箭头示出了电压扫描方向)

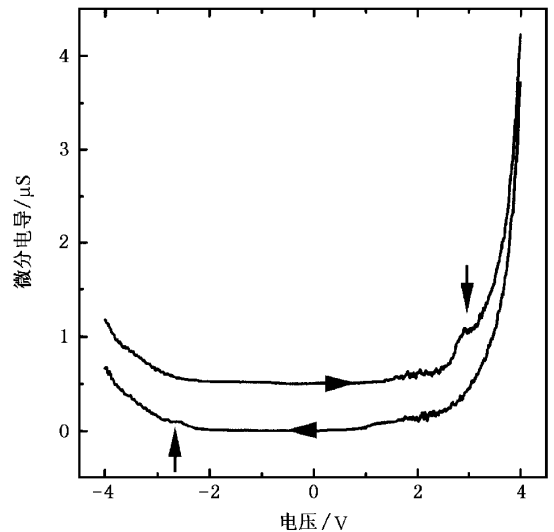


图3 由图2得到的微分电导曲线 ( $dI/dV-V$ ) 曲线上箭头示出了电压扫描方向, 两个垂直箭头标明了由于电子隧穿量子点引起的台阶结构的位置)

以简化为两个分开的背靠背的肖特基二极管, 在一定的外加电压下一个处于正偏压状态, 另一个处于反偏压状态<sup>[13]</sup>. 所以, 加在整个结构上的外加偏压  $V_T$  可以分为三部分, 落在正向二极管上的部分  $V_{\text{FOR}}$ , 落在反向二极管上的部分  $V_{\text{REV}}$ , 以及落在中间半导体层上的部分  $V_{\text{SEMI}}$ , 即  $V_T = V_{\text{FOR}} + V_{\text{REV}} + V_{\text{SEMI}}$ . 其中半导体层掺杂浓度达  $1 \times 10^{18} \text{ cm}^{-3}$ , 其电阻很小, 在测试范围内其压降  $V_{\text{SEMI}}$  很小, 可以忽略. 根据单载流子近似, 流过反向二极管的电子电

流  $I_{REV}$  和流过正向二极管的电子电流  $I_{REV}$  是相等的, 都等于总的测试电流  $I$ . 因此有  $I = I_{REV} = I_{FOR}$ , 其中  $I_{FOR}$  由  $V_{FOR}$  决定,  $I_{REV}$  由  $V_{REV}$  决定. 对金属-半导体肖特基接触来说, 除在较小偏压下, 正向电阻一般比反向电阻小得多. 因此, 整个器件所表现的特征可以由零点分开, 正负电压下的特征分别反映了两个肖特基二极管的反向特性. 也就是说, 曲线  $A$  和  $D$  是由一个金-GaAs 肖特基接触的反向特性决定的, 曲线  $B$  和  $C$  是由另一个金-GaAs 肖特基接触的反向特性决定的. 在第一和第三象限中的回路分别是由两个肖特基接触形成的, 它们之间的差别主要是由于不同的电极接触面积和 SAQDs 的涨落造成的.

现在我们讨论迟滞回路的形成机理. 迟滞回路是由于肖特基二极管中量子点充电和放电效应引起的. 当量子点俘获电子即充电后, 量子点处及其周围的势能增加, 泊松方程的经典解结果显示, 当量子点俘获两个电子时, 其周围的势能增加至少 50 meV. 这样每个充电量子点都相当于一个独立的库仑岛, 对流过的电流有阻碍作用. 在我们的结构中量子点上仅覆盖了 4.0 nm GaAs, 由量子点到金属-半导体界面的距离远远小于肖特基势垒宽度, 因而量子点处于肖特基势垒的耗尽层. 量子点充电后会引量子点处肖特基势垒增加, 而没有量子点的区域以及有量子点但没有充电的区域处的势垒是不变的. 这意味着当电流由金属向半导体流过时, 大多数电子更易于由势垒没有变化的区域通过, 充电量子点数目越多在相同的偏压下流过样品的电流越小, 充电量子点的这种阻碍作用造成的结果是对通过势垒的反向电流有调制作用.

下面我们讨论在电流输运过程中量子点充电和放电过程. 为了简单起见, 只考虑其中一个二极管的变化, 另一个二极管是完全相同的只是过程刚好相反. 当所考虑的二极管处于正向偏压时, 在电子由半导体进入金属的过程中, 部分电子可以弛豫到其中的量子点中去. 这个过程是由量子点的能级和量子点处的费米能级的相对位置决定的, 因此通过二极管的正向电流对其中量子点来说具有充电的作用. 量子点在正向电流作用下充电后, 随电压扫描的继续进行通过零点并在相反方向增大时, 两个二极管的偏压状态及其对电流的调制作用相互交换, 在正向已充电的二极管现在处于反向偏压的条件下, 成为对电流起限制作用的主要因素. 如前面所讨论

的, 充电量子点对通过肖特基二极管的电子来说是一些势垒更高的库仑岛, 对其有阻碍作用. 此时, 测试结果给出低电流态曲线  $B$  (或  $D$ ).

随着偏压的进一步增大, 肖特基二极管的反向电流不饱和而是在  $\pm 3V$  以后迅速增加. 造成这种增加的原因有几种机制, 包括有效势垒的降低、隧穿效应和产生复合电流<sup>[14]</sup>. 镜像力降低有效势垒并导致反向特性的“软化”, 在我们的器件中这不是导致反向电流剧烈增加的根本原因. 电子空穴对的产生复合电流也不是一个重要原因, 因为测试是在黑暗中进行的, 而且电场不足以产生雪崩击穿. 我们器件中电流迅速增加的原因主要是穿越势垒的直接隧道效应. Crowell 等人<sup>[15]</sup>曾经报道在金属-GaAs 接触中随着电场增强, 隧穿概率迅速增加导致反向电流迅速增大. 进一步考虑我们的样品结构, 在反向电流增大的同时量子点中电子也因为电场较强而具有较大的隧穿出量子点的概率, 并且因为其势垒较薄而更易发生隧穿, 具体过程将在下面段落进一步讨论. 所以, 偏压增大不仅导致反向电流迅速增大而且使大多数量子点失去电子. 这种放电过程在  $\pm 4.0V$  时达到饱和, 当扫描在  $\pm 4.0V$  返回时因为没有充电量子点的阻碍作用而给出高电流态曲线  $C$  (或  $A$ ).

为了进一步理解充电和放电过程随外偏压的变化, 我们对不同的电压范围进行了扫描测试. 图 4 给出了在  $-4.0V$  和不同正电压之间的测试结果. 为了清晰起见, 图中曲线都有一定的平移, 由下向上依次增加了 0.15 mA.

首先分析图中正向偏压部分. 随着偏压增大, 迟滞回路在 2.0V 时很小, 2.5V 时就变得很明显, 4.0V 时基本饱和. 进一步增大偏压没有观察到更大的回路. 在所有扫描中, 负向偏压下的充电过程是相同的, 迟滞回路的差别是由于放电过程的不同造成. 虽然热发射和声子辅助隧穿机制对电子逃离量子点有一定贡献, 但是在强电场下电子逃逸量子点的过程主要由直接隧穿决定. 在三角势垒近似下, 隧穿速率可表示为<sup>[16]</sup>

$$e_t = \frac{qE}{4\sqrt{2m^*E_i}} \exp\left\{\frac{-4\sqrt{2m^*E_i}^{3/2}}{3qhE}\right\}, \quad (1)$$

其中  $E$  是电场强度,  $m^*$  是 GaAs 中电子有效质量,  $E_i$  是势垒高度,  $q$  是电子电荷,  $h$  是普朗克常数. 由方程 (1) 可看出, 随着电场强度的增强, 隧穿速率迅速增大. 作一个近似估计, 假设  $E_i \cong 180$  meV 相当于量子点基态到 GaAs 导带底能量差, 隧穿速率  $e_t$

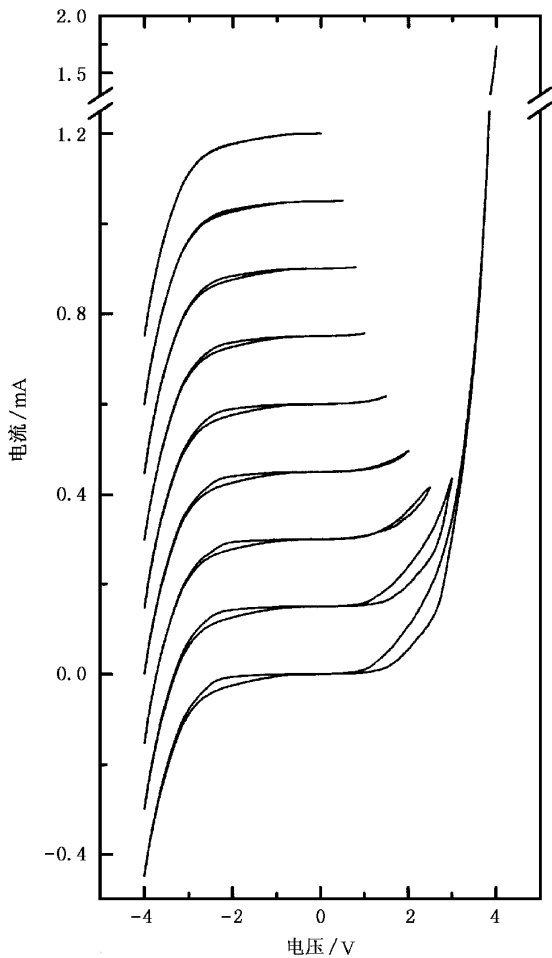


图4 不同扫描范围的  $I$ - $V$  曲线 负向偏压保持  $-4.0\text{V}$ , 正向偏压由上向下依次为  $0\text{V}$ ,  $0.5\text{V}$ ,  $0.8\text{V}$ ,  $1.0\text{V}$ ,  $1.5\text{V}$ ,  $2.0\text{V}$ ,  $2.5\text{V}$ ,  $3.0\text{V}$ ,  $4.0\text{V}$ . 曲线由下向上依次有  $0.15\text{mA}$  的平移)

在电场强度  $10^7\text{V/m}$  时具有相当可观的值. 这和我们实验测试结果是一致的. 样品的微分电导曲线(图3)在电压增加的扫描中(从  $0\text{V}$  到  $\pm 4.0\text{V}$ )出现台阶状结构, 其位置分别在  $2.9\text{V}$  和  $-2.3\text{V}$ , 如图中垂直箭头所示, 相应电场强度为  $2 \times 10^7$ — $3 \times 10^7\text{V/m}$ . 因为这种结构是由于电子隧穿出量子点的过程引起的, 所以在电压减小的扫描中(从  $\pm 4.0\text{V}$  到  $0\text{V}$ )没有出现.

下面分析图4曲线的负向偏压部分, 可以看出迟滞回路随正向偏压增大而增大. 当把图4中曲线没有平移地画在一起时可立即看出迟滞回路的差别主要是由各曲线  $D$  部分的不同造成. 各曲线的  $A$  部分是基本重叠的. 这是因为不同充电量子点数目导致各曲线  $D$  部分电流强度不同, 而相同的放电条件使电流恢复到同样水平. 如前所述, 正向电流对二极管充电, 注入电子浓度  $n$  决定了充电效率, 因此

在充电过饱和之前, 图4中负向电压范围的回路大小是由最大正向电流决定的.

在我们样品结构中量子点的覆盖层很薄, 可以认为量子点直接在金电极的下方且紧邻电极. 在扩散理论的近似下, 靠近界面的耗尽层边缘处注入电子浓度表示为<sup>[17]</sup>

$$n = \frac{\gamma L_n J_{\text{FOR}}}{q D_n} \quad (2)$$

其中  $J_{\text{FOR}}$  是流过电极的正向电流密度,  $\gamma$  是常数, 它反映了器件的电子注入效率.  $D_n$  是电子扩散系数,  $L_n$  是电子扩散长度. 在注入电子浓度为  $n$  时, 充电量子点密度  $\rho_C$  表示为<sup>[15]</sup>

$$\rho_C = \rho_D \frac{\sigma v n}{\sigma v n + e_r} \quad (3)$$

其中  $\sigma$  是量子点能级的电子俘获截面,  $v$  是注入电子的平均热速率,  $e_r$  是量子点中俘获电子的发射速率, 包括热发射机理和其他机理. 联合方程(2)和(3), 可以得到充电量子点密度  $\rho_C$  和最大正向电流密度  $J_{\text{FOR}}$  关系, 其与方程(3)类似. 当含有充电量子点的二极管处于反向偏压时, 通过样品的电流受充电量子点密度  $\rho_C$  调制. 如前所述, 样品的电子电流大部分由无充电量子点区域流过, 这时被调制的反向电流强度  $I_{\text{REV}}$  与充电量子点密度  $\rho_C$  遵守如下关系:

$$I_{\text{EVR}} \propto A(1 - \rho_C A_D) \quad (4)$$

其中  $A$  是金属电极面积,  $A_D$  是单个量子点的平均有效面积. 在图5中给出了迟滞回路在  $-2.0\text{V}$  时的值与最大正向电流的关系(图中方点). 迟滞回路的值是由曲线  $A$  和  $D$  相减得到的, 在其他电压值下具有与在  $-2.0\text{V}$  时类似的对最大正向电流的依赖关系. 结合方程(2)(3)(4), 可给出负向被调制电流的大小(即回路值大小)与最大正向电流关系的拟合曲线. 图5实线是利用两项类似方程(3)右边结构给出的拟合结果. 仅用一项时不能得到理想拟合曲线, 这是因为量子点通常有多个束缚态<sup>[18]</sup>, 它们对充电效应都有贡献. 考虑量子点具有两个束缚态的情况, 基态和第一激发态, 这两种态像两个不同的陷阱, 具有不同的俘获和发射速率, 这样每种态对应拟合结果的一项, 量子点基态因其能级位置较低俘获电子不容易逃离而对充电效应起主要作用, 激发态一般情况下靠近 GaAs 导带底,  $77\text{K}$  时其发射速率比基态大得多, 俘获电子很容易再发射出去而对充电效应只有微弱影响. 我们的拟合结果显示, 这两种

态的发射与俘获速率之比相差很大,激发态比基态大两个数量级.这和我们前面关于量子点放电电子

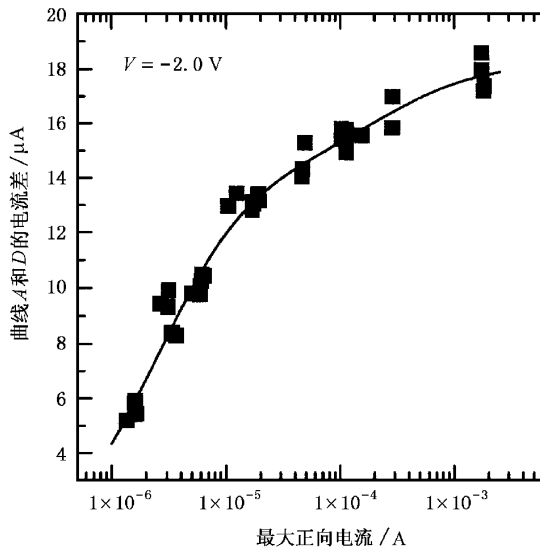


图5 迟滞回路在  $V = -2.0\text{V}$  时的大小(图中方点),纵坐标为最大正向电流.实线为模型拟合结果

来源于量子点基态的假设是一致的.因此,在我们的样品中充电效应主要是由基态引起的.

由于实验样品中量子点的有效尺寸只有 8—12nm,因而量子点的充放电能量大于室温热能.也

就是说,量子点的充放电现象实际上是一种单电子存储效应.量子点及量子点间的强库仑阻塞作用使量子点的状态相互关联,这导致了电子进出量子点过程的空间相关和时间相关.因而这些结果对研究单电子器件的无线耦合集成及实现单电子存储器的逻辑电路有很好的参考价值.

## 4 总 结

我们观察到并分析了包含 InAs SAQDs 的 MSM 结构电流输运中的迟滞回路现象.这种迟滞回路是由于高低电流态之间的转换引起的,这两种态是量子点充放电状态对电流调制的结果.考虑到量子点中起限制作用的有效尺寸约 8—12 nm,在 77K 时有明显的单电子效应,可以认为对每个量子点来说充放电过程是由外加偏压控制的单电子过程,而其对电流的阻碍作用则与库仑阻塞效应相关.对整个器件来说充电和放电过程可由统计理论给出,放电过程主要由高偏压下的量子点中电子直接隧穿出量子点的概率决定,充电过程由正向时肖特基二极管注入电流密度决定.拟合计算结果表明,充电效应主要由量子点基态引起,激发态只有较弱的影响.

- [1] Z. D. Lü *et al.*, *Acta Physica Sinica*, **48**(4) (1999), 744 (in Chinese) [吕振东等, *物理学报*, **48**(4) (1999), 744].
- [2] Z. G. Wang *et al.*, *Chinese Journal of Semiconductors*, **21**(8) (2000), 827 (in Chinese) [王占国等, *半导体学报*, **21**(8) (2000), 827].
- [3] G. Yusa, H. Sakaki, *Appl. Phys. Lett.*, **70**(3) (1997), 345.
- [4] J. W. Kim, S. H. Lee, J. E. Oh, W. S. Lee, K. W. Chung, *Journal of Korean Physical Society*, **34**(Suppl. S) (1999), S88.
- [5] A. J. Shields, M. P. O'Sullivan, J. Farrer, D. A. Ritchie, K. Cooper, C. L. Foden, M. Pepper, *Appl. Phys. Lett.*, **74**(5) (1999), 735.
- [6] Z. M. Wang *et al.*, *Acta Physica Sinica*, **47**(1) (1998), 89 (in Chinese) [王志明等, *物理学报*, **47**(1) (1998), 89].
- [7] I. Tanaka, I. Kamiya, H. Sakaki, N. Qureshi, S. J. Allen Jr., P. M. Petroff, *Appl. Phys. Lett.*, **74**(6) (1999), 844.
- [8] T. Nakano, T. Nakagawa, K. Yoh, *Jpn. J. Appl. Phys.*, **36**(7A) (1997), A283.
- [9] S. K. Jung, S. W. Hwang, B. H. Choi, S. I. Kim, J. H. Park, *Appl. Phys. Lett.*, **74**(5) (1999), 714.
- [10] S. K. Jung, B. H. Choi, S. I. Kim, C. K. Hyon, B. D. Min, S. W. Hwang, J. H. Park, Y. Kim, E. K. Kim, S. K. Min, *Jpn. J. Appl. Phys.*, **37**(12B) (1998), 7169.
- [11] K. Yoh, J. Konda, S. Shina, N. Nishiguchi, *Jpn. J. Appl. Phys.*, **36**(6B) (1997), A134.
- [12] K. Yoh, H. Kazama, T. Nakana, *Physica*, **B243**(1998), 249.
- [13] H. K. Henisch, *Semiconductor Contacts—An approach to ideas and models* (Oxford University, New York, 1984), p. 100—105.
- [14] E. H. Rhoderick, *Metal-semiconductor contacts*, (Clarendon Press, Oxford, 1978).
- [15] C. R. Crowell, S. M. Sze, *Solid-State Electron*, **9**(11/12) (1966), 1035.
- [16] G. Vincent, A. Chantre, D. Bois, *J. Appl. Phys.*, **50**(8) (1979), 5484.
- [17] D. V. Lang, *J. Appl. Phys.*, **45**(7) (1974), 3014.
- [18] F. Adler, M. Geiger, A. Bauknecht, F. Scholz, H. Schweizer, M. H. Piikuhn, B. Ohnesorge, A. Forchel, *J. Appl. Phys.*, **80**(7) (1996), A019.

# CURRENT TRANSPORT PROPERTIES OF GaAs SCHOTTKY DIODE CONTAINING InAs SELF-ASSEMBLED QUANTUM DOTS \*

LI HONG-WEI WANG TAI-HONG

( *Institute of Physics , Chinese Academy of Sciences ,Beijing 100080 ,China* )

( Received 7 August 2000 ; revised manuscript received 19 September 2000 )

## ABSTRACT

We have designed a new type metal-semiconductor-metal structure with InAs self-assembled quantum dots. Hysteresis loops were observed in DC current transport. With quantum dots ( QDs ) directly embedded beneath the GaAs-metal interface , the charge and discharge of electrons in the dots modulate the current to form hysteresis. For a single quantum dot , the charge and discharge can be thought as single-electron processes controlled by applied voltage. In this paper we analyzed the characteristics of charging and discharging processes for the ensemble of QDs as a whole. The discharging process was dominated by the change of tunneling rate with gate voltage. The charging process was controlled by forward current flowing through the diode. The calculated results indicate that the electrons trapped to the ground states of QDs give rise to charging effect. The excited states capture fewer electrons and influence the charging effect weakly.

**Keywords** : hysteresis , self-assembled quantum dot( SAQDs ) , single-electron process

**PACC** : 6865 , 7360L , 7340S

---

\* Project supported by the National Natural Science Foundation of China ( Grant Nos. 69925410 , 19904015 ).