

# 锗/硅异质纳米结构中空穴存储特性研究\*

杨红官 施毅 阎锦 濮林 张荣 郑有

(南京大学物理系, 固体微结构物理国家重点实验室, 南京 210093)

(2003 年 6 月 24 日收到, 2003 年 7 月 22 日收到修改稿)

对 p 沟道锗/硅异质纳米结构存储器空穴隧穿的物理过程作了详细的分析, 并对器件的擦写和保留时间特性进行了数值模拟. 研究表明, 由于异质纳米结构的台阶状隧穿势垒和较高价带带边差的影响, 与传统的硅纳米结构存储器和 n 沟道锗/硅异质纳米结构存储器相比, 当前器件的保留时间分别提高到  $10^8$  和  $10^5$  s 以上, 同时器件的擦写时间特性基本保持不变. 这种存储器结构单元有效地解决了快速擦写编程和长久存储之间的矛盾, 极大地提高了器件的存储性能.

关键词: 锗/硅, 纳米结构, 存储器, 空穴存储, 数值模拟

PACC: 7335C, 7360N, 7320D, 7340Q

## 1. 引言

信息技术的飞速发展要求开发出具有更高存储密度及更快响应速度的材料和器件, 因而如何在纳米尺度上实现信息存储已成为当前信息科学领域的一个前沿性的研究课题<sup>[1-3]</sup>. 近年来, 硅基纳米晶粒浮栅结构金属氧化物场效应晶体管 (MOSFET) 存储器引起了人们广泛的研究兴趣<sup>[4-7]</sup>. 与传统的浮栅结构存储器相比, 硅基纳米晶粒浮栅结构存储器可以有更高的器件密度、更低的功率损耗和更大的集成度. 目前, 在实现硅基纳米晶粒浮栅结构存储器的应用之前, 必须首先解决其擦写时间和存储时间之间的矛盾. 原理上, 直接隧穿的氧化层厚度是影响浮栅结构 MOSFET 存储器的擦写和存储时间的重要因素. 减小隧穿氧化层厚度有利于缩短擦写时间, 然而电荷的存储特性也相应变坏. 反之, 增加隧穿氧化层厚度, 有利于增加存储时间, 可是擦写时间也随之延长. 为了解决这一矛盾, 在深入研究量子点结构中荷电动力学特征的基础上<sup>[8]</sup>, 我们提出了采用锗/硅异质纳米结构代替硅纳米结构作为 MOSFET 存储器的电荷存储单元<sup>[9, 10]</sup>. 因为锗的禁带宽度小于硅的禁带宽度, 台阶状的隧穿势垒得以形成, 注入的电荷主要存储于锗点. 文献 [10] 报告了对

n 沟道锗/硅异质纳米结构存储器的模拟结果, 显示出与硅纳米结构存储器相比, n 沟道锗/硅异质纳米结构存储器可以有更长的电荷存储时间. 实际上, 由于有着较高的价带带边差, p 沟道锗/硅异质纳米结构存储器的存储特性应当更加优异. 此外, 最近已有实验显示了 p 沟道硅纳米结构存储器在超薄的隧穿氧化层情况下可以实现空穴的直接隧穿<sup>[6]</sup>. 理论上, 空穴行为远比电子行为复杂, 特别是由于价带的混合效应, 在隧穿过程中重空穴和轻空穴可以相互转化<sup>[11, 12]</sup>. 当入射粒子的平行波矢非常小 ( $k_{\parallel} \approx 0$ ) 以及隧穿氧化层非常薄 ( $T_{ox} < 4$  nm) 时, 价带的混合效应变得很弱. 这种情况下, 重空穴隧穿占据了隧穿过程的主要方面. 本文对 p 沟道锗/硅异质纳米结构存储器的时间特性进行了数值模拟, 结果表明, 这种新型的存储器有着优异的存储性能, 在快速编程的同时, 电荷的存储时间可长达 10 a.

## 2. 器件结构和计算模型

图 1 和图 2(a) 分别给出了锗/硅异质纳米结构 MOSFET 存储器单元的结构截面图和能带简图. 从图中可以看出, 嵌于氧化层中的锗/硅纳米晶粒位于控制栅极和导电沟道之间. 在适当的栅极偏压下, 直接隧穿的电荷通过超薄的氧化层进出纳米晶粒. 在

\* 国家重点基础研究专项基金(批准号: G001CB309)和国家自然科学基金(批准号: 90101021, 60236010, 60225014)资助的课题.

器件的结构中,由于用锗/硅异质纳米晶粒代替了硅纳米晶粒,隧穿势垒也由单一势垒变成台阶势垒.由于锗的禁带宽度(0.66 eV)小于硅的禁带宽度(1.12 eV),因此所形成的台阶状隧穿势垒使注入的电荷主要存储于锗点位置.故与硅纳米结构存储器相比,锗/硅异质纳米结构存储器的存储特性有很大不同.图 2(b)(c)和(d)分别显示了 p 沟道锗/硅异质纳米结构存储器工作过程中空穴的写入、保留和擦去操作.在适当的偏压下擦写电荷时,电荷进出纳米晶粒的运动可以说只受隧穿氧化层势垒的影响.然而在保留期间,存储的电荷要泄漏回沟道中去必然要受到隧穿氧化层和硅纳米晶粒所形成的双重势垒的阻

挡.结果,在擦写时间基本不变的情况下,保留时间有了明显延长.

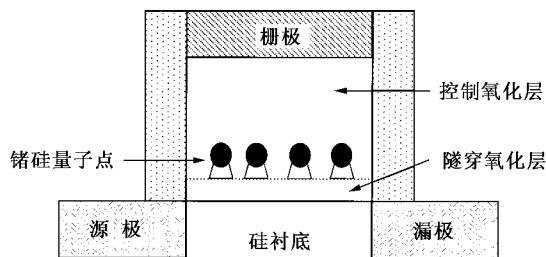


图 1 锗/硅异质纳米结构存储器的结构截面示意图 嵌于氧化层中的锗/硅异质纳米晶粒位于控制栅极和 p 型沟道之间

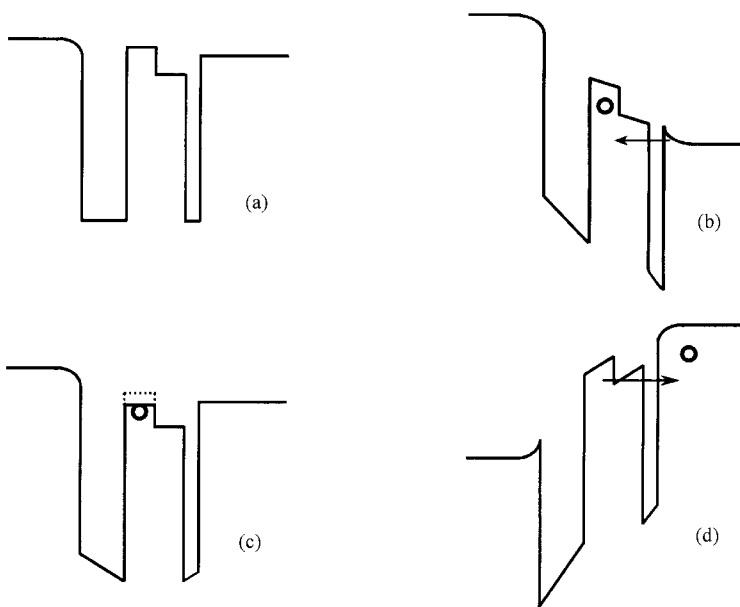


图 2 锗/硅异质纳米结构存储器的能带简图(a)及写入(b)保留(c)和擦去(d)过程 台阶状隧穿势垒的作用使得保留时间明显延长

对于 p 沟道 MOSFET 器件,在沟道反型、超薄隧穿氧化层和低偏压下,直接隧穿的空穴电流构成了栅电流最主要的部分<sup>[13,14]</sup>.尽管导带中的电子势垒低于价带中的空穴势垒,但由于纳米晶粒未掺杂和沟道 p 型化等因素,电子隧穿的贡献可以忽略不计.进一步考虑到价带的混合效应,空穴行为远比电子行为复杂,特别是在隧穿过程中重空穴和轻空穴可以相互转化.因为两种空穴转化的存在,空穴隧穿电流来自于下列四个子过程:重空穴到重空穴的隧穿( $h-h$ ),重空穴到轻空穴的隧穿( $h-l$ ),轻空穴到轻空穴的隧穿( $l-l$ )以及轻空穴到重空穴的隧穿( $l-h$ ).因此总的空穴隧穿电流应当包括上述四个方面,

$$j = \sum_{\alpha, \beta} j^{\alpha\beta}, \quad (1)$$

式中  $j$  表示总的空穴电流密度,  $\alpha$  和  $\beta$  代表  $h$ (重空穴)或  $l$ (轻空穴),而  $j^{\alpha\beta}$  是上述某一个子过程的电流密度.

在隧穿过程中,轻重空穴的混合效应随入射粒子的平行波矢以及隧穿势垒宽度的增加而增强<sup>[12,15]</sup>.当平行波矢为零( $k_{\parallel} = 0$ )时轻重空穴没有耦合,这时  $j^{hl}$  和  $j^{lh}$  都为零.当平行波矢不为零( $k_{\parallel} \neq 0$ )时,两者发生混合效应.混合效应随势垒宽度的变化归因于当势垒宽度增大时势阱中粒子的准束缚态寿命的增加.在极小平行波矢( $k_{\parallel} \approx 0$ )和超薄隧穿势垒( $T_{ox} < 4 \text{ nm}$ )的条件下,可以认为空穴的混

合效应非常弱,以至于在计算隧穿电流密度时可以只考虑单粒子过程.因为重空穴的有效质量大,反型层中的大部分电荷是重空穴<sup>[16]</sup>,并且无论在纳米晶粒中还是在反型层中,最低的能级都被重空穴所占据.因此,在空穴隧穿过程中重空穴占据了主要方面,即空穴电流密度主要来自于重空穴到重空穴的隧穿( $h-h$ )过程.此时,总的电流密度可以近似地写为

$$j = j_{\text{eff}}^{hh} = \chi_{\text{eff}} j_{hh}. \quad (2)$$

这里定义  $j_{\text{eff}}^{hh}$  为有效空穴电流密度.比例系数  $\chi_{\text{eff}}$  结合实验进行估算.

由于电荷很难通过厚的控制氧化层,在计算过程中把它看作无限高势垒,于是图 3(a)中的势结构就简化为图 3(b)的势结构.应用巴丁传输哈密顿方法<sup>[17,18]</sup>,把图 3(b)所对应的哈密顿量  $H$  分解为两个子系统  $H_1$  和  $H_2$ ,如图 3(c)和(d)所示,则有

$$H_1 \Psi_1 = \epsilon_1 \Psi_1, \quad (3)$$

$$H_2 \Psi_2 = \epsilon_2 \Psi_2, \quad (4)$$

式中  $\Psi_1$  和  $\epsilon_1$  是  $H_1$  的本征波函数和本征能量, $\Psi_2$  和  $\epsilon_2$  是  $H_2$  的本征波函数和本征能量,但是  $\Psi_1$  和  $\Psi_2$  都不是  $H$  的本征波函数.

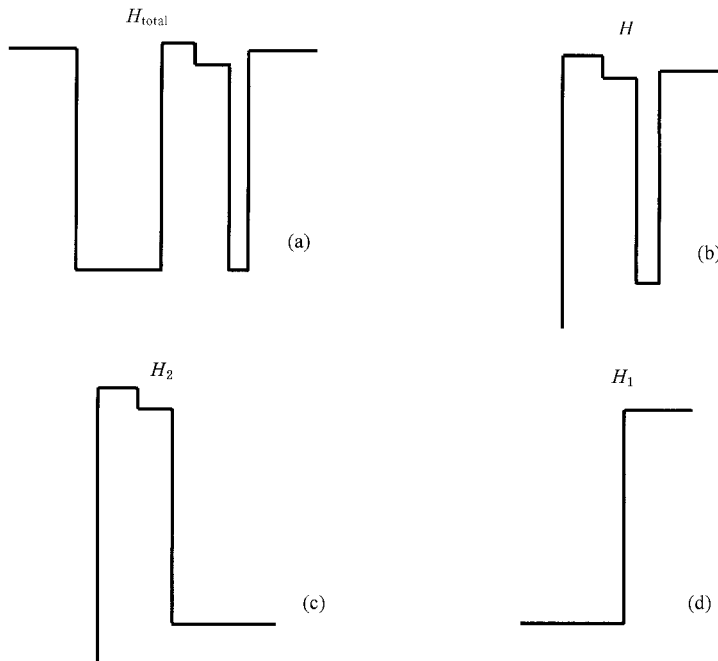


图3 哈密顿量  $H_{\text{total}}$  简化为  $H$  并分解为两个子系统  $H_1$  和  $H_2$

由费米黄金规则出发,可得到从  $\Psi_1$  向  $\Psi_2$  传输的矩阵元,

$$M_{1 \rightarrow 2} = (\hbar^2/2m^*) \int_s (\Psi_1 \nabla \Psi_2^* - \Psi_2 \nabla \Psi_1^*) ds \quad (5)$$

式中  $m^*$  是电荷的有效质量,积分遍及隧穿表面.

假设由  $\Psi_1$  到  $\Psi_2$  发生了单空穴隧穿过程,则电流密度可由下式求出:

$$\begin{aligned} j_{1 \rightarrow 2}^{hh} &= (2\pi/\hbar) |M_{1 \rightarrow 2}^{hh}|^2 \rho_1(\epsilon_2) [f_1(\epsilon_2) - f_2] \\ &= j_0 [f_1(\epsilon_2) - f_2], \end{aligned} \quad (6)$$

式中  $M_{1 \rightarrow 2}^{hh}$  是(5)式中的传输哈密顿矩阵元, $\rho_1(\epsilon_2)$  和  $f_1(\epsilon_2)$  是对应着锗/硅复合势阱中能级  $\epsilon_2$  反型层中的电荷态密度和分布函数<sup>[19]</sup>, $f_2$  是锗/硅复合势阱中对应能级  $\epsilon_2$  的电荷占据数.

电荷的隧穿过程,即是锗/硅复合势阱中能级  $\epsilon_2$  的电荷占据数  $f_2$  发生变化的过程. $f_2$  满足以下方程:

$$\frac{df_2}{dt} = j_0 [f_1(\epsilon_2) - f_2]. \quad (7)$$

假定在初始时刻  $t=0$  时隧穿通道打开,此时能级  $\epsilon_2$  的占据数为零,则有

$$f_2 = 1 - \exp(-j_0 t) = 1 - \exp(-t/\tau). \quad (8)$$

这里定义  $\tau$  为隧穿过程中的特征时间.写入、擦去和保留过程中的特征时间分别记为  $t_w$ ,  $t_e$  和  $t_r$ .

### 3. 模拟结果及分析讨论

本文首先对 p 沟道锗/硅异质纳米结构存储器

的时间特性进行了数值模拟. 为了便于计算, 只考虑单空穴的隧穿过程. 器件的结构参数选取如下: 控制氧化层厚度取为  $T_{\text{cn}} = 7 \text{ nm}$ , 隧穿氧化层厚度取为  $T_{\text{ox}} = 1.0\text{--}2.6 \text{ nm}$ , 硅点和锗点的大小均为  $D_{\text{Si}} = D_{\text{Ge}} = 5 \text{ nm}$ . 硅/锗的导带边和价带边差分别为  $\Phi_{\text{lc}} = 0.10 \text{ eV}$  和  $\Phi_{\text{lv}} = 0.35 \text{ eV}$ , 而硅/二氧化硅导带边和价带边差分别为  $\Phi_{\text{2c}} = 3.15 \text{ eV}$  和  $\Phi_{\text{2v}} = 4.75 \text{ eV}$ . 重空穴和轻空穴在硅、锗和二氧化硅中的有效质量分别取为  $0.49, 0.28, 0.42$  和  $0.16, 0.044, 0.42 m_0$ , 这里  $m_0$  是自由电子的有效质量.

图 4 给出了器件的写入和保留时间随隧穿氧化层厚度及控制栅极电压变化关系的计算结果. 这里, 定义写入时间为向一个纳米晶粒注入一个重空穴的特征时间, 而保留时间为纳米晶粒所储存电荷的一半泄漏回通道所用的时间. 由图 4 可见, 当隧穿氧化层厚度为  $T_{\text{ox}} = 2 \text{ nm}$ , 器件的保留时间约为  $10^8 \text{ s}$  (约  $10 \text{ a}$ ). 而同样的隧穿氧化层厚度, 栅压为  $V_{\text{g}} = -3 \text{ V}$  时, 写入时间在微秒量级. 正是台阶状复合势垒的作用使得泄漏电流减小, 电荷的保留时间得以明显地延长. 这种新型的存储器单元有效地解决了快速编程和长久存储之间的矛盾, 优化了器件的性能. 同时, 我们还注意到: 隧穿氧化层厚度一致时, 保留时间比写入时间能够大  $10^{10}$  左右. 因此, 适当地选择隧穿氧化层厚度和硅点锗点的几何尺寸, 能够得到性能优良的存储器单元.

为了对 p 沟道锗/硅异质纳米结构存储器的时间特性有更深入的认识, 我们进一步将其与 p 沟道硅纳米结构存储器以及 n 沟道锗/硅异质纳米结构存储器进行了比较. 图 5 给出了 p 沟道锗/硅异质纳米结构存储器和 p 沟道硅纳米结构存储器的写入及保留时间的比较结果. 分别定义参量  $\eta_{\text{w}}$  和  $\eta_{\text{r}}$  为两种器件写入及保留时间的比率. 从图 5 可以看出, 保留时间的比率  $\eta_{\text{r}}$  达  $10^8$  左右, 而与 p 沟道硅纳米结构存储器相比, p 沟道锗/硅异质纳米结构存储器的写入时间只是略有增长. 显示出台阶状隧穿势垒的作用使得器件的保留时间明显地延长. 图 6 给出了 p 沟道与 n 沟道锗/硅异质纳米结构存储器之间写入及保留时间的比较结果. 参量  $\delta_{\text{w}}$  和  $\delta_{\text{r}}$  分别被定义为两种器件的写入及保留时间的比率. 计算过程中, 电子在硅、锗和二氧化硅中的有效质量分别取为  $0.19, 0.082$  和  $0.40 m_0$ . 从图 6 可以看出, 写入时间的比率  $\delta_{\text{w}}$  大约保持在  $10^1\text{--}10^2$ , 而保留时间的比率

$\delta_{\text{r}}$  达到  $10^5$  以上. 这里显示了由于较高价带边差的影响, 相比于 n 沟道锗/硅异质纳米结构存储器, p 沟道锗/硅异质纳米结构存储器有着更加优异的存储性能.

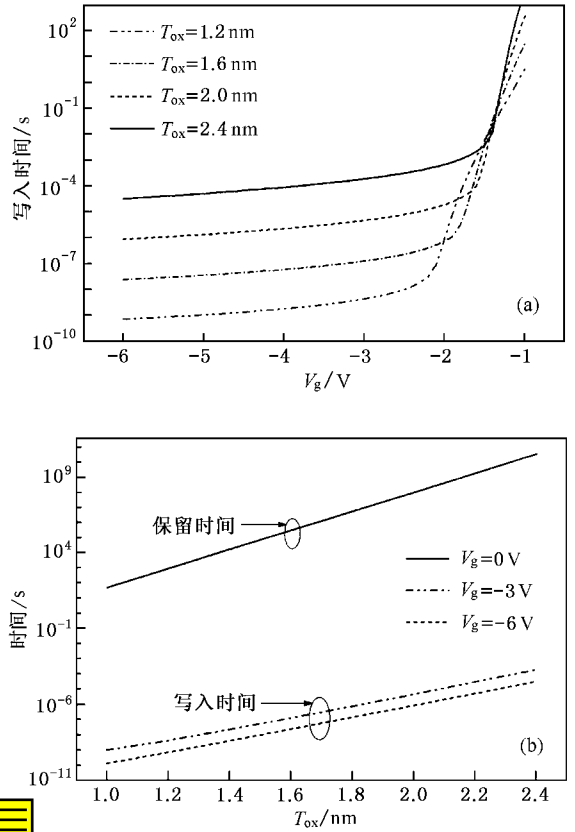


图 4 p 沟道锗/硅异质纳米结构存储器写入和保留时间 (a) 写入时间与栅极电压  $V_{\text{g}}$  的关系 (b) 写入和保留时间与隧穿氧化层厚度  $T_{\text{ox}}$  的关系. 写入时间在微秒量级而保留时间长达  $10 \text{ a}$

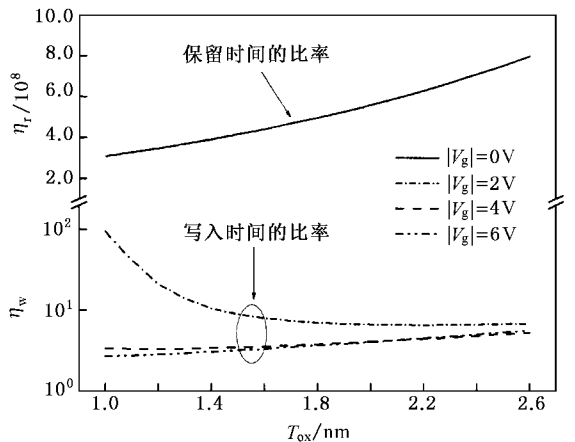


图 5 p 沟道锗/硅异质纳米结构存储器与 p 沟道硅纳米结构存储器写入和保留时间的比较

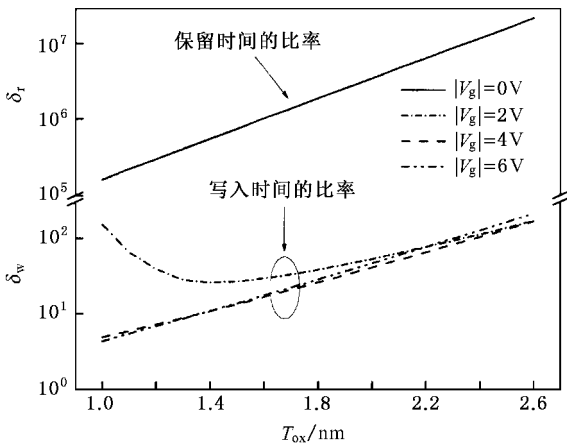


图6 p 沟道锗/硅异质纳米结构存储器与 n 沟道锗/硅异质纳米结构存储器写入和保留时间的比较

进一步,我们估算了轻、重空穴混合效应对时间特性的影响.图7对隧穿子过程  $h-h$  和  $l-l$  进行了比较.定义  $\chi$  为重空穴对轻空穴的写入时间的比率,也就是相应的两个隧穿子过程的电流密度的比率.可以看出,当栅压  $V_g$  在  $-2$  V 以下时,比率  $\chi$  在  $0-1$  之间;当栅压  $V_g$  在介于  $-2$  和  $-1.5$  V 时,比率  $\chi$  在  $1-10$  之间.实际上,在超薄氧化层的条件下,价带的混合效应变得很弱,用隧穿子过程  $h-h$  的电流密度  $j^{hh}$  代替总的电流密度  $j$  不会对隧穿时间造成数量级上的影响.正如以上所讨论的那样,在极小平行波矢 ( $k_{\parallel} \approx 0$ ) 和超薄隧穿势垒 ( $T_{ox} < 4$  nm) 的情况下,重空穴在隧穿过程中占据着主要地位.因此,研究重空穴隧穿过程就可以较好地了解 p

#### 沟道锗/硅异质纳米结构存储器的时间特性.

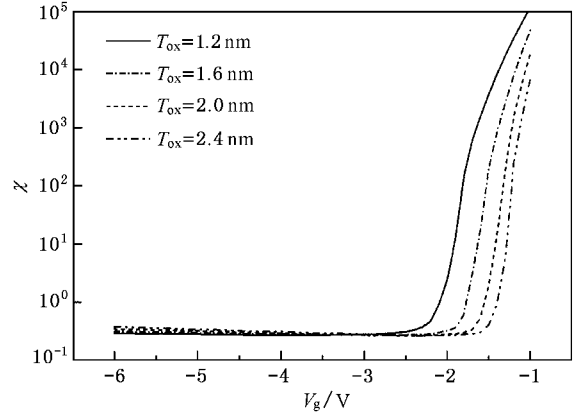


图7 两个隧穿子过程  $h-h$  和  $l-l$  中空穴和轻空穴写入时间的比较

## 4. 结 论

本文在分析研究空穴隧穿的基础之上,数值模拟了 p 沟道锗/硅异质纳米结构存储器时间特性.由于台阶状隧穿势垒和较高价带带边的作用,p 沟道锗/硅异质纳米结构存储器的保留时间可以达到约  $10^8$  s.同时,在直接隧穿区,器件仍保持着快速编程的特点.与硅纳米结构存储器及 n 沟道锗/硅异质纳米结构存储器相比,当前器件的存储特性得到了极大的提高.这种新型的存储器结构单元可以有效地解决快速擦写编程和长久存储之间的矛盾,有望在将来的超大规模集成电路中得到应用.

- [ 1 ] Sun J P, Wang T H 2002 *Acta Phys. Sin.* **51** 2096 ( in Chinese )  
[ 孙劲鹏、王太宏 2002 物理学报 **51** 2096 ]
- [ 2 ] Shi D X, Ba D C, Pang S J 2001 *Acta Phys. Sin.* **50** 990 ( in Chinese ) 时东鑫、巴德纯、庞世瑾 2001 物理学报 **50** 990 ]
- [ 3 ] Dai M, Zhang L, Bao Y *et al* 2002 *Chin. Phys.* **11** 994
- [ 4 ] Guo L G, Leobandung E, Chou S Y 1997 *Science* **275** 649
- [ 5 ] Shi Y, Saito K, Ishikuro H *et al* 1998 *J. Appl. Phys.* **84** 2358
- [ 6 ] Han K, Kim I, Shin H 2001 *IEEE Trans. Electron. Devices* **48** 874
- [ 7 ] Ohha R, Sugiyama N, Uchida K *et al* 2002 *IEEE Trans. Electron. Devices* **49** 1392
- [ 8 ] Yuan X L, Shi Y, Yang H G *et al* 2000 *Acta Phys. Sin.* **49** 2037 ( in Chinese ) 袁晓利、施毅、杨红官等 2000 物理学报 **49** 2037 ]
- [ 9 ] Yang H G, Shi Y, Wu J *et al* 2001 6th ICSICT ( Vol. 2 ) ( Beijing :

- People Posts and Telecommunications Publishing House ) 1418
- [ 10 ] Yang H G, Shi Y, Bu H M *et al* 2001 *Solid-State Electronics* **45** 767
- [ 11 ] Mendez E E, Wang W I, Ricco B *et al* 1985 *Appl. Phys. Lett.* **47** 415
- [ 12 ] Xia J B 1988 *Phys. Rev. B* **38** 8365
- [ 13 ] Shi Y, Ma T P, Prasad S *et al* 1998 *IEEE Trans. Electron. Device* **45** 2355
- [ 14 ] Han K, Kim I, Shin H 2000 *IEEE Electron. Device Lett.* **21** 313
- [ 15 ] Wessel R, Altarelli M 1989 *Phys. Rev. B* **39** 12802
- [ 16 ] Hou Y T, Li M F, Lai W H *et al* 2001 *Appl. Phys. Lett.* **78** 4034
- [ 17 ] Bardeen J 1961 *Phys. Rev. Lett.* **6** 57
- [ 18 ] Pyne M C 1986 *J. Phys. C : Solid State Phys.* **19** 1145
- [ 19 ] Luryi S 1985 *Appl. Phys. Lett.* **47** 490

# Hole storage characteristics in Ge/Si hetero-nanocrystal-based memories<sup>\*</sup>

Yang Hong-Guan Shi Yi Lü Jin Pu Lin Zhang Rong Zheng You-Dou

( *Department of Physics , State Key Laboratory of Solid State Microstructures , Nanjing University , Nanjing 210093 , China* )

( Received 24 June 2003 ; revised manuscript received 22 July 2003 )

## Abstract

Based on analysis of the physical process of hole tunneling , the time characteristics of the writing/erasing and retention in p-channel Ge/Si hetero-nanocrystal-based metal-oxide-semiconductor field-effect transistor ( MOSFET ) memory have been simulated numerically. Owing to the advantages of a compound potential well and a higher band offset in the valence band , the retention time is increased up to the orders of over  $10^8$  and  $10^5$  , compared with the conventional Si-nanocrystal-based MOSFET memory and the n-channel Ge/Si hetero-nanocrystal-based MOSFET memory , respectively. Moreover , the present device keeps on having high-speed writing/erasing in the direct-tunneling ultrathin oxide regime. It would be expected to solve the contradictory problem between high-speed programming and long retention , therefore , the performance would be substantially improved.

**Keywords :** Ge/Si , hetero-nanocrystal , memory , hole storage , simulation

**PACC :** 7335C , 7360N , 7320D , 7340Q

---

<sup>\*</sup> Project supported by the Special Foundation for State Major Basic Research Program of China ( Grant No. G001CB309 ) and the National Natural Science Foundation of China ( Grant Nos. 90101021 , 60236010 , 60225014 ).