

# 闪速存储器中应力诱生漏电流的产生机理<sup>\*</sup>

刘红侠 郑雪峰 郝 跃

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2005 年 4 月 8 日收到, 2005 年 7 月 18 日收到修改稿)

通过实验研究了闪速存储器存储单元中应力诱生漏电流(SILC)的产生机理. 研究表明, 在低电场应力下, 其可靠性问题主要是由载流子在氧化层里充放电引起, 而在高电场下, 陷阱和正电荷辅助的隧穿效应导致浮栅电荷变化是引起闪速存储器失效的主要原因. 分别计算了高场应力和低场应力两种情况下 SILC 中的稳态电流和瞬态电流的大小.

关键词: 闪速存储器, 应力诱生漏电流, 电容耦合效应, 可靠性

PACC: 7340Q, 7300, 7220J, 7360H

## 1. 引 言

闪速存储器是基于可擦写可编程只读存储器(EPROM)和电可擦写可编程只读存储器(EEPROM)发展起来的一种新的非挥发性存储器. 通用 EEPROM 与 EPROM 相比, 具有价格低、擦除简单等优点, 但由于每个存储单元有两只晶体管, 开发大容量 EEPROM 是非常困难的. 用  $2\ \mu\text{m}$  工艺制作的两管 EEPROM 的最大容量为 64 kb. Masupka 等<sup>[1]</sup>利用只有 1 只晶体管的 EEPROM 单元和新的擦除/编程电路技术及高速灵敏度放大器, 于 1987 年报道了第一块 256 kb 闪速存储器. 之所以称为闪速存储器, 是因为它能同时、快速地擦除所有单元. 由于闪速存储器是单管单元, 可以做到很高的集成度, 所以闪速存储器可以取代并行 EEPROM, 这也导致了在高密度领域 EEPROM 的需求量大大下降. 综上所述, 与 EPROM, EEPROM 相比, 闪速存储器的突出优点是存储量大、存取速度快、功耗小、可以整片擦除. 它还具有价格便宜、工艺相对简单、密度高、可快速方便地进行反复多次擦写且掉电后能继续保持信息的特点, 而且叠栅闪速存储器单元是与互补金属氧化物半导体(CMOS)工艺技术相兼容.

随着闪速存储器的使用越来越频繁, 用途越来越多, 可靠性问题就变得越来越重要. 闪速存储器

的可靠性主要包括两个方面: 一是器件的耐久性, 是指经过多次重复擦写循环后器件不会失效; 二是器件的保持特性, 是指存储在浮栅上的电荷保持有效的能力. 尤其是闪速存储器存储量的越来越大, 相应的存储单元尺寸越来越小, 在擦写电应力下, 由于带带隧穿(BBT)等效应会产生界面态和氧化层电荷/陷阱, 导致严重的可靠性问题, 比如过擦除、工作窗口变窄等<sup>[2-8]</sup>.

本文研究采用源边擦除的闪速存储器单元, 它是通过在控制栅加负偏置、在源极加正偏置来实现擦除的目的<sup>[9]</sup>. 闪速存储器单元在擦除过程中会出现由 BBT 引起的热空穴注入. 本文分析了热空穴造成的应力诱生漏电流(SILC)的原因, 描述了 SILC 的导电机制, 并通过实验分别计算出了高场应力和低场应力两种情况下 SILC 中的稳态电流和瞬态电流的大小.

## 2. 低场下 SILC 的形成

采用的闪速存储器存储单元如图 1 所示, 长宽分别为  $L = 3.2\ \mu\text{m}$ ,  $W = 3\ \mu\text{m}$ . 隧道氧化层厚度为  $T_{ox} = 10\ \text{nm}$ , 介质氧化层采用氧化物-氮化物-氧化物(ONO)叠层结构<sup>[10]</sup>, 氧化层厚度  $T_{ono} = 18.5\ \text{nm}$ . 源和漏均采用金属双扩散工艺. 浮栅面积为  $5.9\ \mu\text{m} \times 8.0\ \mu\text{m}$ , 控制栅面积为  $5.5\ \mu\text{m} \times 8.0\ \mu\text{m}$ . 源和漏的金

<sup>\*</sup> 国家自然科学基金(批准号: 60206006), 国家高技术研究发展计划(批准号: 2004AA1Z1070)和教育部重点科技研究计划(批准号: 104172)资助的课题.

属双扩散结构采用剂量为  $2.5 \times 10^{15} \text{ cm}^{-2}$ 、能量为 35 keV 的磷注入,  $n^+$  源和漏是用剂量为  $5 \times 10^{15} \text{ cm}^{-2}$ 、能量为 60 keV 的砷注入形成的. 实验采用美国惠普公司的 HP4156B 型高精度半导体综合参数测试仪. 该仪器可自动编程, 并且能够提供多通道的电压电流源和测试通道.

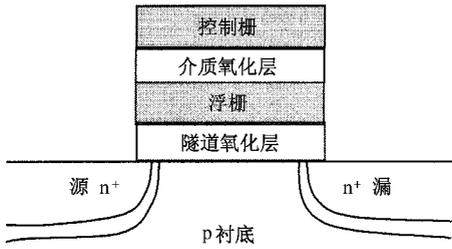


图 1 存储单元的剖面图

SILC 由稳态电流和瞬态电流两部分组成<sup>[11]</sup>. 瞬态电流部分即氧化物内载流子的充放电, 稳态电流部分即陷阱辅助的电子隧穿 (TAT) 和正电荷辅助的电子隧穿 (PCAT). 以上两种情况将导致闪速存储器单元在施加正常外加电场的情况下, 在隧道氧化层内产生特定的 SILC.

为了定量分析载流子充放电效应和 PCAT/TAT 各自的影响, 必须对闪速存储器单元应力前后栅诱生的漏电流 (GIDL) 进行测量. 在 GIDL 的测试过程中源极悬浮, 因此应力引起的充放电效应可以忽略 (因为在源边擦除过程中由于热空穴注入产生的氧化层陷阱电荷只存在于源极附近). GIDL 测试过程中电压的变化被记作  $\Delta V_{\text{GIDL}}$ ,  $\Delta V_{\text{GIDL}}$  是由于 PCAT/TAT 效应引起的.  $\Delta V_{\text{th}}$  是闪速存储器单元应力前后的阈值电压漂移,  $\Delta V_{\text{th}}$  与  $\Delta V_{\text{GIDL}}$  的差值可以认为是源结附近载流子的充放电效应引起的. 因此, 通过测量应力前后  $\Delta V_{\text{th}}$  和  $\Delta V_{\text{GIDL}}$ , 可以区分闪速存储器存储单元氧化层内载流子充放电效应和 PCAT/TAT 分别对 SILC 的贡献.

图 2 给出了低电场下闪速存储器单元的阈值电压漂移. 实验条件为栅源电压  $V_{\text{GS}} = 6 \text{ V}$ , 漏源电压  $V_{\text{DS}} = 1 \text{ V}$ . 图 2 曲线 a 表示整个应力期间闪速存储器单元的阈值电压漂移  $\Delta V_{\text{th}}$ , 曲线 b 表示 PCAT/TAT 引起的闪速存储器单元的  $\Delta V_{\text{GIDL}}$ . 曲线 c 表示从曲线 a 中减去曲线 b 的结果. 从图 2 可见, 闪速存储器单元的  $\Delta V_{\text{th}}$  随着应力时间的增加而增加, 在经过  $10^4 \text{ s}$  后达到 0.38 V.  $\Delta V_{\text{th}}$  的漂移比  $\Delta V_{\text{GIDL}}$  要大.

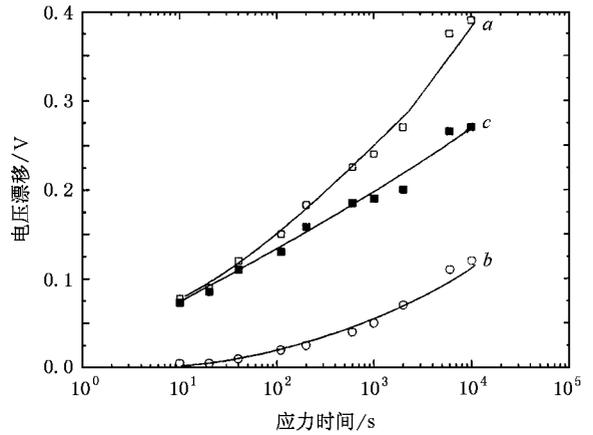


图 2 低电场下闪速存储器单元的电压漂移

这里提出一个称为电容耦合效应的新效应, 用来解释低氧化电场下闪速存储器单元的失效现象, 如图 3 所示. 所谓电容耦合效应是指电容的上下两个平板所带电荷之间的相互作用. 闪速存储器中的载流子充放电效应通过电容耦合效应引起阈值电压的变化 (图 2 中曲线 c 所示), 而 PCAT/TAT 仅仅导致  $\Delta V_{\text{th}}$  的很小变化 (图 2 中曲线 b 所示). 从图 2 可以看出, 由于电容耦合效应引起的阈值电压变化  $\Delta V_{\text{th}}$  远远大于  $\Delta V_{\text{GIDL}}$ . 所以载流子的充放电是低电场下闪速存储器单元失效的主要因素, 而这个充放电被认为是电容耦合效应引起的.

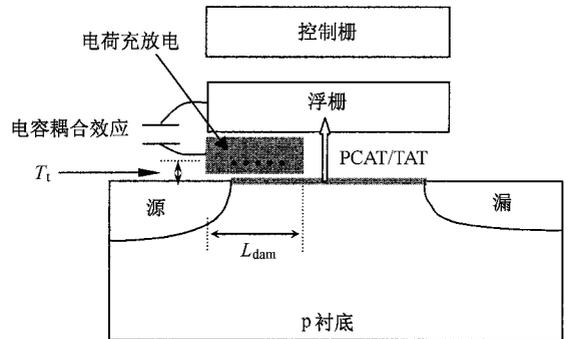


图 3 电容耦合效应示意图

根据上述电容耦合效应及电荷平衡方程, 阈值电压的变化可被定量地推导出来,

$$\Delta V_{\text{th,ox}} = \frac{C'_{\text{ox}} + C_{\text{ono}}}{C'_{\text{ox}} C_{\text{ono}}} \Delta Q_{\text{ox}}, \quad (1)$$

$$\Delta V_{\text{th,fg}} = \frac{\Delta Q_{\text{fg}}}{C_{\text{ono}}}. \quad (2)$$

这里  $\Delta V_{\text{th,ox}}$  代表图 2 中的曲线 c (即载流子的充放电), 而  $\Delta V_{\text{th,fg}}$  代表曲线 b (即 PCAT/TAT),  $\Delta Q_{\text{ox}}$  和

$\Delta Q_{fg}$  分别代表氧化层和浮栅的电荷波动,  $C_{ono}$  为控制栅与浮栅之间的电容,  $C'_{ox}$  为破坏区的电容.  $C'_{ox}$  可表示为<sup>[12]</sup>

$$C'_{ox} = C_{ox} \frac{L_{dam}}{L} \frac{T_{ox}}{(T_{ox} - T_1)} \quad (3)$$

式中,  $C_{ox}$  是闪存存储器单元隧道氧化层的电容,  $L_{dam}$  和  $T_1$  分别代表 Si/SiO<sub>2</sub> 界面破坏区域的长度和产生的隧道氧化层陷阱的深度.  $L_{dam}$  的值可以从栅二极管测试中得到, 这里  $L_{dam} = 0.1 \mu\text{m}$ ,  $T_1 = 3 \text{ nm}$ .

$\Delta V_{th,ox}$  和  $\Delta V_{th,fg}$  能够从图 2 的曲线中得到, 电荷的变化量  $\Delta Q_{ox}$  和  $\Delta Q_{fg}$  可通过(1)和(2)式计算出来. 图 4 给出了  $\Delta Q_{ox}$  和  $\Delta Q_{fg}$  与时间的对应关系. 由图 4 明显可见,  $\Delta Q_{ox}$  随着应力时间的增加而增加, 而  $\Delta Q_{fg}$  基本保持恒定值. 这个现象可以解释为在低的氧化层电场下, 电子能够以很高的概率隧穿进入陷阱, 但从陷阱隧穿出来的概率却很小.

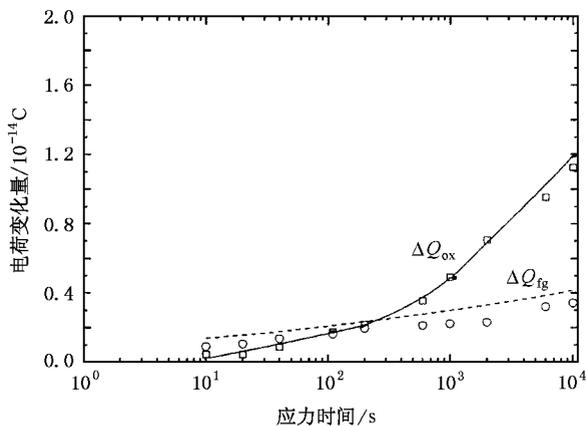


图 4 低场下电荷变化量与应力时间的关系

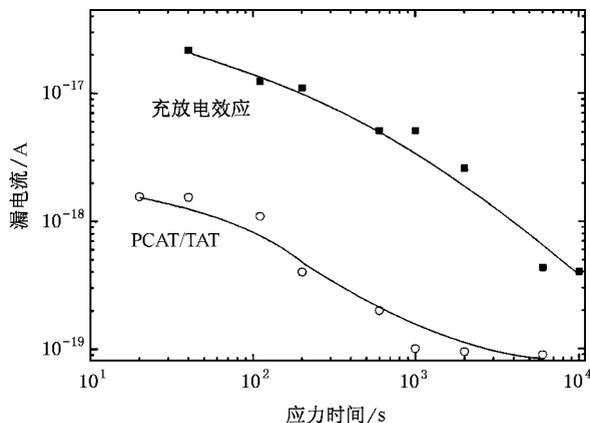


图 5 低场下漏电流与应力时间的关系

由载流子充放电引起的那一部分 SILC 可以通过  $\partial Q_{ox}/\partial t$  得到, 如图 5 所示. 由于浮栅电荷量随时间的变化不大(图 4 中的  $\Delta Q_{fg}$ ), 所以由 PCAT/TAT 引起的那一部分 SILC 可以被忽略. 因此在低氧化层电场下, 闪存存储器单元的退化机制主要是由于载流子通过电容耦合效应产生的充放电引起的.

### 3. 高场下 SILC 的形成

在栅上施加电压为 10 V, 同时源、漏和衬底都接地. 高场下的应力特性如图 6 所示. 经过 10<sup>4</sup> s 应力后  $\Delta V_{th}$  显著增加, 达到 1.40 V(图 6 中曲线 a). 对于  $\Delta V_{th}$  的贡献, 浮栅电荷变化引起的 PCAT/TAT ( $\Delta V_{CIDL}$ , 图 6 中曲线 b) 最大, 所以 PCAT/TAT 效应是高场下闪存存储器单元失效的主要机制, 这与图 2 的结论完全相反. 此外, 由于载流子充放电引起的  $\Delta V_{th}$ (图 6 中曲线 c) 随应力时间的增长而略微增加.

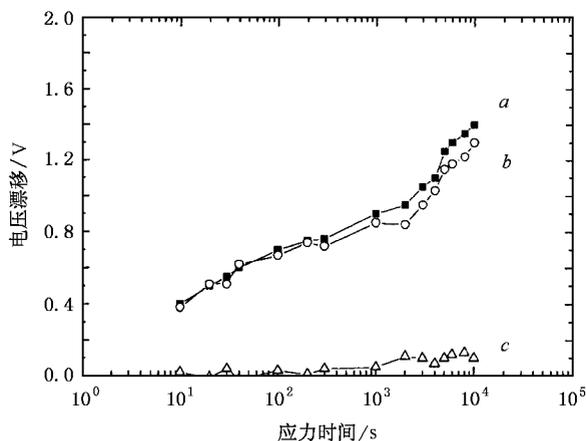


图 6 高场下电压漂移与应力时间的关系

利用(1)和(2)式, 计算出浮栅和氧化层电荷随应力时间的变化, 如图 7 所示. 同样, 通过  $\partial Q_{ox}/\partial t$  计算出氧化层充放电和 PCAT/TAT 分别引起的 SILC, 如图 8 所示. 这两部分都随着应力时间的增加而衰减, 其中陷阱导致的隧穿电流大约比氧化层充放电电流高两个数量级. 因此, 在高氧化层电场下, 闪存存储器单元的主要失效机制是由于 PCAT/TAT 效应引起的.

对图 5 和图 8 的分析可知, PCAT/TAT 电流主要依赖于  $E_{ox}$  的增加, 而充放电电流对  $E_{ox}$  的依赖性很弱. 充放电电流在低电场下占主导地位, 而 PCAT/TAT 电流在高氧化层电场下占主导地位.

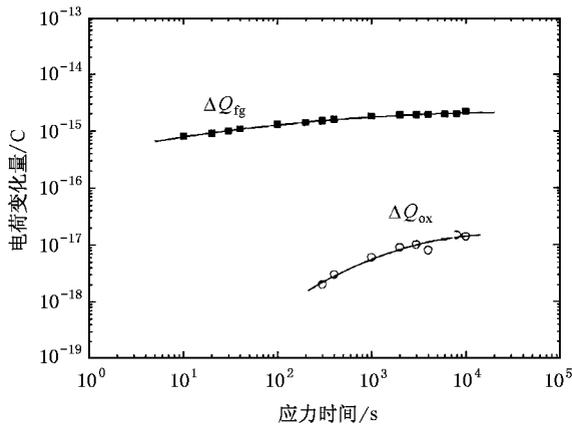


图 7 高场下电荷变化量与应力时间的关系

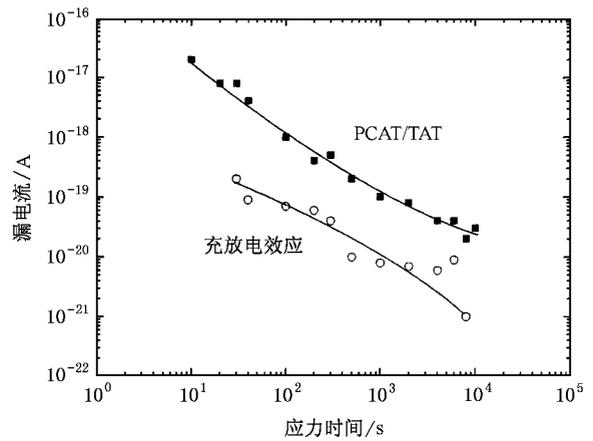


图 8 高场下漏电流与应力时间的关系

## 4. 结 论

本文提出了一种研究闪速存储器单元中 SILC 形成机制的新方法. 这种新方法的优点是 (1) 能够区别载流子在氧化层内的充放电电流和 PCAT/TAT 电

流 (2) 对超低电流测量的灵敏度很高. 通过对实验结果的分析得出以下结论: 在低电场下, 闪速存储器单元的失效主要是由于载流子通过电容耦合效应对氧化层充放电引起的. 而在高电场下, TAT 和 PCAT 效应导致的浮栅电荷变化是引起闪速存储器单元失效的主要原因.

- [ 1 ] Masupka F, Asano M, Iwahashi H *et al* 1987 *IEEE Solid-State Circuits* **22** 548
- [ 2 ] Mahapatra S, Shukuri S, Bude J 2002 *IEEE Trans. Electron. Dev.* **49** 1306
- [ 3 ] Jermyn M, Tseng Z, Bradley J L *et al* 2001 *IEEE Trans. Electron. Dev.* **48** 2947
- [ 4 ] Chen C, Liu Z Z, Ma T P 1998 *IEEE Trans. Electron. Dev.* **45** 1524
- [ 5 ] Tetsuaki W 2000 *Microelectron. Reliab.* **40** 1279
- [ 6 ] Daniele I, Alessandro S, Spinell A *et al* 2002 *IEEE Trans. Electron. Dev.* **49** 1955
- [ 7 ] Dai Y H, Chen J N, Ke D M *et al* 2005 *Acta Phys. Sin.* **54** 897 (in Chinese) [ 代月华、陈军宁、柯导明等 2005 物理学报 **54**

897 ]

- [ 8 ] Liu H X, Hao Y 2001 *Acta Phys. Sin.* **50** 1769 (in Chinese) [ 刘红侠、郝跃 2001 物理学报 **50** 1769 ]
- [ 9 ] Hanmant P B, Nick R, Ivan K *et al* 2002 *International Reliability Physics Symposium* ( Piscataway: Institute of Electrical and Electronic Engineers ) p7
- [ 10 ] Caywood J M, Huang C J, Chang Y J 2002 *IEEE Trans. Electron. Dev.* **49** 802
- [ 11 ] Jan D B, Jan V H, Dirk W *et al* 1998 *IEEE Trans. Electron. Dev.* **45** 1745
- [ 12 ] Yih C M, Ho Z H, Liang M S *et al* 2001 *IEEE Trans. Electron. Dev.* **48** 300

# Generation mechanism of stress induced leakage current in flash memory cell<sup>\*</sup>

Liu Hong-Xia Zheng Xue-Feng Hao Yue

( *Key Laboratory of Wide Band-gap Semiconductor Materials and Devices of Ministry of Education ,  
School of Microelectronics , Xidian University , Xi'an 710071 , China* )

( Received 8 April 2005 ; revised manuscript received 18 July 2005 )

## Abstract

The generation mechanism of stress induced leakage current ( SILC ) in flash memory cell is studied by experiments . The result shows that the reliability problem under low electronic field stress is mainly caused by carriers charging and discharging inside the oxide , while under high electronic field , the trap-assisted tunneling and positive charge assisted tunneling induced charge variation of floating-gate is the major cause of flash memory cell failure . For both high and low electronic field stresses , the transient current and the steady-state current in SILC are calculated , respectively .

**Keywords** : flash memory , stress induced leakage current , capacitance coupled effect , reliability

**PACC** : 7340Q , 7300 , 7220J , 7360H

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China ( Grant No. 60206006 ) , the National High Technology Development Program of China ( Grant No. 2004AA1Z1070 ) , and the Key Technology Development Program of Ministry of Education of China ( Grant No. 104172 ) .