

# SrTiO<sub>3</sub> 金属-绝缘体-半导体结构的 介电与界面特性\*

马建华<sup>†</sup> 孙 兰 孟祥建 林 铁 石富文 褚君浩

(中国科学院上海技术物理研究所红外物理国家重点实验室, 上海 200083)

(2004 年 4 月 14 日收到, 2004 年 7 月 19 日收到修改稿)

采用金属有机分解法在 p 型 Si 衬底上制备了 SrTiO<sub>3</sub>(STO) 薄膜, 研究了 STO 薄膜金属-绝缘体-半导体(MIS) 结构的介电和界面特性. 结果表明, STO 薄膜显示出优异的介电性能, 在 10kHz 处的介电常数约为 105, 损耗低于 0.01, 这来源于多晶结构和良好的结晶性; MIS 结构中的固定电荷密度  $N_f$  和界面态密度  $D_{it}$  分别约为  $1.5 \times 10^{12} \text{ cm}^{-2}$  和  $(1.4\text{—}3.5) \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ , 这主要与 Si/STO 界面处形成的低介电常数界面层有关.

关键词: SrTiO<sub>3</sub> 薄膜, MIS 结构, 介电性能, Si/STO 界面

PACC: 7360H, 7340R, 7700, 7300

## 1. 引 言

随着超大规模集成电路的发展, 器件单元的尺寸越来越小. 为了保证小面积器件单元具有同样大小的电容, 要求绝缘层厚度降低、介电常数增大. 传统的集成电路采用 SiO<sub>2</sub> 作为绝缘材料, 由于其介电常数较低( $\sim 3.9$ ), 虽然也可以通过降低厚度来提高集成度, 但厚度降低受到实际工艺条件的制约, 进而限制了器件单元面积的进一步减小, 因此选择合适的高介电常数介质材料替代传统的 SiO<sub>2</sub> 材料, 是超大规模集成电路发展的一个趋势<sup>[1]</sup>. 此外, 铁电非挥发性存储器是近年来存储器方面的一个研究热点. 在这类存储器中, 有一种存储器的基本单元是铁电场效应管<sup>[2]</sup>, 即采用金属-铁电薄膜-半导体(MFS) 结构. 铁电薄膜具有自发极化, 自发极化的方向通过栅压控制, 极化向上和向下的两个状态可以用来存储信号. 极化方向决定半导体表面层载流子的状态, 通过源、漏是否导通, 即可判断存储信号的状态, 实现非破坏性读出. 然而, 直接沉积到 Si 衬底上的铁电薄膜, 与 Si 衬底互扩散现象严重, 因此一般通过在铁电薄膜和半导体之间增加一层绝缘层, 即形成 MFIS 结构, 来避免相互扩散. 作为 MFIS 结构的绝缘

层, 理论分析表明, 绝缘层也应具有尽可能高的介电常数, 以降低存储器的工作电压<sup>[3]</sup>. 在诸多高介电常数材料中, 如 CeO<sub>2</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, Si<sub>3</sub>N<sub>4</sub>, Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, SrTiO<sub>3</sub>(STO) 等<sup>[4-10]</sup>, STO 特别引起人们的关注. 单晶 STO 的介电常数可高达 300, 具有与铁电薄膜材料相同的钙钛矿结构, 同时由于其晶格常数为 0.3905nm, 易于通过旋转 45° 实现在 Si(100) 衬底上的外延生长<sup>[9]</sup>, 因此, 近年来 STO 引起了科技工作者的广泛兴趣.

STO 的生长方法有磁控溅射、离子束沉积、脉冲激光沉积、分子束外延以及化学溶液方法等<sup>[9-14]</sup>. 与其他制膜工艺相比, 金属有机分解(MOD) 法已被广泛用于制备各种功能薄膜材料, 它具有均匀性好、化学计量比容易控制、合成温度低、设备简单、可制作大面积均匀膜, 以及成本低等特点<sup>[15]</sup>. 本文采用 MOD 法在 p 型 Si 衬底上沉积了 STO 薄膜, 研究了 STO 金属-绝缘体-半导体(MIS) 结构的介电特性和 Si/STO 界面的物理性质.

## 2. 实验过程

以醋酸锶( $\text{Sr}(\text{CH}_3\text{COO})_2 \cdot 1/2\text{H}_2\text{O}$ )、钛酸丁酯( $\text{Ti}(\text{OC}_4\text{H}_9)_4$ ) 为原料, 冰醋酸( $\text{CH}_3\text{COOH}$ ) 为溶剂, 乙

\* 国家自然科学基金(批准号: 60221502 和 60223006)及上海市 A-M 基金(批准号: 0316) 资助的课题.

<sup>†</sup> 通讯联系人. E-mail: mjhling@mail.sitp.ac.cn

酞丙酮 ( $\text{CH}_3\text{COCH}_2\text{COCH}_3$ ) 为稳定剂, 配制 STO 前驱体溶液. 以上物质的摩尔比为 1:1:30:2. 首先将醋酸锶溶解到热的冰醋酸中, 并加入乙酰丙酮以稳定溶液, 然后加入钛酸丁酯,  $80^\circ\text{C}$  回流溶解; 最后通过添加或蒸馏部分溶剂, 将前驱体溶液的摩尔浓度调节为  $0.2\text{M}$ . 在镀膜之前, 将溶液用  $0.2\mu\text{m}$  孔径的过滤器过滤, 以除去前驱体溶液在配置过程中可能引入的灰尘.

选用 p 型 Si(100) 基片作为衬底, 电阻率为  $6\sim 8\Omega\cdot\text{cm}$ , 对应掺杂浓度约为  $2\times 10^{15}\text{cm}^{-3}$ . 在镀膜之前, 对 Si 片进行严格的清洗<sup>[16]</sup>. 采用旋涂 (spin-coating) 法制备薄膜, 旋转速率为  $4000\text{r}/\text{min}$ , 时间为  $20\text{s}$ . 在空气环境中, 采用快速退火方式对薄膜热处理. 首先是  $180^\circ\text{C}$  加热以除去有机溶剂, 接着是  $380^\circ\text{C}$  预退火过程, 最后  $700^\circ\text{C}$  高温退火以晶化薄膜. 各温度段的热处理时间均为  $240\text{s}$ . 重复上述过程三次, 可得到厚度约为  $75\text{nm}$  的薄膜.

采用 x 射线衍射 (XRD) 表征 STO 薄膜的结晶性; 采用 HP4194A 阻抗分析仪在室温下测量 Pt/STO/Si/Pt MIS 结构的电学性能. 其中 Pt 上电极采用标准光刻和直流溅射技术制备, 面积为  $1\times 10^{-4}\text{cm}^2$ ; 在 Si 片背面, 采用  $\text{B}^+$  注入以形成欧姆接触 (注入能量为  $50\text{keV}$ , 剂量为  $5\times 10^{15}\text{cm}^{-2}$ ), 并溅射 Pt 背电极; 采用俄歇电子深度谱 (AES) 对 Si/STO 结构作组分分析.

### 3. 结果与讨论

图 1 示出 STO 的晶体结构. 直接生长在 Si 基片上的 STO 薄膜结晶性能良好, 具有 (110) 择优取向的多晶钙钛矿结构. 图 2 示出不同测试频率下的电容-电压 ( $C-V$ ) 特性曲线, 外加偏压以  $0.17\text{V}/\text{s}$  的速率按  $-2\text{V}\rightarrow +2\text{V}\rightarrow -2\text{V}$  的顺序进行正向和反向扫描. 由图 2 可见, 正、反向扫描得到的  $C-V$  曲线基本重合, 没有观察到由可动离子和/或电荷注入引起的  $C-V$  回线, 说明 Si/STO 界面性能良好.

由半导体理论可知<sup>[17]</sup>, MIS 结构的总电容  $C_T$  可以近似认为是由半导体耗尽层电容  $C_D$  与界面态电容  $C_{it}$  并联后再与绝缘层电容  $C_i$  串联的值, 即

$$\frac{1}{C_T} = \frac{1}{C_i} + \frac{1}{C_D + C_{it}} \quad (1)$$

低频测试时, 界面态以及载流子的产生复合都可以跟得上测试频率,  $C_T$  为  $C_i$ ,  $C_D$  和  $C_{it}$  共同作用的结果. 其中  $C_i$  在测试过程中基本保持不变;  $C_D$  和  $C_{it}$

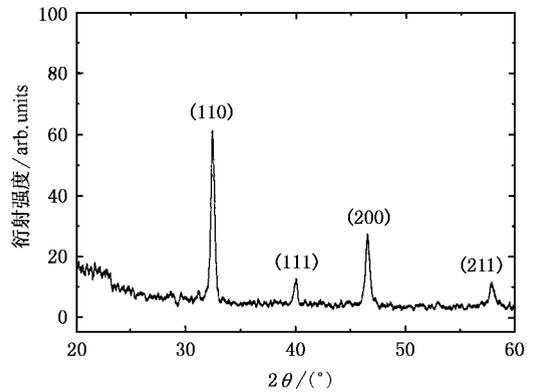


图 1 p-Si 衬底上生长的 STO 薄膜的晶体结构

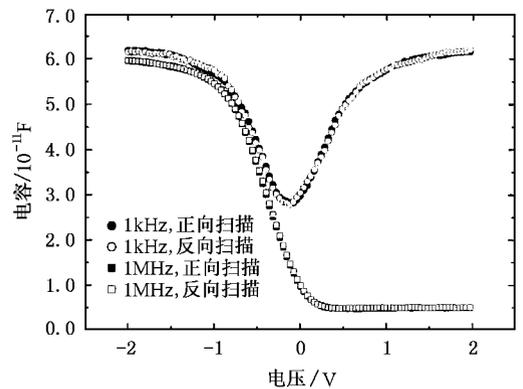


图 2 STO MIS 结构的高、低频  $C-V$  特性曲线

都与半导体的表面势密切相关, 从积累区到耗尽区再到反型区的变化过程中,  $C_D$  先减小后增大, 在积累区和反型区具有非常大的电容值, 因此在这两个区域,  $C_T \approx C_i$ . 而高频测试时, 与低频测试不同的是, 界面态跟不上频率的变化,  $C_{it}$  为零,  $C_T$  仅为  $C_i$  和  $C_D$  的串联电容; 同时在反型区, 少子的产生速率跟不上测试频率,  $C_D$  会达到一个极小值, 并保持恒定, 此时  $C_T$  也达到最小值, 并基本保持不变. 图 2 明显显示出 MIS 结构在高、低频测试频率下的积累、耗尽和反型三个区域.

图 3(a) 示出 MIS 结构在外加偏压为  $-2\text{V}$ , 即  $C-V$  曲线处于积累区时的介电频谱. 随测试频率的增大, 绝缘层 (I 层) 的电容缓慢减小, 损耗缓慢增大, 说明 I 层薄膜存在一定的介电频率色散. 但是, 直到频率增大到  $1\text{MHz}$ , 电容和损耗都没有明显的突变, 表明 I 层薄膜和 Pt 电极以及 Si 衬底的界面特性良好<sup>[18]</sup>.

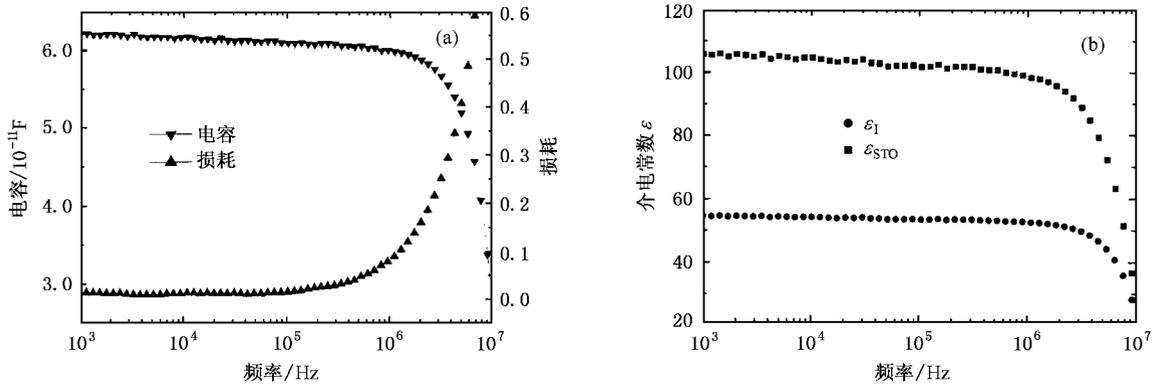


图 3 (a) MIS 结构的积累区电容和损耗随频率的变化 (b) 1 层介电常数  $\epsilon_1$  和 STO 的实际介电常数  $\epsilon_{STO}$  的频率色散关系

由图 3(a) 示出 MIS 结构积累区电容随频率的变化, 根据下式可以计算 1 层薄膜的介电常数  $\epsilon_1$  :

$$C_1 = \frac{\epsilon_0 \epsilon_1 S}{d_1}, \quad (2)$$

式中  $\epsilon_0$  为真空介电常数 ( $8.85 \times 10^{-12}$  F/m),  $S$  为 Pt 上电极的面积,  $d_1$  为 1 层薄膜厚度. 图 3(b) 示出计算结果. 在 1MHz 处, 1 层的介电常数  $\epsilon_1$  约为 53, 与单晶 STO 的介电常数 (~300) 相比, 介电常数偏小. 一方面, 由于制备得到的是 STO 的多晶薄膜材料, 与 STO 的单晶块体材料相比, 结构和形态方面的差异, 导致较小的介电常数; 另一方面, 在 STO 薄膜与 Si 的界面处, 可能存在一层薄的低介电常数界面层, 它与 STO 串联导致 1 层总的介电常数减小. 图 4 示出 Si/STO 结构的俄歇电子深度谱. 由图 4 可见, STO 薄膜中各元素的深度分布很均匀, STO 和 Si 衬底显示出较为明显的界面. 同时还可以观察到在 STO 和 Si 衬底界面处, 有一层由 Si, O, Sr 和 Ti 共同组成的界面层. 由于 STO 薄膜的沉积和退火过程都是在空气中进行, 因此在 Si 片表面会不可避免地形成 Si 的氧化物, 此外在 650°C 高温退火过程中, Si/STO 界面处 Si, Sr, Ti 等原子间的相互扩散也不可避免, 最终在 Si/STO 界面处形成由 Si, O, Sr, Ti 相互作用而产生的一层薄的低介电常数界面层. 这样, 图 3(a) 的电容和损耗的频率色散关系是 STO 与这一低介电常数界面层的串联值. 实际 STO 的介电常数可以通过测量不同绝缘层厚度所对应的积累区电容来确定<sup>[19]</sup>. STO 与低介电常数界面层串联, 满足:

$$\frac{\epsilon_0 S}{C_1} = \left( \frac{1}{\epsilon_{int}} - \frac{1}{\epsilon_{STO}} \right) d_{int} + \frac{1}{\epsilon_{STO}} d_1, \quad (3)$$

式中  $d_{int}$  和  $d_1$  分别为界面层和 1 层厚度 ( $d = d_{STO} + d_{int}$ ,  $d_{STO}$  为 STO 薄膜的厚度),  $\epsilon_{STO}$  和  $\epsilon_{int}$  分别为 STO

和界面层的介电常数. 图 5 示出  $\frac{\epsilon_0 S}{C_1} - d_1$  关系曲线, 其中测试频率为 1MHz. 将数据拟合成直线, 通过斜率可以计算出 STO 薄膜的介电常数约为 99. 此外, 对于这一低介电常数界面层, 虽然还不能采用一个明确的化学分子式对其进行描述, 但是如果将它简单假设为  $SiO_2$  (介电常数为 3.9), 由直线在纵坐标轴上的截距可以大概估算出界面层的厚度为 2.8nm.

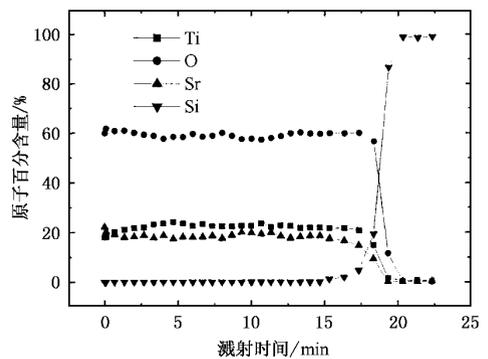


图 4 Si/STO 结构的俄歇电子深度谱

根据图 3(a) 的 1 层薄膜电容随频率的变化, 由 (3) 式可以进一步计算出 STO 薄膜的介电常数随频率的变化, 如图 3(b) 所示. 对于损耗, 还不能将界面层和 STO 区分开来, 但是可以认为 STO 的损耗应该低于 1 层总的损耗. 因此, 本文所制备的 STO 薄膜的介电常数在 10kHz 处约为 105, 损耗低于 0.01, 这些参数优于采用别的方法制备的 STO<sup>[14]</sup>.

C-V 测试是研究 MIS 结构中绝缘层/半导体 (I/S) 界面特性非常有效的方法之一. MIS 结构中固定电荷和界面态可以通过图 2 所示的高、低频 C-V 曲线进行分析.

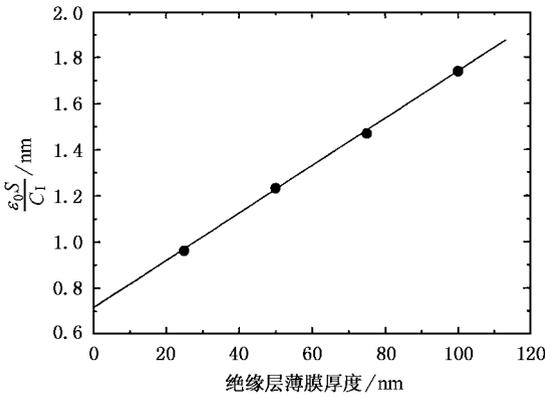


图5  $\frac{\epsilon_0 S}{C_1}$  随绝缘层薄膜厚度的变化 拟合成直线可以确定 STO 的介电常数以及估算界面层厚度

如前面所述,高频测试时,  $C_T$  仅是  $C_D$  和  $C_1$  的串联电容(1)式变为

$$\frac{1}{C_T} = \frac{1}{C_1} + \frac{1}{C_D}. \quad (4)$$

在平带条件下,即半导体表面势  $\psi_s = 0$  时,耗尽层电容  $C_{D,FB}$  为<sup>[17]</sup>

$$C_{D,FB} = \frac{\epsilon_0 \epsilon_{Si} S}{\sqrt{\epsilon_0 \epsilon_{Si} kT/q^2 p_{p0}}}. \quad (5)$$

将(2)和(5)式代入(4)式,得到理想 MIS 结构在平带时的总电容  $C_{T,FB}$  为<sup>[17]</sup>

$$C_{T,FB} = \frac{\epsilon_0 \epsilon_1}{d + (\epsilon_1/\epsilon_{Si}) \sqrt{\epsilon_0 \epsilon_{Si} kT/p_{p0} q^2}}, \quad (6)$$

式中  $\epsilon_{Si}$  为 Si 的介电常数( $\sim 11.9$ ),  $q$  为电荷电量( $\sim 1.6 \times 10^{-19} \text{ C}$ ),  $k$  为玻尔兹曼常数( $\sim 1.38 \times 10^{-23} \text{ J/K}$ ),  $T$  为绝对温度( $\sim 300 \text{ K}$ ),  $n_{p0}$  为 p 型 Si 内部的电子浓度,  $p_{p0}$  为 p 型 Si 内部的空穴浓度,  $N_A$  为 p 型 Si 的掺杂浓度( $\sim 2 \times 10^{15} \text{ cm}^{-3}$ ),  $n_i$  为 Si 的本征载流子浓度( $\sim 1.45 \times 10^{10} \text{ cm}^{-3}$ ).

计算得到平带电容  $C_{T,FB} = 9.71 \times 10^{-12} \text{ F}$ , 由图 2 实测的高频  $C-V$  特性曲线读出平带电压  $V_{FB} = 0.01 \text{ V}$ .  $V_{FB}$  主要来源于 Pt 上电极与 p-Si 衬底的功函数差  $\phi_{ms}$  ( $\sim 0.40 \text{ eV}$ ), 以及固定电荷  $Q_f$ , 满足

$$V_{FB} = \frac{\phi_{ms}}{q} - \frac{Q_f}{C_1}, \quad (7)$$

因此,固定电荷密度  $N_f$  为

$$N_f = \frac{Q_f}{qS} = \frac{C_1 \left( \frac{\phi_{ms}}{q} - V_{FB} \right)}{qS}, \quad (8)$$

代入数据后,计算得到  $N_f \approx 1.5 \times 10^{12} \text{ cm}^{-2}$ .

对于界面态,一般采用电容法和电导法两种方法进行测量,其中电容法较简单<sup>[17,20]</sup>.在电容法测量中,一般又有三种方法:高频电容法、低频电容法,以及高、低频相结合的电容法<sup>[20]</sup>.对于前两种电容测量方法,牵涉到耗尽层电容  $C_D$  等的理论计算,会在计算时引入较大的误差,而对于高、低频相结合的方法,可以避免复杂的计算,通过直接比较实测的高、低频  $C-V$  特性曲线,获得界面态密度<sup>[20]</sup>.

如前所述,界面态对高频测试没有响应,只对低频测试响应,分别满足(4)和(1)式,联立(4)和(1)式,消去  $C_D$ ,得到

$$C_{it} = \left( \frac{1}{C_{T,LF}} - \frac{1}{C_{1,LF}} \right)^{-1} - \left( \frac{1}{C_{T,HF}} - \frac{1}{C_{1,HF}} \right)^{-1} \quad (9)$$

下角标 LF 和 HF 分别为低频和高频.因为在反型区,少子跟不上高频测试信号,耗尽层电容  $C_D$  在反型区时与测试频率有关,因此(9)式在反型区不适用.通过比较耗尽区的高、低频  $C-V$  特性曲线,由(9)式可算得  $C_{it}$ , 而界面态密度  $D_{it}$  由下式确定<sup>[17,20]</sup>:

$$D_{it} = \frac{C_{it}}{qS}. \quad (10)$$

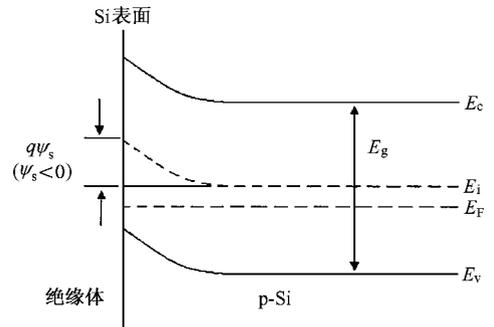


图6 p 型 Si 表面的能带图

由半导体理论可知,界面态电容  $C_{it}$  和界面态密度  $D_{it}$  都与半导体 Si 的表面势  $\psi_s$  相关,界面态分布在 Si 的禁带内. p 型 Si 半导体表面的能带图如图 6 所示.由图 2 结合(9)和(10)式,可以得到外加偏压  $V_G$  和  $D_{it}$  的关系.而  $V_G$  满足

$$V_G = V_1 + \psi_s - V_{FB}, \quad (11)$$

$$C_T (V_G + V_{FB}) = C_1 V_1 = C_D \psi_s, \quad (12)$$

式中  $V_1$  为绝缘层分压,  $C_D$  由半导体基本理论计算<sup>[17]</sup>.通过上面计算,最终可以确定界面态密度的

能量分布( $D_{it}-E$ ),其中  $E = q\psi_s$ . 图 7 示出计算结果, $D_{it}$  约为  $(1.4-3.5) \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ .

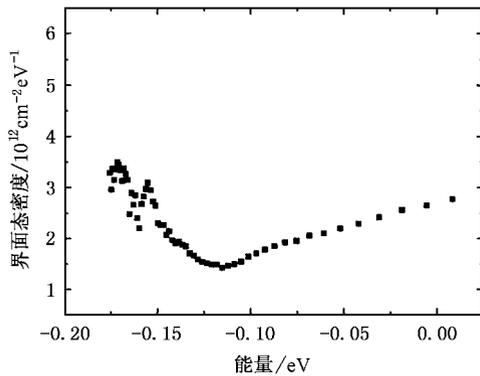


图 7 界面态密度  $D_{it}$  的能量分布

与传统的 Si-SiO<sub>2</sub> 体系相比,本文得到的固定电荷密度  $N_f$  和界面态密度  $D_{it}$  数值相对较大,这可能主要与 Si 表面形成的一层薄的低介电常数界面层有关.图 4 的俄歇电子深度谱测试表明 Si/STO 界面存在一层低介电常数界面层,我们还不能采用一个比较明确的化学分子式对其进行描述.这一界面层

可以简单认为是 O, Sr, Ti 与 Si 共同的作用物,因此在 Si/STO 界面上会存在大量的离子空位和悬挂键<sup>[17]</sup>,进而产生较大的  $N_f$  和  $D_{it}$ .

## 4. 结 论

采用 MOD 法在 Si(100) 衬底上沉积的 STO 薄膜具有(110)择优取向的多晶钙钛矿结构,显示出优异的介电性能,在 10kHz 处的介电常数约为 105,而损耗低于 0.01.通过对 MIS 结构的  $C-V$  特性测试和分析,计算得到固定电荷密度  $N_f$  和界面态密度  $D_{it}$  分别约为  $1.5 \times 10^{12} \text{ cm}^{-2}$  和  $(1.4-3.5) \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ,数值大于传统的 Si-SiO<sub>2</sub> 体系,这主要与 Si/STO 界面处形成的低介电常数界面层有关.

通过改变工艺条件,如对 Si 衬底在 H<sub>2</sub> 气氛中钝化减少 Si 的悬挂键、在 STO 的沉积和退火过程中采用特殊的环境气氛等<sup>[17]</sup>,将有助于降低  $N_f$  和  $D_{it}$ ,改善 Si/STO 的界面性能.这方面的工作正在进一步开展.

- [1] Tarui Y, Hirai T, Teramoto K, Koike H and Nagashima K 1997 *Appl. Surf. Sci.* **113/114** 656
- [2] Mathews S, Ramesh R, Venkatesan T and Benedetto J 1997 *Science* **276** 238
- [3] Lue H T, Wu C J and Tseng T Y 2002 *IEEE Trans. Electron. Devices* **49** 1790
- [4] Song H W, Lee C S, Kim D G and No K 2001 *Thin Solid Films* **368** 61
- [5] Byun C, Kim Y, Lee W J and Lee B W 1997 *Japan. J. Appl. Phys.* **36** 5588
- [6] Sze C and Lee J Y 2000 *J. Vac. Sci. Technol. B* **18** 2848
- [7] Fujisaki Y, Kijima T and Ishiwara H 2001 *Appl. Phys. Lett.* **78** 1285
- [8] Wang H, Yu J, Dong X M, Wang Y B, Zhou W L, Zhao J H and Zhou D X 2001 *Acta Phys. Sin.* **50** 981 (in Chinese) 王 华、于 军、董小敏、王耘波、周文利、赵建洪、周东祥 2001 物理学报 **50** 981]
- [9] Konofaos N, Evangelou E K, Wang Z, Kugler V and Helmersson U 2002 *J. Non-Cryst. Solids* **303** 185
- [10] Tokumitsu E, Nakamura R and Ishiwara H 1997 *IEEE Electron. Device Lett.* **18** 160
- [11] Peng C J, Hu H and Krupanidhi S B 1993 *Appl. Phys. Lett.* **63** 1038
- [12] Yamaguchi H, Matsubara S and Miyasaka Y 1991 *Japan. J. Appl.*

*Phys.* **30** 2197

- [13] Dalberth M J, Stauber R E, Price J C and Rogers C T 1998 *Appl. Phys. Lett.* **72** 507
- [14] Wang Z, Kugler V, Helmersson U, Konofaos N, Evangelou E K, Nakao S and Jin P 2001 *Appl. Phys. Lett.* **79** 1513
- [15] Wang G S, Lai Z Q, Yu J, Meng X J, Sun J L, Guo S L, Chu J H, Jin C J, Li G and Lu Q H 2002 *J. Infrared Millim. Waves* **21** 97 (in Chinese) 王根水、赖珍荃、于 剑、孟祥建、孙 兰、郭少令、褚君浩、金承瑛、李 刚、路庆华 2002 红外与毫米波学报 **21** 97]
- [16] Liu X X 1985 *Chemical Washing Principles and Applications of Semiconductor* (Jinan: Shandong Science and Technology Publishing House) p175 (in Chinese) 刘秀喜 1985 半导体化学清洗原理及应用(山东科学技术出版社)第 175 页]
- [17] Sze S M 1981 *Physics of Semiconductor Devices* (New York: Wiley) p362
- [18] Ryu S O, Lee W J, Lee N Y, Shin W C, You I K, Cho S M, Yoon S M, Yu B G, Koo J K and Kim J D 2003 *Japan. J. Appl. Phys.* **42** 1665
- [19] Matsubara S, Sakuma T, Yamamichi Y, Yamaguchi H and Miyasaka Y 1990 *Mater. Res. Soc. Symp. Proc.* **200** 243
- [20] Nicollian E H and Brews J R 1982 *MOS (Metal Oxide Semiconductor) Physics and Technology* (New York: Wiley) p319

# Dielectric and interface characteristics of SrTiO<sub>3</sub> with a MIS structure<sup>\*</sup>

Ma Jian-Hua<sup>†</sup> Sun Jing-Lan Meng Xiang-Jian Lin Tie Shi Fu-Wen Chu Jun-Hao

(*State Key Laboratory for Infrared Physics, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China*)

(Received 14 April 2004; revised manuscript received 19 July 2004)

## Abstract

SrTiO<sub>3</sub>(STO) films were deposited onto the p-type Si substrates by metal-organic decomposition (MOD) technique. The dielectric and interface characteristics of STO with a metal-insulator-semiconductor (MIS) structure were investigated. The results showed that the dielectric constant was about 105 and the dissipation factor was lower than 0.01 for our STO films at a frequency of 10kHz. The excellent dielectric properties were attributed to the polycrystalline structure with good crystallinity. The fixed charge density  $N_f$  and the interface-trap density  $D_{it}$  were calculated to be about  $1.5 \times 10^{12} \text{ cm}^{-2}$  and  $(1.4-3.5) \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ , respectively. Both  $N_f$  and  $D_{it}$  were mainly connected with an interface layer with low dielectric constant formed at the interface of Si/STO.

**Keywords** : SrTiO<sub>3</sub> films, MIS structure, dielectric characteristics, Si/STO interface

**PACC** : 7360H, 7340R, 7700, 7300

<sup>\*</sup> Project supported by the National Natural Science Foundation of China (Grant Nos. 60221502 and 60223006) and the Shanghai A-M Foundation, China (Grant No. 0316).

<sup>†</sup> Corresponding author. E-mail: mjhling@mail.sitp.ac.cn