

小尺寸 MOSFET 隧穿电流解析模型^{*}

陈卫兵 徐静平[†] 邹 晓 李艳萍 许胜国 胡致富

(华中科技大学电子科学与技术系, 武汉 430074)

(2005 年 9 月 1 日收到, 2006 年 1 月 6 日收到修改稿)

基于表面势解析模型, 通过将多子带等效为单子带, 建立了耗尽/反型状态下小尺寸 MOSFET 直接隧穿栅电流解析模型. 模拟结果与自洽解及实验结果均符合较好, 表明此模型不仅可用于 SiO₂, 也可用于高介电常数(k)材料作为栅介质以及叠层栅介质结构 MOSFET 栅极漏电特性的模拟分析, 计算时间较自洽解方法大大缩短, 适用于 MOS 器件电路模拟.

关键词: 隧穿电流, MOSFET, 量子机理, 解析模型

PACC: 0370, 7335C, 7960E

1. 引 言

最近几年, MOSFET 的特征尺寸已经减小到深亚微米水平, 等效氧化物厚度减薄到 2 nm 左右, 导致栅极直接隧穿电流大大增加, 从而电源功耗增加. 为此, 高 k 栅介质材料, 如 Si₃N₄, SiO_xN_y, Al₂O₃, Ti₂O₅, HfO₂, ZrO₂, Y₂O₃、镧系氧化物、伪两元化合物高 k 介质的叠层结构等, 成为人们研究的热点, 同时也推动了人们对直接隧穿电流机理和模型的研究. 到目前为止, 已报道了一些关于 MOSFET 栅极隧穿电流的模型^[1-9], 其中有解析方法、自洽解方法等. 解析方法主要应用于积累情况, 自洽解方法主要用于反型情况. Vogelf^[1]的解析模型精度较差; Register^[2]的解析模型较精确但只能用于常规的 SiO₂ 栅介质; Ye^[7]的方法能应用于反型、耗尽和积累状态, 但是要求一些实验提取参数作为计算参数, 拟合参数也较多, 实际使用不方便, 而自洽解方法较为费时. 总之, 实际应用中, 这些模型均存在不足之处. 为此, 本工作基于表面势解析模型, 通过将多子带等效为单子带, 提出了一个用于耗尽/反型状态的直接隧穿电流解析模型, 拟合参数少, 剪度高, 计算时间短. 模拟结果与自洽解结果以及不同栅介质材料(SiO₂, Si₃N₄、HfO₂, HfO₂/SiO₂ 叠层结构) MOS 器件的栅极漏

电测量结果符合较好, 表明该模型可用于实际的 MOS 电路模拟.

2. 隧道电流模型

图 1 表示一个偏置在耗尽和反型状态的 n⁺-poly-Si/SiO₂/p-SiMOS 电容的能带图. 其中, E_c 为导带底, E_v 为价带顶, E_F 为费米能级, 是栅介质禁带宽度, 为栅介质层厚度, 是介质/Si 界面的势垒差, F_{ox} 为氧化层电场, E_w 为等效单子带能级, Z_t 为衬底平均反型层厚度(所在位置为对应于能级 E_w 的经典转折点). 由于器件偏置在耗尽和反型状态, Si/SiO₂ 界面处能级弯曲较大. 按照量子理论, 耗尽和反型状态下, 当衬底浓度较高、栅氧化层厚度较薄时, 表面处的能级将发生分裂, 形成多子带结构, 电子在各子带都有一定的占据. Stern 等通过自洽方法求出了反型状态电子在各子带的分布^[10, 11]. 然而, 自洽方法计算量大, 费时较多. 为了得到一个适合于电路仿真的隧穿电流解析模型, 需做如下近似: (1) 有效质量近似; (2) 衬底均匀掺杂近似; (3) 热平衡近似.

2.1. 氧化层电场

计算氧化层电场必须知道表面势. 经典情况下,

^{*} 国家自然科学基金(批准号: 60376019)和湖北省自然科学基金(批准号: 2003ABA087)资助的课题.

[†] 通讯联系人, E-mail: jpxu@mail.hust.edu.cn

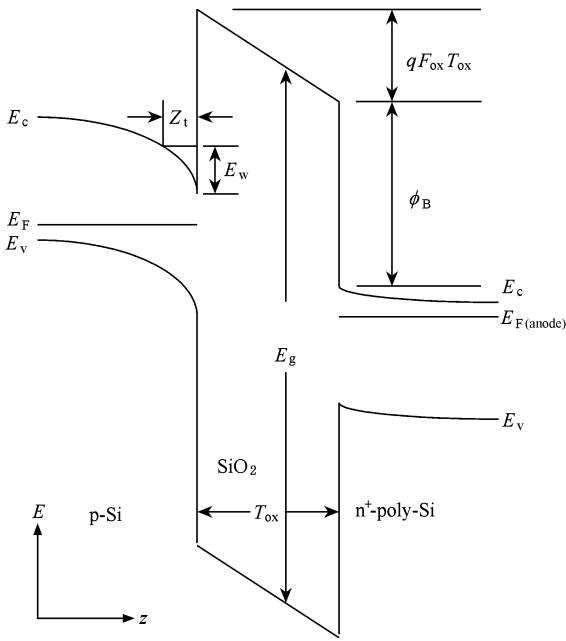


图1 n⁺-poly-Si/SiO₂/p-Si MOS 电容在耗尽和反型状态下的能带结构图

表面势和栅压 V_g 之间的关系是隐式的. 当衬底浓度较高、栅氧化层厚度较薄时, 考虑量子效应的表面势和 V_g 之间的关系更加复杂, 只能通过自洽计算求解. 文献 [12] 给出了一个仅考虑最低子带影响的表面势与 V_g 关系的表达式. 为了更准确模拟 MOS 器件栅极隧穿电流, 有必要考虑其它子带的影响. 将 p-Si/SiO₂ 界面的能带弯曲部分重画如图 2 所示. 由于量子效应的影响, 能级发生分裂形成子带, 第一个能谷的第一子带是最低子带 E_{11} , 依次 E_{12} 、 E_{13} 分别为第一能谷的第二和第三子带, ……; 第二个能谷的第一子带为 E_{21} , ……; 其他能谷及其子带依此类推. 根据文献 [10—12] 中关于最低子带能级和电子分布的讨论, 电子大部分占据 E_{11} 子带, 其他子带有少量电子占据. 因此可将最低子带能级和其他子带能级对电子分布的影响等效为一个单子带能级 $E_w(V_g)$ 来考虑, 此能级高于最低子带能级, 其大小可用一个拟合参数通过和实验拟合得到, 如下式所示:

$$E_w(V_g) = \frac{3\hbar^2}{8m_t} \times b(V_g)^2 + \alpha \times (3q^2(\epsilon_{Si} \times b(V_g))) \times \left[Q_{depl} + \frac{11}{16} Q_{inv} - (2/b(V_g))(N_b) \right] \quad (1)$$

其中, $\hbar = h(2\pi)$, h 是普朗克常数, q 为电子电荷量, ϵ_{Si} 是 Si 的介电常数, m_t 为垂直界面的电子有效

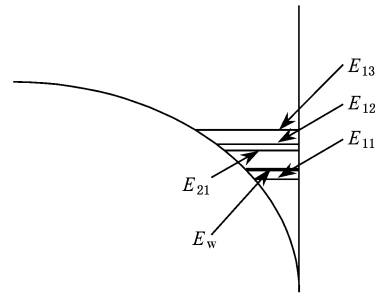


图2 p-Si/SiO₂ 界面处能带弯曲及子带分裂示意图

质量, Q_{depl} 是耗尽电荷面密度, Q_{inv} 是反型层自由电荷面密度, N_b 是衬底浓度, $b(V_g)$ 是使第一个子带能级最小化的参数.

将 (1) 式表示的 $E_w(V_g)$ 带入后面的隧穿电流计算公式, 通过与自洽解结果及相应的实验数据进行拟合, 确定出合适的 α 值为 0.9.

表面势 $\phi_s(V_g)$ 和 Q_{inv} 可分别表示为^[12]

$$\begin{aligned} \phi_s(V_g) &= \frac{\phi_B + \delta\phi_s(V_g) + \phi_{swi}(V_g)}{2} \\ &\quad - \frac{1}{2} \times \sqrt{(\phi_{swi}(V_g) - \delta\phi_s(V_g) - \phi_B)^2 + 4 \times \delta^2}, \end{aligned} \quad (2)$$

$$\begin{aligned} Q_{inv} &= -\gamma \times C_{ox} \times \left\{ \left[\phi_s(V_g) \right. \right. \\ &\quad \left. \left. + \phi_t \times \exp\left(\frac{\phi_s(V_g) - \phi_B - \delta\phi_s(V_g)}{\phi_t}\right) \right]^{1/2} \right. \\ &\quad \left. - \sqrt{\phi_s(V_g)} \right\}, \end{aligned} \quad (3)$$

其中, ϕ_B 是介质-Si 界面的势垒差, $\delta\phi_s(V_g)$ 是 $E_w(V_g)$ 引起的表面势增量, $\phi_{swi}(V_g)$ 是弱反型区的经典表面势, $\delta = 0.02$, γ 为体效应因子, C_{ox} 是单位面积氧化层电容, ϕ_t 为热电势 (室温时为 0.026V).

氧化层电场定义为

$$F_{ox} = V_{ox}/T_{ox}, \quad (4)$$

它与栅压和表面势的关系为

$$V_g = V_{FB} + V_{ox} + V_{poly} + \phi_s(V_g), \quad (5)$$

其中

$$V_{poly} = \frac{F_{ox}^2 \epsilon_{ox}^2}{2q\epsilon_{Si} N_{poly}}, \quad (6)$$

V_{poly} 和 V_{ox} 分别为多晶硅和介质层上的压降, V_g 为栅极电压, N_{poly} 为多晶硅掺杂浓度, V_{FB} 为平带电压, T_{ox} 为氧化层厚度, ϵ_{ox} 为栅介质介电常数.

2.2. 隧穿电流

隧穿电流通常表示为^[2]

$$J = Q_{inv} f T, \quad (7)$$

其中 f 为电子在 Si/SiO₂ 界面的碰撞频率, T 为每一个电子的隧穿几率. f 可通过下述方法进行计算.

定义 Z_t 为对应于能级 $E_w(V_g)$ 的经典转换点, $v_{Si,\perp}$ 为电子群速度中的垂直界面分量, 即

$$v_{Si,\perp} = \sqrt{\frac{\mathcal{A} [E_w(V_g) - E_c(z)]}{m_t}}, \quad (8)$$

则

$$f = \left[2 \int_0^{Z_t} v_{Si,\perp}^{-1}(z) dz \right]^{-1} = \frac{q\epsilon_{ox} F_{ox}}{4\epsilon_{Si}} \left(\frac{m_t E_w(V_g)}{2} \right)^{-1/2}. \quad (9)$$

隧穿几率 T 由两部分组成:

$$T = T_R \times T_{WKB}, \quad (10)$$

其中 T_{WKB} 为经典的 WKB 隧穿几率^[13], 即

$$T_{WKB} = \exp \left\{ - \frac{4(2m_{ox})^{3/2}}{3q\hbar F_{ox}} \times \left[(q\phi_{cat})^{3/2} \left(1 - \frac{3q\phi_{cat}}{10E_g} \right) - (q\phi_{an})^{3/2} \left(1 - \frac{3q\phi_{an}}{10E_g} \right) \right] \right\}, \quad (11)$$

E_g 是栅介质禁带宽度, m_{ox} 是介质层有效质量. 从图 1 可知, $q\phi_{cat} = q\phi_B$, $q\phi_{an} = q\phi_{cat} - qF_{ox} T_{ox}$; T_R 为考虑界面反射的修正因子:

$$T_R = \frac{4v_{Si,\perp}(E_{Si,\perp})v_{ox}(q\phi_{cat})}{v_{Si,\perp}^2(E_{Si,\perp}) + v_{ox}^2(q\phi_{cat})} \times \frac{4v_{Si,\perp}(E_{Si,\perp} + qF_{ox} T_{ox})v_{ox}(q\phi_{an})}{v_{Si,\perp}^2(E_{Si,\perp} + qF_{ox} T_{ox}) + v_{ox}^2(q\phi_{an})} \quad (12)$$

$v_{Si,\perp}(E_{Si,\perp})$ 和 $v_{ox}(q\phi_{cat})$ 分别是阴极端电子群速在 Si 和介质中的垂直界面分量; $v_{Si,\perp}(E_{Si,\perp} + qF_{ox} T_{ox})$ 和 $v_{ox}(q\phi_{an})$ 分别是阳极端电子群速在 Si 和介质中的垂直界面分量.

综上所述, 若表面势和能级偏移已知, 就可以知道在每一个 V_g 下的氧化层电场 F_{ox} , 计算出 T_{WKB} 和 T_R , 然后由能级偏移计算出电子在 Si/SiO₂ 界面的碰撞频率 f 以及能够隧穿的反型层电荷量, 最后由 (7) 式计算出隧穿电流, 此即为隧穿电流的解析模型.

3. 结果和讨论

采用上述模型分别模拟了不同介质材料和不同

栅介质厚度下, MOS 器件在耗尽/反型状态下的隧穿电流, 模拟所用参数如表 1、表 2 所示.

表 1 栅介质的介电常数和势垒高度(势垒高度定义为界面处介质和硅的导带差)

材料	介电常数 (ϵ)	$\Delta E_c/eV$	有效质量 / k_B	禁带宽度 /eV
Si	$11.7\epsilon_0$			1.12
SiO ₂	$3.9\epsilon_0$	3.15	$0.5m_0$	9.0
HfO ₂	$25\epsilon_0$	1.5	$0.122m_0$	5.68
Si ₃ N ₄	$7.8\epsilon_0$	2.1	$0.61m_0$	5.12

表 2 多晶硅和硅衬底的相关参数

参数	多晶硅	硅衬底
介电常数 (ϵ)	$11.7\epsilon_0$	$11.7\epsilon_0$
禁带宽度 (E_{gSi}) /eV	1.12	1.12
导带有有效态密度 (N_c) / cm^{-3}	2.8×10^{19}	2.8×10^{19}
价带有有效态密度 (N_v) / cm^{-3}	1.04×10^{19}	1.04×10^{19}
本征载流子浓度 / cm^{-3}	1.45×10^{10}	1.45×10^{10}

3.1. 与自洽数值解结果的比较

图 3 表示三种不同 SiO₂ 厚度 MOS 电容的栅极电流模拟结果与自洽解结果的比较. 从图 3 可见, 从耗尽到强反型状态, 模拟结果与自洽解结果符合较好, 特别是对于 $T_{ox} \leq 2$ nm 的情况. 因为栅介质较厚时, 量子效应减弱, 能级分裂造成的影响比模型中将多子带能级影响看作单能级近似时的影响小, 从而当栅压较小时, 两者出现偏差.

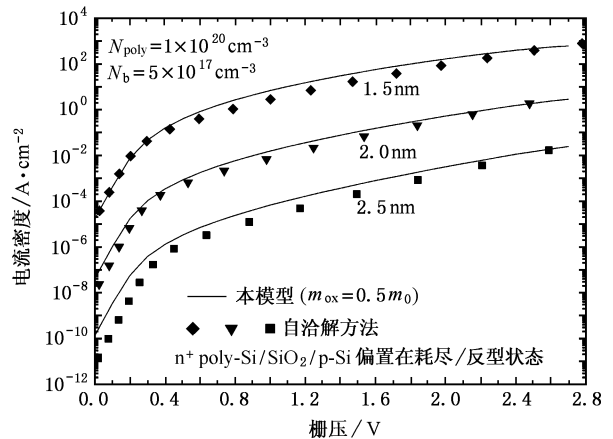


图 3 模拟结果和自洽数值解结果的比较

3.2. 与实验结果的比较

3.2.1. SiO₂ 作为栅介质的模拟结果

图 4 表示在耗尽、反型状态下, SiO₂ 作为栅介质时栅极电流模拟结果与实验数据的比较. 由图 4 可

见,两者十分符合.在栅极电压接近于零时出现的偏差(2 nm),正如文献[5]所述,是由于测量仪器精度所致.

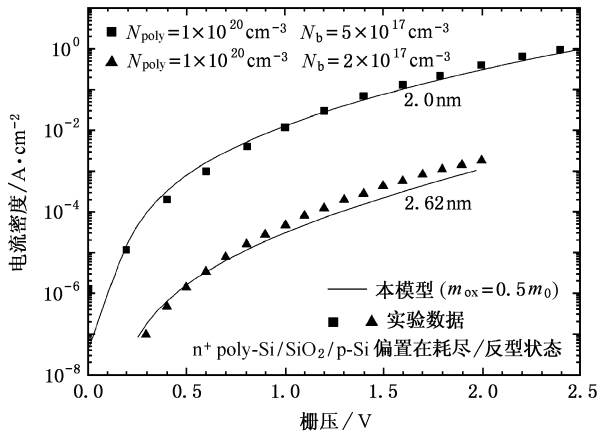


图4 SiO₂ 作为栅介质时栅极电流模拟结果与实验结果^[5,6]的比较

3.2.2. 高 k 栅介质 MOS 器件的模拟结果

图5表示耗尽和反型状态下,高 k 材料作为栅介质的模拟结果与实验结果的比较.其中 EOT 为等效氧化物厚度($EOT = (\epsilon_{SiO_2} / \epsilon_{ox}) T_{ox}$).从图5可见,模拟结果和实验结果也呈现出好的符合.栅电压接近于零时出现的误差,可能是由于高 k 材料与 Si 接触时界面态密度较大,低电压下测量的栅极漏电流包含了界面陷阱辅助隧穿电流分量,从而导致测量值高于模拟结果.

3.2.3 叠层栅介质 MOS 器件模拟结果

图6表示耗尽、反型状态下栅介质为叠层高 k 介质结构时栅极电流模拟结果与实验结果的比较.由图6可见,栅压大于 0.4 V 时的模拟结果与测量结果十分符合,反之,两者出现偏差.原因与上面类似,主要来自界面陷阱辅助隧穿的影响,其次也受到仪器测量精度的限制.

从上面模拟结果与自洽解结果以及实验结果的比较可知,所建立的模型是精确合理的,与实际情况相符;而且,该模型可适用于栅介质为 SiO₂、高 k 材料以及叠层结构等各种情况,特别适用于(超)深亚微米 MOS 器件栅极漏电特性的模拟分析.

4. 结 论

在表面势解析模型基础上,通过将多子带等效为单子带,提出了一个计算小尺寸 MOSFET 栅极隧

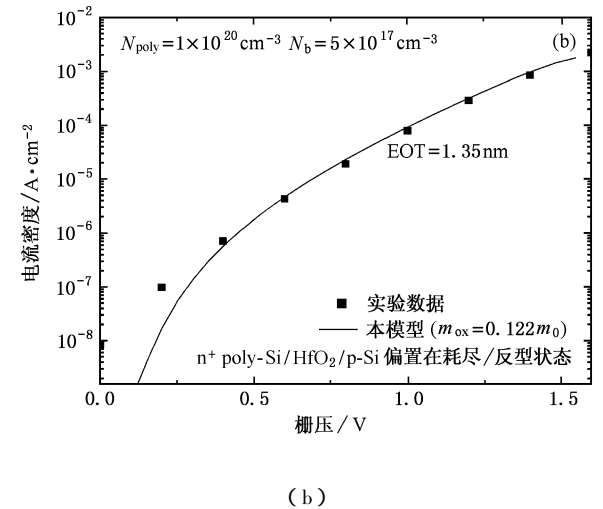
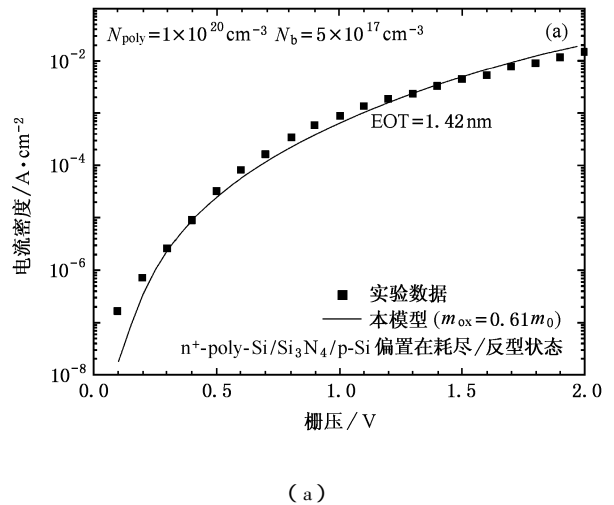


图5 高 k 栅介质 MOS 器件栅极漏电模拟结果与实验结果的比较.1) Si₃N₄ 作为栅介质,实验数据来自文献[7];2) HfO₂ 作为栅介质,实验数据来自文献[14].

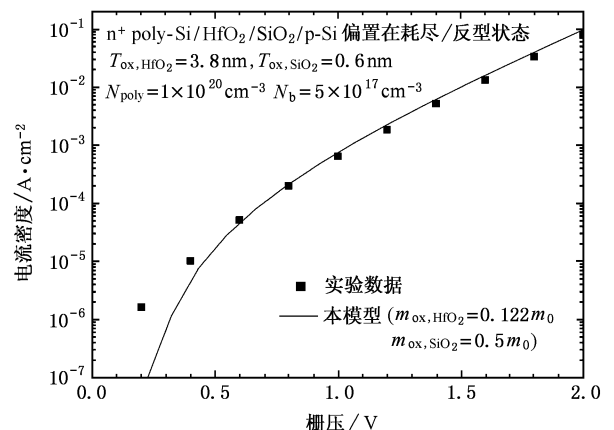


图6 叠层高 k 栅介质 MOS 电容栅极电流模拟结果与实验结果^[15]的比较

穿电流的解析表达式,模拟结果与自洽解结果 Si_3N_4 、 HfO_2 作为栅介质以及 $\text{HfO}_2/\text{SiO}_2$ 叠层栅介质的实验结果均符合较好,且计算时间较自洽解方法大大缩短,表明该模型可用于实际的 MOS 电路模

拟.模型的另一个特点在于只有一个与材料相关的拟合参数,不含与结构有关的提取参数,计算简便快捷.因此,该模型在深亚微米和超深亚微米 MOSFETs 栅极漏电特性的模拟分析方面具有极大优势.

- [1] Vogel E M , Ahmed K Z , Hornung B , Henson W K , McLarty P K , Lucovsky G , Hauser J R , Wortman J J 1998 *IEEE Transactions on Electron Devices* **45** 1350
- [2] Register L F , Rosenbaum E , Yang K 1999 *Applied Physics Letters* . **74** 457
- [3] Magnus W , Schoenmaker W 2000 *J. Appl. Phys.* **88** 5833
- [4] Rana F , Tiwari S , Buchanan D A 1996 *Applied Physics Letters* . **69** 1104
- [5] Yang N , Henson W K , Hauser J R , Wortman J J 1999 *IEEE Trans. Electron Devices* . **46** 1464
- [6] Lee W C , Hu C M 2000 *Symposium on VLSI Technology Digest of Technical Papers* 2000 June , Honolulu , USA 198
- [7] Yeo C Y , Lu Q , Lee W C , King T J , Hu C M , Wan X W , Guo X , Ma T P 2000 *IEEE Trans. Electron Device Letters* . **21** 540
- [8] Liu Y X , Wang Y C , Du S Y 2004 *Acta Phys. Sin.* **53** 2734 (in Chinese) [刘彦欣、王永昌、杜少毅 2004 物理学报 **53** 2734]
- [9] Guo Y H , Zhao Z P , Hao Y , Liu Y G , Wu Y B , Lu M 2005 *Acta Phys. Sin.* **54** 1804 (in Chinese) [郭荣辉、赵正平、郝跃、刘玉贵、武一宾、吕苗 2005 物理学报 **54** 1804]
- [10] Stern F , Howard W E 1967 *Phys. Rev.* **163** 816
- [11] Stern F 1972 *Phys. Rev. B.* **5** 4891
- [12] Pregaldiny F , Lallement C , van Langevelde R , Mathiot D 2004 *Solid-State Electronics* . **48** 427
- [13] Weinberg Z A 1982 *J. Appl. Phys.* **53** 5052
- [14] Lee B H , Kang L , Qi W J , Nieh R , Jeon Y , Onishi K , Lee J C 1999 *International Electron Devices Meetings* 1999 December , Washington DC , USA 133
- [15] Hou Y T , Li M F , Yu H Y , Jin Y , Kwong D L 2002 *International Electron Devices Meetings* 2002 December , San Francisco , CA , USA 731

Analytic tunneling-current model of small-scale MOSFETs*

Chen Wei-Bing Xu Jing-Ping[†] Zou Xiao Li Yan-Ping Xu Sheng-Guo Hu Zhi-Fu

(Department of Electronic Science and Technology , Huazhong University of Science and Technology , Wuhan 430074 , China)

(Received 1 September 2005 ; revised manuscript received 6 January 2006)

Abstract

An analytic model of direct tunneling current of small-scale MOSFETs in depletion and inversion is developed based on analytic surface-potential model and replacing the multi-subband with a single-subband. The simulated results are in good agreement with the results of self-consistent solution and experimental data , but take much shorter computing time than the self-consistent solution method. This indicates that the model can be used for analysis of gate-leakage properties of MOS devices with not only SiO_2 but also high-k materials as gate dielectric and high-k gate dielectric stack structures , and circuit simulation of MOS devices.

Keywords : tunneling current , MOSFET , quantum mechanism , analytic model

PACC : 0370 , 7335C , 7960E

* Project supported by the National Natural Science Foundation of China (Grant No. 60376019) and the Natural Science Foundation of Hubei Province , China (Grant No. 2003ABA087).

[†] Corresponding author. E-mail : jpxu@mail.hust.edu.cn