

氮化硅介质中双层纳米硅薄膜的两级电荷存储^{*}

王久敏 陈坤基[†] 宋 捷 余林蔚 吴良才 李 伟 黄信凡

(南京大学物理系, 固体微结构国家重点实验室, 南京 210093)

(2006 年 4 月 21 日收到, 2006 年 5 月 15 日收到修改稿)

研究镶嵌在超薄非晶氮化硅($a\text{-SiN}_x$)层之间的双层纳米硅($nc\text{-Si}$)的电荷存储现象. 利用等离子体增强化学气相淀积(PECVD)技术在硅衬底上制备 $a\text{-SiN}_x/a\text{-Si}/a\text{-SiN}_x/a\text{-Si}/a\text{-SiN}_x$ 多层薄膜结构. 采用常规热退火方法使非晶硅($a\text{-Si}$)层晶化, 形成包含双层 $nc\text{-Si}$ 的金属-氮化物-半导体(MIS)结构. 通过电容电压($C\text{-}V$)特性测量, 观测到该结构中由于电荷存储引起的 $C\text{-}V$ 回滞现象, 并在室温下成功观察到载流子基于 Fowler-Nordheim(F-N)隧穿注入到第一层、第二层 $nc\text{-Si}$ 的两级电荷存储状态. 结合电流电压($I\text{-}V$)特性的测量, 对电荷存储的机理进行了深入分析.

关键词: 纳米硅, 氮化硅, 电容电压法, 电流电压法

PACC: 7335, 7360

1. 引 言

在包含纳米硅晶粒($nc\text{-Si}$)的材料和结构中, 人们发现了可见光辐射以及电荷存储和库仑阻塞的现象^[1-4], 从而可以期望实现一些新颖的应用, 如硅基的光电集成电路、单电子存储器或晶体管^[5], 引起了国际上的广泛关注. 绝缘层中镶嵌的 $nc\text{-Si}$ 颗粒的金属-绝缘体-半导体(MIS)结构被认为是下一代最有可能实现的单电子存储的器件结构单元. 在这种结构中, 包含 $nc\text{-Si}$ 颗粒的绝缘层作为浮置栅代替了传统的多晶硅或氮化硅浮置栅. 它具有以下几点优势: 更快的写入时间、更高的存储密度、较低的功耗以及更多的擦写次数而隧穿介质层的质量不会退化. 但是目前的研究成果仍然停留在实验室阶段, 在产品实用前仍需解决几个问题, 如提高注入的电荷密度、延长保持时间, 使其达到实用化的要求. 因此, 近年来发展出很多新的材料和结构. Chang^[6], Lu^[7]等提出了准超晶格的两级或多级存储概念, 其中包括镶嵌在二氧化硅(SiO_2)绝缘层之间的双层或多层非晶硅($a\text{-Si}$)/ $nc\text{-Si}$ 结构. 在这些不同方法制备的相似结构中, 都观测到平带电压偏移随外加电压变化的平台现象.

我们前期的工作研究了含有单层 $nc\text{-Si}$ 颗粒的 MIS 结构的电荷存储的性质^[8]. 本文研究了可以进行双层电荷存储的包含 $nc\text{-Si}$ 颗粒的 MIS 结构, 即双层量子点堆栈的多层结构. 采用等离子体增强化学气相淀积(PECVD)法结合热退火的方法, 在硅衬底上形成 $a\text{-SiN}_x/nc\text{-Si}/a\text{-SiN}_x/nc\text{-Si}/a\text{-SiN}_x$ 多层膜的 MIS 结构. 它可以提高注入电荷的密度, 实现多值存储. 采用氮化硅(SiN_x)作为介质层是因为它具有较优越的势垒性质: SiN_x 的势垒高度低于 SiO_2 而又具有较高的介电常数, 通过改变氮的组分可以调制势垒的高度.

2. 实 验

包含双层堆栈 $nc\text{-Si}$ 的 $a\text{-SiN}_x/nc\text{-Si}/a\text{-SiN}_x/nc\text{-Si}/a\text{-SiN}_x$ 样品的剖面结构示意图如图 1 所示. 样品是在 PECVD 系统中原位制备的, 衬底为(100)取向的 p 型硅(Si), 电阻率 $6\text{--}8 \Omega\cdot\text{cm}$, 衬底温度 250°C , 所用的射频源频率为 13.56 MHz , 功率为 40 W . 在制备样品前, 所有的衬底都经过了标准的 RCA 流程清洗, 并且用稀释的氢氟酸除去了表面的天然氧化层. 首先淀积一层 5 nm 的 SiN_x 薄膜作为隧穿介质层, 然后制备中间间隔着 5 nm SiN_x 层的两层 4 nm 的 $a\text{-Si}$

^{*} 国家自然科学基金(批准号: 60471021, 90301009, 60571008)国家重点基础研究发展规划(批准号: 2001CB610503)及中科院上海微系统和信息技术研究所信息功能材料国家重点实验室资助的课题.

[†] 通讯联系人, E-mail: kjchen@netra.nju.edu.cn

Si 层,最后再覆盖一层 10 nm 的 SiN_x 薄膜作为控制栅介质层.利用纯硅烷气体淀积 a-Si 薄膜,而制备 SiN_x 则使用了硅烷、氮气的混合气体(混合比例为 1:9). $\text{a-SiN}_x/\text{a-Si}/\text{a-SiN}_x/\text{a-Si}/\text{a-SiN}_x$ 样品生长完成后,采用炉式退火(1100°C, 30 min)氮气氛围下对 a-Si 层进行了晶化,晶化前样品在 400°C、氮气氛围下经过脱氢处理.

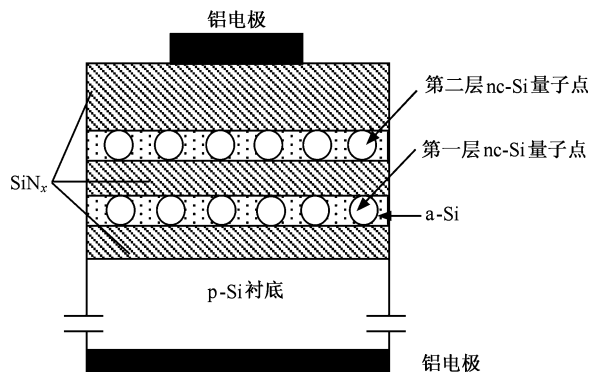


图 1 双层堆栈的 nc-Si 量子点薄膜的结构示意图

我们用剖面透射电子显微镜(X-TEM)观测到 SiN_x 介质层之间的具有良好形貌的单层 nc-Si 薄膜^[9].从而证实用这种制备方法已获得 $\text{a-SiN}_x/\text{nc-Si}/\text{a-SiN}_x/\text{nc-Si}/\text{a-SiN}_x$ 多层结构.同时拉曼(Raman)散射谱也证实了 a-Si 已经晶化成 nc-Si,并且经过计算得到的 nc-Si 颗粒的大小与 a-Si 的厚度能较好地符合.为了进行电学测量,在样品的两面蒸上了铝电极,栅电极的大小为 1.23 mm².通过计算机控制的 HP4284A A156C 分析仪测量了电容电压(C-V)、电流电压(I-V)特性,分析研究了 SiN_x 介质中双层 nc-Si 薄膜结构的电荷注入、电荷存储的机理,所有的电学测量实验都是在室温下进行的.

3. 结果与讨论

对于 MIS 结构,C-V 特性是比较有效的分析工具.我们对退火前后的样品在不同的外加栅压(V_g)扫描范围下进行了 C-V 特性的测量,如图 2(a)(b)所示.所有的曲线都是在频率为 1 MHz 的信号下测量的.测量时栅电极加测试电压的扫描方向由正到负(正扫描)再由负到正(反扫描),对应衬底所处的状态是从反型区到积累区再回到反型区.从图 2(a)中可以看到,同一条曲线的正扫描与反扫描部分几乎重合,即使向正方向或反方向加大扫描电压的

范围,仍然没有回滞的现象,这说明在未经退火的原始样品中没有电荷存储现象.在退火后的样品中,最初当扫描的范围在 -4 V 到 -2 V 之间时,C-V 曲线的正扫描与反扫描是完全重合的;当扫描的范围增加时,出现了 C-V 的回滞现象,并向正反两个方向扩大.因此当 V_g 扫描范围从 2 V 到 -17 V 时,可以看到一个较大的回滞.这个回滞是逆时针方向的,分布在最初没有回滞曲线的两侧,应归结于硅衬底在反型区的电子注入(反扫描)和积累区(正扫描)的空穴注入^[10].因此,nc-Si 量子点或其相关的界面态是双层量子点堆栈结构的电荷存储的主要机理.

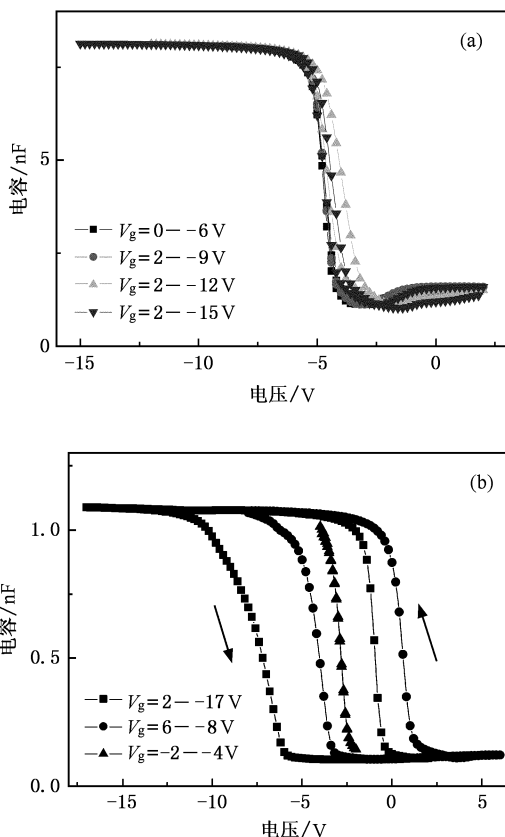


图 2 (a)原始样品的不同栅压扫描范围的 C-V 曲线 (b)退火后样品的一系列 C-V 曲线(从反型区扫向积累区再返回,扫描方向如图中箭头显示)

在这个结构中有两层 nc-Si 量子点,当正扫描时施加的电压持续增加,空穴将分别隧穿注入第一层和第二层量子点中,同样当反扫描时随着施加的扫描电压持续增加时,在反型区电子也将分别注入第一层和第二层量子点中.为了观察这种双层注入现象,我们先固定一端起始电压为 2 V,另一端从 -4 V 增加到 -17 V,每次增加-1 V(图 3(a));再固定一端为 -8 V,另一端从 2 V 增加到 16 V,每次增加 1 V

(图 3(b)),作一系列的 $C-V$ 测量,观察平带电压偏移(ΔV_{fb})的特性.在图 3 中可以清楚地观察到电荷注入、存贮的两个阶段,随着电荷注入、存贮到第二层 nc-Si 量子点中, $C-V$ 曲线的回滞范围明显地增加了.

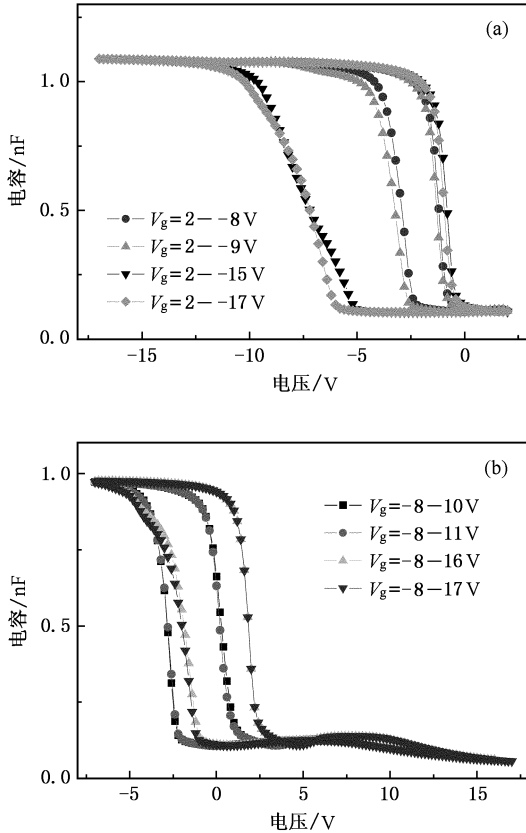


图 3 双层 nc-Si 量子点结构的两级电荷注入和存贮现象,回滞随着偏压的增大而增加 (a)在积累区的注入 (b)在反型区的注入

图 4 描绘了退火后的样品 ΔV_{fb} 随扫描电压范围的变化,插图显示了对应于在反型区的电子注入情形,作为对比我们绘出了单层量子点样品的 ΔV_{fb} . 可以观察到在一系列的 $C-V$ 曲线的 ΔV_{fb} 中,退火后的样品在积累区空穴注入时存在两个明显的台阶区(图中椭圆区示意),插图中对应于电子的注入也有类似的特点,而在单层 nc-Si 的样品中只存在一个台阶,需要说明的是在更大的负偏压下,由于漏电的影响,导致无法进一步进行 $C-V$ 测量.与文献 [6] 在 $\text{SiO}_2/\text{a-Si}/\text{a-SiN}_x/\text{a-Si}/\text{a-SiN}_x/\text{SiO}_2$ 多层膜的结构中观察到的 ΔV_{fb} 平台现象一致.

为研究电荷的注入机理,我们还测量了双层 nc-Si 量子点结构的静态 $I-V$ 特性(见图 5).外加偏压

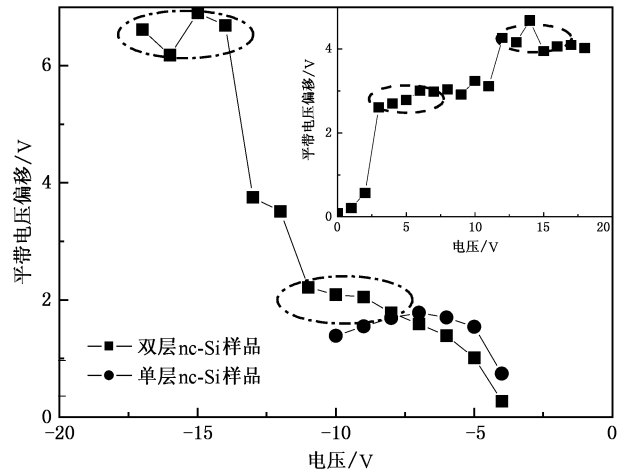


图 4 含有堆栈的双层 nc-Si 量子点的样品的 $C-V$ 曲线的平带电压偏移(ΔV_{fb})随积累区扫描电压的变化(可以观察到两个明显的台阶,插图显示了由于电子注入引起的 ΔV_{fb} 的平台效应,而圆点代表的含有单层 nc-Si 量子点的样品中只有一个台阶)

设定固定的扫描间隔(0.1 V)以及足够长的延迟时间(15 s),可以实现静态的 $I-V$ 特性测量;可以观测到在电场强度 3 MV/cm 以下有比较小的漏电流,在电场强度较高的区域,我们认为空穴是以 Fowler-Nordheim (F-N) 隧穿的方式注入到 nc-Si 中的.F-N 隧穿的公式为

$$J = \frac{A}{4\varphi_B} E^2 \exp\left(\frac{-2B\varphi_B^{3/2}}{E}\right),$$

其中 J, E 分别是电流密度、电场强度, φ_B 是 nc-Si 量子点与 SiN_x 之间的势垒高度,而 A, B 是常数.图 5 描绘了 $\ln(J/E^2)$ 和 $1/E$,即 F-N 隧穿公式的特征曲线,能较好地线性拟合,证明在电场强度较强时,空

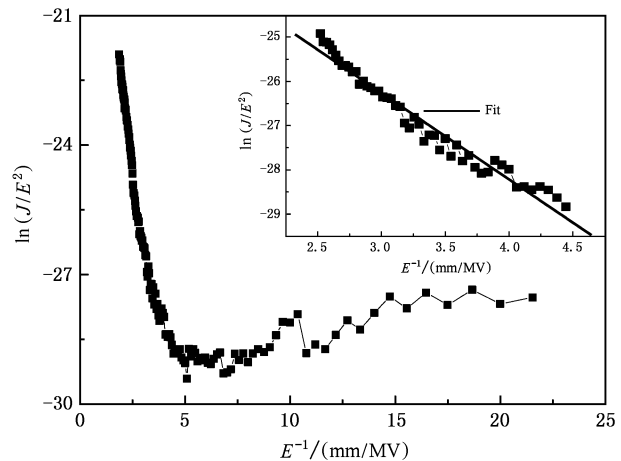


图 5 退火后的样品的静态 $I-V$ 曲线按照 Fowler-Nordheim 隧穿公式的拟合(插图是电场强度较高时的放大)

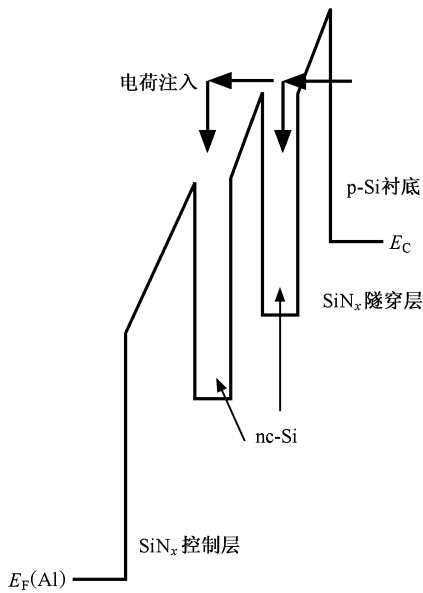


图 6 a-SiN_x/nc-Si/a-SiN_x/nc-Si/a-SiN_x 结构在正向偏压下电荷注入的能带示意图

穴是以 F-N 隧穿的方式注入到 nc-Si 量子点中的。

因此,当栅电压增大时,电荷以 F-N 隧穿的方式

分别注入到第一层、第二层 nc-Si 量子点中,如图 6 显示了正偏压下电荷注入的能带示意图,在一系列 $C-V$ 曲线中观察到 ΔV_{fb} 的平台现象。

双层 nc-Si 的堆栈结构中 ΔV_{fb} 比单层情况下增加很多,说明有更多的电荷存储,用这种双层或多层的电荷注入,可以快速地提高存储的单位电荷密度。由于不同存储状态可以实现两位或多位存储,相对于氮化硅膜阱(SONOS)型闪存的两位或多位的多值存储技术,不需要对源漏的双重读写操作,简化了电路设计^[6]。

4. 结 论

我们利用 PECVD 和高温晶化的方法成功制备了 SiN_x 介质膜之间包含双层 nc-Si 量子点的 MIS 结构,采用的工艺与常规微电子工艺相兼容。由 $C-V$ 测量,发现该结构有着很好的电荷存储能力,通过研究平带电压的偏移与扫描电压的变化关系,观测到该双层 nc-Si 量子点 MIS 结构中两级电荷注入和存储现象。

[1] Tiwari S, Rana F, Hanafi H, Hartstein A, Crabbe E F, Chan K 1996 *Appl. Phys. Lett.* **68** 1377
 [2] Photopoulos P, Nassiopoulou A G, Kouvatso D N, Travlos A 2000 *Appl. Phys. Lett.* **76** 3588
 [3] Walters R J, Kik P G, Casperson J D, Atwater H A, Lindstedt R, Giorgi M, Bourianoff G 2004 *Appl. Phys. Lett.* **85** 2622
 [4] Cheng I, Wagner S 2002 *Appl. Phys. Lett.* **80** 440
 [5] Guo R H, Zhao Z P, Hao Y, Liu Y G, Wu Y B, Liu M 2005 *Acta Phys. Sin.* **54** 1804 [in Chinese] 郭荣辉、赵正平、郝跃、刘玉贵、武一宾、吕苗 2005 物理学报 **54** 1804]

[6] Chang T C, Yan S T, Liu P T, Chen C W, Wu H H, Sze S M 2004 *Appl. Phys. Lett.* **85** 248
 [7] Lu T Z, Alexe M, Scholz R, Talelaev V, Zacharias M 2005 *Appl. Phys. Lett.* **87** 202110
 [8] Dai M, Zhang L, Bao Y, Shi J J, Chen K, Li W, Huang X F, Chen K J 2002 *Chin. Phys.* **11** 944
 [9] Dai M, Chen K, Huang X F, Wu L C, Zhang L, Qiao F, Li W, Chen K J 2003 *J. Appl. Phys.* **95** 640
 [10] Kouvatso D N, Sougleridis V L, Nassiopoulou A G 2003 *Appl. Phys. Lett.* **82** 397

Double-level charge storage in self-aligned doubly-stacked Si nanocrystals in SiN_x dielectric^{*}

Wang Jiu-Min Chen Kun-Ji[†] Song Jie Yu Lin-Wei Wu Liang-Cai Li Wei Huang Xin-Fan
(*National Laboratory of Solid State Microstructures and Department of Physics, Nanjing University, Nanjing 210093, China*)

(Received 21 April 2006 ; revised manuscript received 15 May 2006)

Abstract

Doubly stacked layers of amorphous silicon (a-Si) between amorphous silicon nitride (a-SiN_x) layers have been fabricated by plasma enhanced chemical vapor deposition (PECVD) technique. Si nanocrystal (nc-Si) layers were formed by thermal crystallization of a-Si layers after a furnace annealing at 1100°C for 30 min in N₂ ambient. The phenomena of charge trapping and storage in nc-Si layers were observed in both capacitance-voltage (*C-V*) and current-voltage (*I-V*) measurements at room temperature. The structure has revealed a double-level charging process. Two stages of charge storage were evident in the series of *C-V* curves. The phenomena and mechanism of charge storage were discussed in detail.

Keywords : nanocrystalline silicon , silicon nitride , *I-V* and *C-V* measurements

PACC : 7335 , 7360

^{*} Project supported by the National Nature Science Foundation of China (Grant Nos. 60471021 , 90301009 , 60571008) , the State Key Program for Basic Research (Grant No. 2001CB610503) and the State Key Laboratory of Functional Materials for Informatics , Shanghai Institute of Microsystem and Information Technology , CAS.

[†] Corresponding author. E-mail : kjchen@netra.nju.edu.cn