

# 电压应力下超薄栅氧化层 n-MOSFET 的击穿特性\*

马晓华<sup>†</sup> 郝 跃 陈海峰 曹艳荣 周鹏举

(西安电子科技大学微电子研究所, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2006 年 4 月 4 日收到, 2006 年 4 月 19 日收到修改稿)

研究了 90nm 工艺下栅氧化层厚度为 1.4nm 的 n-MOSFET 的击穿特性, 包括  $V_{\text{ramp}}$ (斜坡电压)应力下器件栅电流模型和 CVS(恒定电压应力)下的 TDDI(经时击穿)特性, 分析了电压应力下器件的失效和退化机理. 发现器件的栅电流不是由单一的隧穿引起, 同时还有电子的翻越和渗透. 在电压应力下,  $\text{SiO}_2$  中形成的缺陷不仅降低了  $\text{SiO}_2$  的势垒高度, 而且等效减小了  $\text{SiO}_2$  的厚度(势垒宽度). 另外, 每一个缺陷都会形成一个导电通道, 这些导电通道的形成增大了栅电流, 导致器件性能的退化, 同时栅击穿时间变长.

关键词: 超薄栅氧化层, 斜坡电压, 经时击穿, 渗透

PACC: 7750, 7360H, 7340Q

## 1. 引 言

30 多年来,  $\text{SiO}_2$  凭借其优秀的绝缘性能一直用于隔离 CMOS 器件中从栅电极到沟道的电流, 该领域也一直是 MOS 器件及其 IC 可靠性研究的重要课题之一<sup>[1-10]</sup>. 伴随着集成电路工艺的发展, 栅氧化层从 50nm 降低到目前的 1nm 左右, 而器件的工作电压只是从 5V 减小到 90nm 工艺条件下的 1V, 这使得加在栅氧化层上的电场强度急剧增加, 导致栅的泄漏电流增强, 成为器件功耗的主要来源, 同时其可靠性也会降低. 虽然人们也一直在研究新的 High-K 材料来代替  $\text{SiO}_2$ , 以此来解决  $\text{SiO}_2$  日益显现出的无法解决的问题. 但由于工艺条件的限制和  $\text{SiO}_2$  得天独厚的优越性, 一直到目前的 65nm 技术节点, CMOS 器件还是采用  $\text{SiO}_2$  作为栅介质, 而此时的  $\text{SiO}_2$  厚度为 1nm, 接近由于  $\text{SiO}_2$  不平整度导致的厚度极限 0.7nm<sup>[2]</sup>. 在这种厚度情况下, 超薄栅氧化层在发生硬击穿(hard breakdown)前会出现多次的软击穿过程, 甚至有可能没有硬击穿出现<sup>[3]</sup>, 这个过程伴随的是器件性能不可恢复的退化, 因此, 以前采用 TDDI 方法来预测器件寿命的方法已不再适用<sup>[4]</sup>. 目前, 对

软击穿的成因以及其对器件性能的退化缺少详细的讨论.

本文对 90nm 工艺下 n-MOSFET 在  $V_{\text{ramp}}$  应力下栅电流模型和 CVS 应力下栅氧化层的退化和失效机理进行了研究, 结合应力条件下能带的变化, 分析了  $I_g$ (栅电流)在 CVS 条件下随时间增大的机理. 分析认为, 当栅氧化层降低到几个原子层的量级时,  $\text{SiO}_2$ -Si 界面和  $\text{SiO}_2$  中的每一个缺陷都会引入一个新的导电通道, 这导致栅电流随着时间的延长逐渐增加, 但是由于能量在氧化层中不易聚集, 栅氧化层的寿命也增长.

## 2. 实验及讨论

试验样品是由标准的 90nm CMOS 逻辑工艺制造的 n-MOSFET, 器件的宽长比分别为  $10\mu\text{m}/10\mu\text{m}$  和  $50\mu\text{m}/50\mu\text{m}$ , 栅介质为采用 DPN(Decoupled Plasma Nitridation)工艺后的  $\text{SiO}_2$ , 厚度为 1.4nm(从 TEM 横截面测量得到). 通过在栅上施加  $V_{\text{ramp}}$  应力测量器件的  $I_g$ - $V_g$  特性, 施加 CVS 应力测量器件的性能退化和击穿. 测量时器件的漏、源和衬底接地( $V_d = V_s = V_{\text{sub}} = 0$ ). 考虑到在逻辑电路中 n-MOSFET 实际

\* 国家 863 超大规模集成电路重大专项基金(批准号: 2003AA1Z1630)和国家自然科学基金(60376024)资助的课题.

<sup>†</sup> E-mail: xhma@xidian.edu.cn

工作情况,应力状态下器件处于强反型状态.实验采用 Agilent B1500A 高精度半导体参数测试仪和 Cascade 9101 探针台系统,在室温下的屏蔽暗箱中进行测量.

### 2.1. 机理

实验中器件的栅氧化层厚度为 1.4nm,此时,界面的不平整度对介质的特性影响非常明显,这种界面的不平整主要是由于 SiO<sub>2</sub> 和 Si 的原子相互交错引起的.图 1(a)给出了这种明显变化的界面物理模型图,从图中可以看出,不平整导致 A 点的栅介质厚度减小,B 点栅氧化层的厚度增大.在栅氧化层非常薄的情况下,这种变化将直接影响到器件的性能.

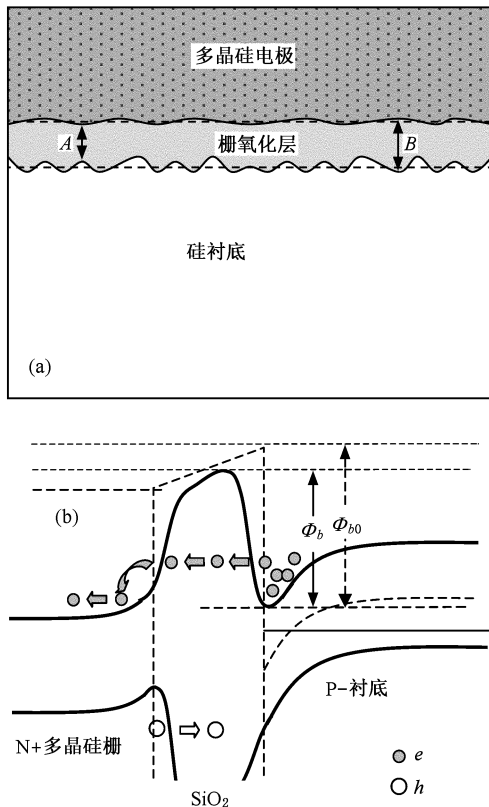


图 1 (a)MOS 结构原理图 (b)能带结构图

由于栅氧化层非常薄,加上表面粗糙,使得实际的 MOSFET 能带结构与厚栅氧层相比有较大变化.图 1(b)给出了栅氧非常薄时的能带图,从图中可以看出,由于镜像力的作用,Si/SiO<sub>2</sub> 的净势垒高度比理论值 Φ<sub>b0</sub> = 3.15eV 要低.通常,镜像力对势垒影响为

$$\Phi_b = \Phi_{b0} - a_0 \epsilon_{ox}^{1/2} - b_0 \epsilon_{ox}^{2/3}, \quad (1)$$

$$\text{其中 } \epsilon_{ox} = \frac{V_{gs} - V_{fb} - 2\Phi_f - V_{ds}}{t_{ox}}$$

由此可得,随着栅氧化层厚度的减小, SiO<sub>2</sub> 势垒高度会明显降低.文献[5]通过试验测得 2nm 左右厚度的栅氧化层的势垒高度甚至可以低到 1eV.对于 1.4nm 厚度的栅氧化层的 MOS 结构,由于 Si/SiO<sub>2</sub> 界面的相互交错, SiO<sub>2</sub> 最薄处的厚度甚至小于 1nm<sup>[2]</sup>.由于镜像力的影响,能带中 SiO<sub>2</sub> 的势垒已经不是规则的方形势垒(图 1(b)).

综上所述,电子可以通过三种途径从沟道穿过栅氧化层到达栅极形成栅电流:一是基于隧穿,这是形成栅电流的主要原因;二是由于势垒高度降低使得电子更容易翻越势垒到达栅极;三是由于电子从最薄的地方通过渗透到达栅电极<sup>[4]</sup>.

### 2.2. 结果讨论

V-ramp 应力试验对 10μm/10μm 的 NMOS 器件进行,器件的栅上加一个 0V—3.5V 的标准 V-ramp 电压.图 2 给出测量得到的栅电流随电压的变化曲线,其左上角小图是栅氧化层厚度分别为 7nm, 3nm 和 1.4nm 的器件在双自然对数下栅电流随栅电压倒数变化的曲线.

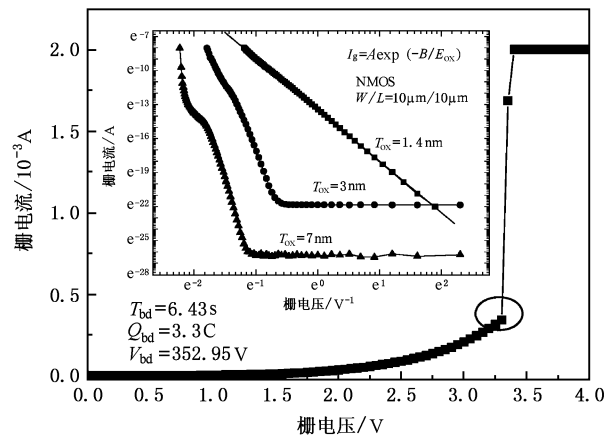


图 2 器件的 V-ramp 测试曲线

结果表明,当栅氧化层厚度为 1.4nm 时,栅电流同电压倒数的负指数成线性关系,明显不同于氧化层为 3nm, 7nm 的器件的电流曲线.由于测量过程中器件处于反型状态,可以近似认为加在栅氧化层上的电压和氧化层上的电场强度成正比.对曲线拟合得到一个简化的栅电流随氧化层电场强度变化的关系式为

$$I_g = A e^{(-B/E_{ox})}, \quad (2)$$

其中  $A, B$  为拟合系数, 其值为  $A = -13.462$ ,  $B = -4.543$ .

(2) 式不同于 FN 隧穿电流公式<sup>[6]</sup>

$$I_g = AE^2 e^{(-B/E_{ox})}, \quad (3)$$

也不同于直接隧穿公式<sup>[7]</sup>

$$I_g = A \left( \Phi_b / V_{ox} \right) \left( 2\Phi_b / V_{ox} - 1 \right) E_{ox} \times \exp \left( \frac{-B \left[ 1 - \left( 1 - V_{ox} / \Phi_b \right)^{3/2} \right]}{E_{ox}} \right), \quad (4)$$

表明在栅氧化层厚度为 1.4nm 的器件中, 栅电流的形成不是单一的 FN 隧穿或直接隧穿形成的, 前面提到的三种形成栅电流的方式都存在, 但直接隧穿还是栅电流的主要来源.

CVS 应力试验对  $50\mu\text{m}/50\mu\text{m}$  的 NMOS 器件进行, 试验中  $V_g = V_{\text{stress}}$ . 图 3 给出了两条不同应力条件下, 栅电流随应力时间的变化规律. 从  $I_g-t$  曲线中可以看出, 随着时间延长, 栅的击穿不是突然出现, 而是经历了曲线中 1, 2, 3 点的软击穿 (SBD), 也称之为累计击穿 (progressive breakdown), 实际上, 也可以将其认为是一个渐进的硬击穿过程<sup>[8]</sup>, 这种 TDDB 特性曲线同厚栅氧的 TDDB 特性曲线有着明显的不同. 图 3 中左上小图为氧化层厚度为 10nm 的 n-MOSFET 在 CVS 条件下的 TDDB 特性曲线, 对于厚栅氧, 栅电流随时间的变化是先降低, 而后突然增加, 这个过程可以解释为氧化层在电场的作用下产生陷阱, 电子被陷阱俘获使得栅电流减小, 而俘获的电子逐渐积累使得阳极电场不断增加, 当电场增大到某一临界值时, 氧化层被击穿, 电流突然增加<sup>[7,9]</sup>. 而对于薄栅 (1.4nm) 的击穿过程, 用上面的理论来解释显然是不合适的, 在最初的时间里, 栅电流主要是由介质的直接隧穿和电子翻越  $\text{SiO}_2$  势垒产生的. 随着时间的增加, 电子和栅氧化层中的原子发生碰撞, 在栅氧化层中产生的缺陷增加, 缺陷在栅氧化层中会产生一个附加电场, 导致栅氧化层势垒高度和势垒宽度的减小 (图 3 右上小图). 而此时的栅介质只有几个原子层, 由于缺陷的辅助, 使得电子更容易穿过栅氧化层到达栅极, 也就是说在缺陷周围会很快形成一个小的导电通道, 电流将逐渐增大, 较大的栅泄漏电流使得栅中的能聚减小, 因此, 相同电场的情况下, 超薄栅介质的寿命要比厚栅的长. 图 4 给出了 CVS 击穿特性的韦布尔分布, 左上角小图为器件外推寿命曲线. 从测量的曲线中可以看出, 当栅氧化层厚度降低到非常薄的时候, 外推出来的器件寿命都在数百年以上, 显然采用 TDDB 方法将无法

准确预测器件的寿命<sup>[4]</sup>.

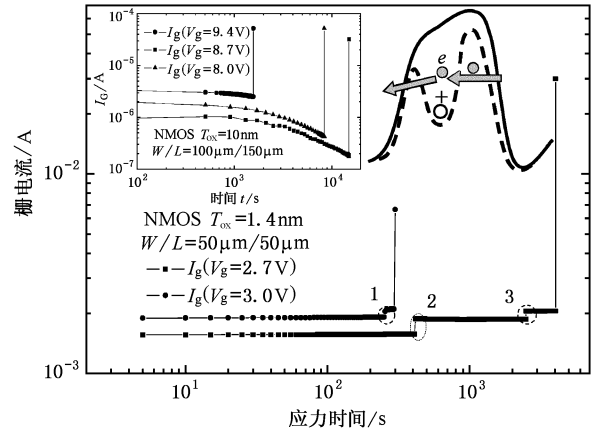


图 3 栅氧化层的 TDDB 击穿特性 (小图是栅氧厚度为 10nm 的 TDDB 击穿特性)

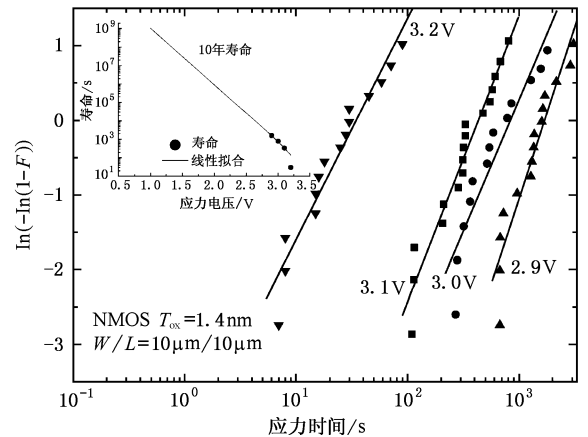


图 4 栅氧化层的 TDDB 击穿特性的韦布尔分布 (小图是外推得到器件的寿命分布)

从寿命的外推曲线上还可以看出, 当栅电压超过 3.2V 时, 器件的失效速度急剧加快, 我们可以认为这个电压是器件栅电流的击穿电压. 而应力分别为 3.1V, 3.0V 和 2.9V 时, 器件的 TDDB 模型虽然接近 E 模型, 但由于采用不同工艺得到的  $\text{SiO}_2$  介质的氮浓度不同 (氮浓度也会影响器件的寿命), 很难用一个统一的模型来准确表述器件的寿命.

尽管目前认为器件的栅氧化层出现 HB 的时间会很长, 但较高电场情况下, 发生软击穿后同样会对器件的性能产生较大的影响. 图 5 为 TDDB 过程中器件  $I_d-V_d$  的变化曲线, 曲线 1 为没有施加 TDDB 应力条件下器件输出特性, 曲线 2 和 3 分别为施加应力 100s 和 200s 后的曲线. 200s 应力后给栅上施加一个负的应力进行退陷试验, 退陷后的曲线为曲线 3

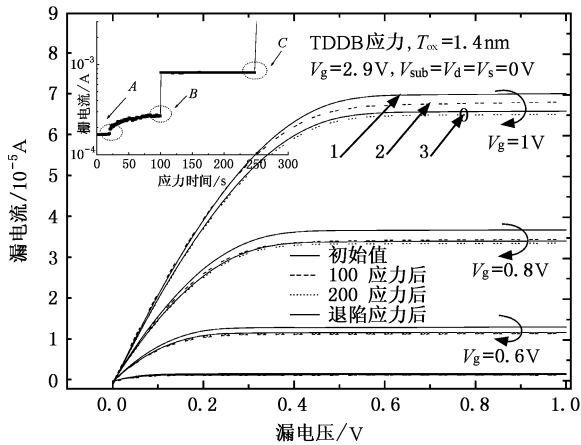


图5 TDDB过程中器件输出特性的退化特性

中的实线.可以看出,随着 TDDB 应力时间的增加,器件的输出特性会有所退化,而且这种退化在退陷

应力后不会恢复(或者恢复非常小).因此,可以认为软击穿的过程主要是一个物理损伤的过程,其本质是栅介质中形成渗透路径,这个损伤是不可恢复的.

### 3. 结 论

本文通过研究电压应力条件下 90nm n-MOSFET 栅氧化层的击穿特性,提出了不同于隧穿模型的栅电流模型,表明器件的栅电流不是由单一的隧穿引起,电子的翻越和电荷的渗透也会产生栅电流.应力条件下,栅氧化层中形成的缺陷降低了  $\text{SiO}_2$  的势垒高度和势垒宽度.在  $\text{SiO}_2$  中,每一个缺陷都会形成一个导电通道,这些导电通道使得栅电流增加,器件性能退化,同时为栅中聚集的能量提供一个释放路径,延长了栅氧化层的击穿时间.

- [ 1 ] Wu E Y , Nowak E J 2002 *IBM J. RES. & DEV.* **46** 287
- [ 2 ] Muller D A , Sorsch T , Moccio S , Baumann F H , Evans-Lutterodt K , Timp G 1999 *Nature* **399** 758
- [ 3 ] Stathis J H , Linder B P 2003 *Microelectronics Reliability* **43** 1353
- [ 4 ] Cheung K P 2004 *International Conference in Integrated Circuit Design & Technology (ICICDT)* p345
- [ 5 ] Wang Y G 2005 *Acta Phys. Sin.* **54** 3884 ( in Chinese ).[ 王彦刚

2005 物理学报 **54** 3884 ]

- [ 6 ] Weinberg Z A 1982 *J. Appl. Phys.* **53** 5025
- [ 7 ] Harari E 1978 *Appl. Phys.* **49** 2478
- [ 8 ] Monsieur F 2002 *IRPS* **40** 45
- [ 9 ] Chen I C , Holland S , Hu C 1985 *IEEE Trans. Electron Device* **32** 413
- [ 10 ] Wang Y G 2005 *Chin. Phys.* **14** 1886

# The breakdown characteristics of ultra-thin gate oxide n-MOSFET under voltage stress<sup>\*</sup>

Ma Xiao-Hua<sup>†</sup> Hao Yue Chen Hai-Feng Cao Yan-Rong Zhou Peng-Ju

( *Key Laboratory Wide Band-gap Semiconductor Materials and Devices of Ministry of Education ,  
Microelectronic Institute of Xidian University , Xi ' an 710071 , China* )

( Received 4 April 2006 ; revised manuscript received 19 April 2006 )

## Abstract

The characteristics of the TDDB ( Time-dependent dielectric breakdown ) under the CVS ( constant voltage stress ) and the gate current model of devices under  $V$ -ramp stress were studied in the 1.4nm-thick n-MOSFET. The degradation and failure mechanisms were analyzed. The gate current is produced by the tunneling , the electron surmounting and percolation. During the stress process , the created traps in the oxide not only debase the height of the SiO<sub>2</sub> barrier , but also diminish the breadth of the barrier. Every trap engenders a conduction path. These paths enhance the gate current , degrade the device performance and prolong the broken-time of the gate oxide.

**Keywords :** ultra-thin gate oxide ,  $V$ -ramp , TDDB , percolation

**PACC :** 7750 , 7360H , 7340Q

---

<sup>\*</sup> Project supported by the National High Technology Research and Development Program of China ( Grant No. 2003AA1Z1630 ) and the National Natural Science Foundation of China ( Grant No. 60376024 ).

<sup>†</sup> E-mail : xhma@xidian.edu.cn