

Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管 制备及存储特性*

王 华† 任鸣放

(桂林电子工业学院信息材料科学与工程系, 桂林 541004)

(2004 年 12 月 3 日收到, 2005 年 5 月 30 日收到修改稿)

在溶胶-凝胶工艺获得高质量 Bi₄Ti₃O₁₂ 薄膜的基础上, 制备了 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管. 研究了 Si 基 Bi₄Ti₃O₁₂ 薄膜的生长特性及其对铁电薄膜/硅的界面状态和铁电场效应晶体管存储特性的影响. 研究表明, 在合理的工艺条件下可以获得具有较高 c-轴择优取向的纯钙钛矿相 Si 基 Bi₄Ti₃O₁₂ 铁电薄膜并有利于改善 Bi₄Ti₃O₁₂/Si 之间的界面特性; 顺时针回滞的 C-V 特性曲线和 C-T 曲线表明 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管具有极化存储效应和一定的极化电荷保持能力; 器件的转移 (I_{sd}-V_G) 特性曲线显示 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管具有明显的栅极化调制效应.

关键词: 铁电场效应晶体管, Bi₄Ti₃O₁₂, 存储特性, 溶胶-凝胶工艺

PACC: 8140, 7780, 81151

1. 引 言

存储器是计算机、通讯设备等信息处理系统中不可或缺的关键组成部分, 已成为其关键技术和经济影响因素之一. 以铁电薄膜作存储介质的铁电存储器件具有高速、高密、非易失性、抗辐射性强、可与半导体 Si 集成电路兼容等特点而得到广泛的研究^[1-3]. 铁电场效应晶体管 (ferroelectric field effect transistor, FFET) 以 MFS (metal/ferroelectric/semiconductor) 结构作为基本存储单元, 集成铁电薄膜结构取代常规场效应晶体管中的栅介质层, 通过栅极化状态对源-漏电流的调制以实现信息的存储, 并可根据源-漏电流的相对大小读出所存储的信息, 而无需使栅极极化状态反转. 因此, 铁电场效应晶体管存储器具具有非破坏性读出的潜在特性, 是高速、高密度非破坏性读出存储器的潜在突破口. 然而, 由于不能很好地解决铁电薄膜/硅衬底的界面状态 (互反应程度、互扩散程度、晶格匹配度、界面态密度等) 等问题^[4-7], Si 基 FFET 器件仍未达到实用化水平.

实验中选取与 Si 衬底具有良好晶格匹配的 Bi₄Ti₃O₁₂ (BIT) 铁电薄膜作为栅介质层, 在快速退火工艺获得高质量 p-Si 基 Bi₄Ti₃O₁₂ 铁电薄膜的基础上^[8] 根据 Bi₄Ti₃O₁₂ 铁电薄膜性能的特点及所要达到的器件性能要求设计制备了 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管. 本文就该 FFET 的制备及存储特性进行了研究与探讨.

2. 样品制备及实验

2.1. 绝缘栅 Bi₄Ti₃O₁₂ 薄膜的制备

基片选用位错密度低于 4000cm⁻² 的 p 型 (100) 硅片, 其电阻率为 6—9Ω·cm, 相应的掺杂浓度约为 10¹⁵cm⁻³, 切成 0.5cm × 1cm 的小片, 实验前按半导体标准工艺进行清洗.

将硝酸铋 (Bi(NO₃)₃·5H₂O)、钛酸丁酯 (C₁₆H₃₆O₄Ti)、冰醋酸 (Acetic acid)、乙酰丙酮按化学计量比称量后配制成浓度为 0.1mol/L 的前体溶液 50ml (其中 Bi 有一定过量).

薄膜制备采用溶胶-凝胶工艺. 通过 KW-4A 型

* 国家自然科学基金 (批准号 50262001) 和广西壮族自治区自然科学基金 (批准号: 0236062) 资助的课题.

† E-mail: wh65@glit.edu.cn

台式匀胶机进行匀胶.匀胶后在衬底基片上形成湿膜,经烘烤,去湿膜中的C,H成分,然后将样品放入已达设定退火温度的石英管式退火炉中在氧气氛下进行5min快速退火处理即可获得所需铁电薄膜.

2.2. Bi₄Ti₃O₁₂绝缘栅场效应晶体管的制备

n 沟道 MFS-FETs 的制备采用传统光刻工艺,图1为其结构截面示意图.晶体管的源、漏区通过磷离子注入形成.注入能量和注入剂量分别为110keV和 $3 \times 10^{15} \text{ cm}^{-2}$,注入后在900℃氮气氛下经30min退火处理.400nm厚的Bi₄Ti₃O₁₂薄膜通过前述溶胶-凝胶工艺制备在已形成源、漏区的p-Si衬底基片上,然后通过光刻和氩离子刻蚀技术刻蚀出源、漏区的电极窗口,最后溅射Ag形成源极、漏极和栅极.整个制备工艺流程如图2所示.

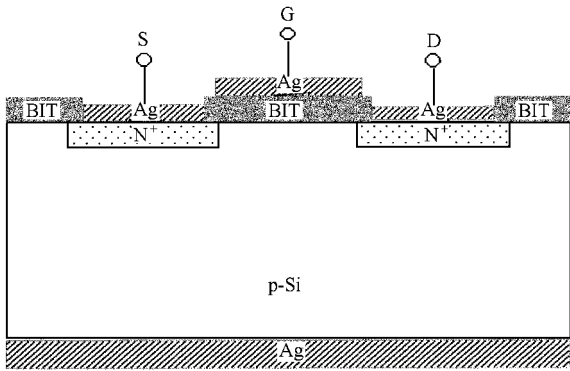


图1 Bi₄Ti₃O₁₂栅 Si 基 FFET 单元截面示意图

3. 结果与讨论

图3为Si基Bi₄Ti₃O₁₂薄膜的XRD图谱.从图3可以看到,Bi₄Ti₃O₁₂薄膜为纯钙钛矿结构,没有焦绿石相或其他第二相存在,其(004)(006)(008)等晶面对应的衍射峰明显强于其它晶面的衍射峰,表明Si衬底生长的Bi₄Ti₃O₁₂薄膜具有较强的c轴择优取向生长的倾向.由于Bi₄Ti₃O₁₂室温下的晶格常数 $a = 0.541 \text{ nm}$, $b = 0.545 \text{ nm}$, $c = 3.28 \text{ nm}$,而Si单晶的晶格常数 $a = 0.5431 \text{ nm}$,c轴取向的Bi₄Ti₃O₁₂与Si单晶的晶格匹配度较高,因而Bi₄Ti₃O₁₂薄膜在Si基片上易于沿c轴方向生长.正由于Si基Bi₄Ti₃O₁₂薄膜具有沿c轴取向择优生长的趋势,使得铁电薄膜与硅衬底的晶格失配度大为降低,也使得Bi₄Ti₃O₁₂/Si的界面态密度大为减小,这有助于改善基于Ag/

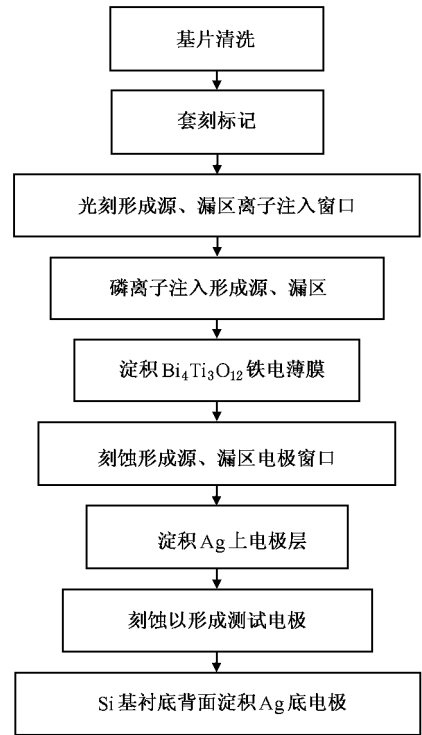


图2 Si基Ag/Bi₄Ti₃O₁₂栅FFET的制备工艺流程示意图

Bi₄Ti₃O₁₂/p-Si栅结构铁电场效应晶体管的存储特性及其保持特性.Si基Bi₄Ti₃O₁₂薄膜的扫描电子显微镜(SME)照片显示^[9],Bi₄Ti₃O₁₂薄膜与Si衬底之间的界面清晰,界面反应与互扩散并不明显,说明退火温度、退火时间等工艺条件对铁电薄膜与硅衬底之间的互反应与互扩散控制较好,Si基Bi₄Ti₃O₁₂薄膜具有较好的界面特性.

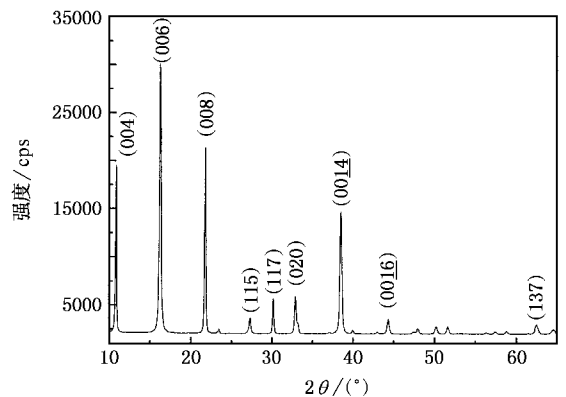


图3 p-Si基Bi₄Ti₃O₁₂薄膜的XRD图谱

良好的界面特性有利于改善薄膜的C-V特性,实现极化存储.图4为一典型Ag/Bi₄Ti₃O₁₂/p-Si栅的

C-V 曲线. 实验采用 HP4284A 型低频阻抗分析仪结合计算机程序控制来进行. 测试时交流小信号幅度为 100mV, 直流偏压从 -5V 递增至 +5V, 然后从 +5V 递减至 -5V, 递变幅度为 0.1V. 数据采集在偏压施加后 1s 时自动进行. 图 4 显示, Ag/Bi₄Ti₃O₁₂/p-Si 栅的 *C-V* 曲线呈顺时针的回滞, 其平带窗口宽度约为 0.8V. 根据铁电存储理论^[10], p-Si 衬底铁电薄膜的 *C-V* 曲线回滞方向为顺时针时, 铁电薄膜的极化就控制了 Si 的表面势, 信息存储将可以通过铁电薄膜极化引起半导体表面电荷补偿来实现, 而且其平带窗口大小可以反映铁电薄膜剩余极化的强弱, 称为记忆窗口. Ag/Bi₄Ti₃O₁₂/p-Si 栅样品 0.8V 的记忆窗口说明 Bi₄Ti₃O₁₂ 薄膜的剩余极化较小, 这也从一个侧面证明了 Bi₄Ti₃O₁₂ 薄膜沿 *c* 轴取向生长对薄膜铁电性能的影响.

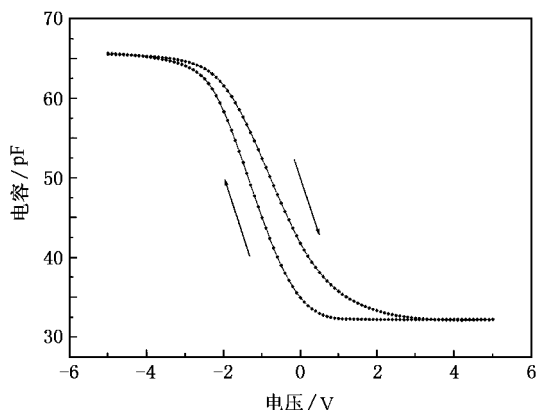


图 4 500kHz 测试频率下 Ag/Bi₄Ti₃O₁₂/p-Si 异质结构 *C-V* 特性曲线

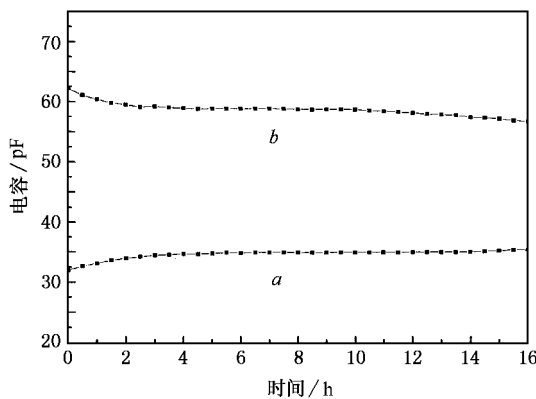


图 5 Ag/Bi₄Ti₃O₁₂/p-Si 栅铁电场效应晶体管的 *C-T* 特性曲线 *a* 为撤除 +5V 偏压后; *b* 为撤除 -5V 偏压后

电容保持特性是铁电存储器对极化电荷保持能力的反映, 它关系到所存储的信息能否长期可靠保

持. Ag/Bi₄Ti₃O₁₂ 栅电容随时间变化的 *C-T* 特性曲线如图 5 所示. 测试时, 首先给 p-Si 基 Ag/Bi₄Ti₃O₁₂ 栅铁电场效应晶体管加上 +5V 的偏压, 使沟道内 Si 表面反型, 然后撤除所加偏压, 测试并记录下栅电容, 之后每 30min 测试一次. 测试时交流小信号频率为 100kHz, 幅度为 100mV. 从图 5 曲线 *a* 可以看到, 撤除 +5V 偏压后, 3h 内电容上升较快, 但随后的长时间里变化平缓, 14h 后电容的变化又开始明显加速. 这表明栅介质铁电薄膜的极化在撤除偏压后短时间内会明显减弱, 但之后会有一段较长时间的缓慢衰减期, 然后又加速衰减. 尽管所制备的 FFET 的栅电容随时间有所变化, 但 16h 内电容仅由 32.00pF 增加到 35.39pF, 变化量未超过 11%. 图 5 曲线 *b* 为加 -5V 偏压后用同样方法测试得到的 *C-T* 曲线. 可以看出, 在耗尽层区短时间里电容的下降较快, 但随后的长时间里变化平缓, 经 16h 观察电容由 62.3pF 降到 56.7pF, 下降约 10%. 这些结果说明 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管具有较好的电容保持特性.

铁电场效应晶体管的转移特性可以反映栅介质薄膜的极化特征. 采用 Keithley 6517A 高阻计对 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道 FFET 的转移 (*I_{sd}*-*V_G*) 特性进行了测试. 测试时保持漏-源电压 *V_{sd}* = 2.5V 不变, 而栅压从 0V 开始, 逐步增加到 +6V, 然后从 +6V 依次减小到 -6V, 再从 -6V 逐渐升高到 0V, 整个过程中栅压变化的步长均为 0.2V. 图 6 为测试结果. 从该图可以看到, 栅压上升和下降过程所对应的 *I_{sd}*-*V_G* 曲线并不重合, 说明不同的栅压变化过程对应的沟道电流不同, 这是传统 MOS 场效应晶体管所没有的现象, 它显然是由于栅极铁电薄膜极化的回滞效应

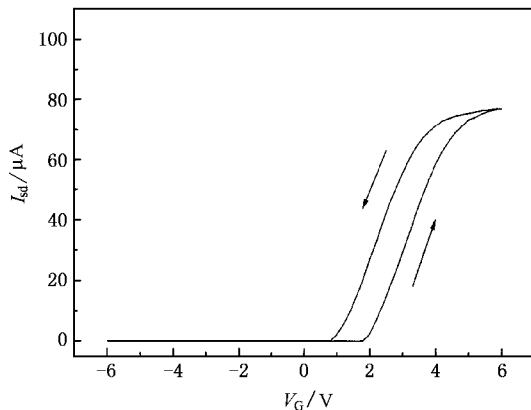


图 6 源-漏电压 *V_{sd}* = 2.5V 时, Ag/Bi₄Ti₃O₁₂ 栅 n 沟道 FFET 的 *I_{sd}*-*V_G* 特性曲线

所引起的. 进一步还可以看到, 栅压上升时, 只有当栅压大于 2V 时沟道才导通, 而下降过程栅压低于 0.7V 沟道才关断, 这说明 FFET 的阈值电压并不是唯一的, 它还与栅压的变化过程即栅极铁电薄膜的极化历史有关. 由该 $I_{sd}-V_G$ 曲线的斜率 $\partial I_{sd}/\partial V_G$, 可以得到 $V_{sd} = 2.5V$ 时的跨导约为 $30\mu A/V$, 而且它受栅压变化过程的影响并不明显. 在所测试的样品中, 栅压升高与降低这两个过程的跨导基本是相同的. 由于铁电薄膜的极化随极化电场的变化率 $\partial P/\partial E$ 在电场增强和减弱过程中的变化规律相同, 因此由栅极铁电薄膜的极化所调制的沟道电流随栅压的变化 $\partial I_{sd}/\partial V_G$ 与栅压的变化过程无明显相关就不难理解了.

4. 结 论

采用 Sol-Gel 薄膜制备工艺、Ar 离子刻蚀和 P 离

子注入工艺可以制备出具有极化存储特性的 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管. 实验证实, 在合理的工艺条件下可以获得具有较高 c 轴择优取向的纯钙钛矿相 Si 基 Bi₄Ti₃O₁₂ 铁电薄膜并有利于改善 Bi₄Ti₃O₁₂/Si 之间的界面特性. 顺时针回滞的 C-V 特性曲线表明 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管可以实现极化存储; 撤除 +5V 偏压后 16h 内电容的变化不超过 11%, 说明 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管具有一定的极化电荷保持能力; 器件的转移 ($I_{sd}-V_G$) 特性曲线表明 Ag/Bi₄Ti₃O₁₂ 栅 n 沟道铁电场效应晶体管实现了栅压对沟道电流的控制作用, 显示出明显的栅极化调制效应.

本项研究在实验过程中得到了中国科学院物理研究所赵柏儒研究员的大力支持, 在此表示衷心感谢.

-
- [1] Scott J F 2000 *Ferroelectrics* **241** 247
 - [2] Hircock G, Noda M, Okuyama M 2004 *Jpn. J. Appl. Phys.* **43** 2190
 - [3] Wang H, Yu J, Dong X M *et al* 2001 *Science in China (Series E)* **44** 274
 - [4] Wu W, Fumoto K, Oishi Y *et al* 1996 *Jpn. J. Appl. Phys.* **35** 1560
 - [5] Eisenbeiser K, Finder J M, Yu Z *et al* 2000 *Appl. Phys. Lett.* **76** 1324
 - [6] Yu J, Dong X M, Zhou W L *et al* 2000 *Materials Science & Engineering B* **76** 22
 - [7] Wu Y Z, Li Z Y 2001 *Chin. Phys.* **10** 1058
 - [8] Wang H 2004 *Acta Phys. Sin.* **53** 1265 (in Chinese) [王 华 2004 物理学报 **53** 1265]
 - [9] Wang H 2004 *Journal of Inorganic Materials* **19** 153 (in Chinese) [王 华 2004 无机材料学报 **19** 153]
 - [10] Miller S L and Mcwhorter P J 1992 *J. Appl. Phys.* **72** 5999

Memory characteristics of metal-ferroelectric-semiconductor field-effect-transistors with Ag/Bi₄Ti₃O₁₂/p-Si gate^{*}

Wang Hua[†] Ren Ming-Fang

(Department of Information Material Science and Engineering , Guilin University of Electronic Technology , Guilin 541004 , China)

(Received 3 December 2004 ; revised manuscript received 30 May 2005)

Abstract

Metal-ferroelectric-semiconductor field-effect-transistors (FFETs) with Ag/Bi₄Ti₃O₁₂/p-Si gate were fabricated using the high quality Bi₄Ti₃O₁₂ on p-Si substrates prepared by Sol-Gel technique. The phase structure characteristics of Bi₄Ti₃O₁₂ films , the interface characteristics of ferroelectric/Si and the memory characteristics of the FFETs were investigated. Bi₄Ti₃O₁₂ films with high preferred *c*-axis-orientation are obtained at appropriate annealing temperature which helps to improve the interface characteristics of ferroelectric/Si. The *C-V* hysteresis curves with clockwise loops prove that the FFETs could realize a memory effect due to the ferroelectric polarization of Bi₄Ti₃O₁₂ films , and the capacitance decay of 11% in 16 hours indicates that the FFETs have good polarization charge retention. The counter-clockwise *I_{ds}-V_G* hysteresis curve of the FFETs demonstrates that the channel current is modulated by the ferroelectric polarization of Bi₄Ti₃O₁₂ films.

Keywords : FFETs , Bi₄Ti₃O₁₂ , memory characteristics , sol-gel method

PACC : 8140 ; 7780 ; 8115I

^{*} Project supported by the National Natural Science Foundation of China (Grant No. 50262001) and the Natural Science Foundation of Guangxi Zhuang Autonomous Region , China (Grant No. 0236062)

[†] E-mail :wh65@gliet.edu.cn