

ZnO-Bi₂O₃ 系压敏陶瓷的导电过程与等效势垒高度*

成鹏飞 李盛涛† 焦兴六

(西安交通大学电力设备电气绝缘国家重点实验室,西安 710049)

(2005 年 12 月 12 日收到,2006 年 3 月 27 日收到修改稿)

研究了 ZnO-Bi₂O₃ 系压敏陶瓷等效势垒高度 ϕ_{eff} 随着归一化电压的变化规律,发现等效势垒高度 ϕ_{eff} 随着归一化电压的增加先逐渐增大,达到最大值后持续下降.由于在外加电压作用下反偏势垒高度高于正偏势垒高度,等效势垒高度 ϕ_{eff} 主要取决于反偏势垒.因此,这种变化规律说明了 ZnO 压敏陶瓷晶界的导电过程可能存在三个阶段.在低归一化电压区,晶界区域中的电子从正偏势垒区注入到晶界无序层的速率低于电子从晶界无序层抽出到反偏势垒区的速率,从而导致等效势垒高度随着归一化电压的增加逐渐增大.在中等归一化电压区,电子从正偏势垒区注入到晶界无序层的速率和电子从晶界无序层抽出到反偏势垒区的速率相平衡,等效势垒高度达到最大值.在高归一化电压区,电子从正偏势垒区注入到晶界无序层的速率高于电子从晶界无序层抽出到反偏势垒区的速率,等效势垒高度随着归一化电压的增加逐渐下降,直至晶界击穿.同时分析了等效势垒高度 ϕ_{eff} 对泄漏电流 I_L 的影响,发现泄漏电流与等效势垒高度差 $\Delta\phi$ 呈指数关系.

关键词: ZnO 压敏陶瓷, 归一化电压, 等效势垒高度, 导电过程

PACC: 7340T, 7330, 7755

1. 引 言

ZnO 压敏陶瓷具有优异的 $I-V$ 非线性特性及良好的浪涌吸收能力,被广泛应用于电力系统和电子线路及元件的保护中^[1-3]. ZnO 压敏陶瓷的微观结构和导电机理一直受到关注. Matsuoka^[4] 首先提出 ZnO 压敏陶瓷由 10—30 μm 大小的 ZnO 晶粒及 1 μm 左右的晶界层构成,晶粒呈高电导性而晶界层呈低电导性. ZnO 压敏陶瓷的高非线性源于晶界层中存在的大量陷阱,相应的导电机理为空间电荷限制电流.又有实验研究表明晶界宽度仅 2 nm 左右,晶界中的大量陷阱实际上形成了晶粒与晶界交界面处的表面态^[5]. 表面态对 ZnO 晶粒表面电子的俘获使表面态带负电而 ZnO 晶粒表面带正电,于是界面处形成了 Schottky 势垒.人们将 ZnO 压敏陶瓷的导电过程分为线性区、热电子发射区和 Fowler-Nordheim 击穿区.一般认为基于热电子发射的电流和外加电场的关系可表示为

$$j = AT^2 \exp\left(-\frac{\phi_0 - \beta\sqrt{E}}{kT}\right), \quad (1)$$

式中 ϕ_0 为零偏置时的 Schottky 势垒高度, E 为电场强度, $\beta = 10^{-24} \text{ Jm}^{1/2}/\text{V}^{1/2}$. 等效势垒高度 $\phi_{\text{eff}} = \phi_0 - \beta\sqrt{E}$ 将随 E 的增大而单调下降. Mahan 等^[2] 的研究结果表明,当归一化电压低于 0.7 时,等效势垒高度基本不变,约为 0.73 eV; 当归一化电压超过 0.7 后,等效势垒高度随归一化电压的增加快速下降; 当归一化电压为 1 时,等效势垒高度仅为 0.15 eV. 文献 [6] 报道了等效势垒高度随归一化电压增加而增大的现象,这种现象有待更加深入的研究. 在金属-金属界面电气性能研究中也出现了类似的现象,即外电场会改变杂质的功函数^[7].

在研究电老化现象和老化机理中,许多学者认为老化过程决定于离子迁移^[8-11], Sato 等^[12] 则认为老化取决于载流子的入陷和脱陷.

在研究热处理效应中, Gupta 等^[9,13] 认为,由于填隙锌离子的迁移,热处理必将导致势垒高度的下降. Prisching 等^[14] 研究了热处理对不同 Bi/Sb 的 ZnO-Bi₂O₃ 系压敏陶瓷电气性能的影响,发现等效势垒的热处理效应存在三种情况: 热处理后有所下降的高势垒、热处理后有所上升的低势垒及热处理后

* 国家自然科学基金(批准号 50477023)资助的课题.

† E-mail: shi@mail.xjtu.edu.cn

有所上升的高势垒. 可见文献 [14] 的研究结果与文献 [9, 13] 的研究结果不一致, 甚至矛盾. 文献 [15] 报道了富 Bi 层对 ZnO-Bi₂O₃ 系压敏陶瓷电气性能的影响, 认为电子除越过 ZnO-ZnO 晶粒直接接触处的 Schottky 势垒外, 还可能通过富 Bi 晶界层形成传导电流, 而且后者决定了 ZnO-Bi₂O₃ 系压敏陶瓷预击穿区的 I - V 特性、老化特性和介电特性. 所以, Prisching 等 [14] 提出的三种势垒可能间接反映了富 Bi 晶界层对传导电流和热处理效应的影响.

以上所述可知, ZnO 压敏陶瓷微观结构和导电模型呈多样性, 很难仅使用一种微观结构模型及相应的导电机理解释迥异的实验现象. 从宏观的角度看, 等效势垒高度随归一化电压的变化规律不但展示了 ZnO 压敏陶瓷的整个导电过程, 还有助于揭示其导电规律. 因此, 研究 ZnO 压敏陶瓷等效势垒高度及其变化规律不仅有理论价值, 而且具有一定的工程意义. 可是, 目前这方面的研究尚缺乏系统性.

本文在研究 ZnO-Bi₂O₃ 系压敏陶瓷等效势垒高度随归一化电压的变化规律时发现, 有些试样的等效势垒高度 ϕ_{eff} 与外加电场 E 之间不存在单调变化的关系, 而是随 E 的增大先后经历增大、稳定和下降三个阶段. 本文首先讨论了等效势垒高度随归一化电压的变化规律, 从理论上分析了晶界层中深陷阱对载流子输运过程的影响, 然后讨论了等效势垒高度对泄漏电流的影响.

2. 实 验

2.1. 试样配方体系与制备工艺

将一定比例的 Bi₂O₃, Sb₂O₃, Co₂O₃, MnCO₃ 和 Cr₂O₃ 等混合球磨 20 h 后干燥, 在 900 °C 下预烧 30 min, 经球磨后过 200 目筛, 与 ZnO 主料混合, 手工造粒后压制成圆片状生坯. 生坯在 1150 °C 下烧结 2 h, 然后经端面打磨后烧 Ag 电极. 最后获得直径为 10 mm, 厚约 1 mm 的试样.

2.2. 电气性能测量

当通过试样的直流电流为 1 mA 时, 试样两端的外加电压称为压敏电压 $U_{1\text{mA}}$. 外加电压 U 与压敏电压 $U_{1\text{mA}}$ 之比 ($U/U_{1\text{mA}}$) 称为归一化电压 u , 当归一化电压为 0.75 时通过试样的电流称为泄漏电流 I_L . 测量通过试样的直流电流为 0.1 mA 时试样两端的电

压 $U_{0.1\text{mA}}$. 直流电源由 YJ32-2 型晶体管直流稳压器提供, 用精度为 0.1 μA 的 HEWLETT-34001A 型电子万用表测量电流, 用精度为 0.01 V 的胜利 VC9804A 型电子万用表测量电压.

若外加电压较低、泄漏电流较小, 则电流密度与温度的关系可表示为

$$j = AT^2 \exp\left(-\frac{\phi_{\text{eff}}}{kT}\right), \quad (2)$$

式中, j 为电流密度, A , k 为常数, T 为绝对温度, ϕ_{eff} 为等效势垒高度. (2) 式可以写为

$$\ln(j/T^2) = \ln A - \frac{\phi_{\text{eff}}}{kT}. \quad (3)$$

本文是在 303, 333, 363, 393 和 423 K 的 5 个温度点测量了归一化电压 u 在 0—1 范围内的 $\ln(j/T^2) \cdot T^{-1}$ 实验曲线, 根据 (3) 式就可求出等效势垒高度 ϕ_{eff} .

3. 结果与分析

本文测量等效势垒高度的理论前提在于热电子发射机理为主要的导电机理. 当外加电压接近压敏电压时, 电流接近 1 mA, 对应的电流密度接近 10^{-2} mA/cm², 介于预击穿区和非线性区之间 [16], 此时热电子发射机理是否成立, 需要进行判断. 固定外加电压, 改变测试温度, 就能得到不同温度下电流的比值, 然后将该比值与理论所估计的比值进行比较, 就能确定主要的导电机理. 固定外加电压为 590 V (室温下的压敏电压), 电流从室温 303 K 的 1 mA 上升为 423 K 的 8 mA, 上升了 700%. 这表明 1 mA 电流 (电流密度为 10^{-2} mA/cm²) 不可能是隧道效应产生的, 因为隧道电流与温度基本无关. 电流与温度有明显关系的导电机理包括热电子发射、场致发射或热助场发射. 根据文献 [17] 的标准, 当单晶界电压超过 1 V 后, 在低于 423 K 温度范围内导电机理不可能是热助场发射. 如果场发射是主要的导电机理, 那么电流密度与温度的关系可表示为 [17]

$$j = A \frac{E_{00}^2 (\phi_0 - V_0)}{k^2 \phi_0} \exp\left[-\frac{2\phi_0^{3/2}}{3E_{00} (\phi_0 - V_0)^{1/2}}\right], \quad (4)$$

式中

$$E_{00} = \frac{2e(N_d/2\epsilon_0\epsilon_r)^{1/2}}{\sqrt{2m^*}} \quad (5)$$

这里, V_0 为单晶界电压, e 为电子电量, N_d 为施主浓度, m^* 为电子有效质量, ϵ_0 和 ϵ_r 分别为真空介电常

数和 ZnO 晶粒的相对介电常数, h 为普朗克常数, ϕ_0 为零偏置时的 Schottky 势垒高度.

当电流达到 1 mA 时, ZnO 压敏陶瓷接近击穿状态, 此时 $I-V$ 特性的非线性很高, 所以可认为单晶界所承受的电压等于其击穿电压(该击穿电压约为 2 V). ZnO 晶粒的施主浓度约为 10^{17} cm^{-3} [18], 根据(5)式可求得室温下的 E_{00} 为 0.014 eV. 考虑到温度变化所引起的施主浓度 N_d 的变化 [19], 并根据(4)式可求得温度为 423 K 时的电流与室温下的电流的比值为 8000. 而根据热电子发射模型, 该比值的理论估计值为 13. 可见本实验条件下, 当电流达到 1 mA 时 ZnO 压敏陶瓷的导电机理依然以热电子发射为主.

图 1 给出了试样的等效势垒高度 ϕ_{eff} 随归一化电压 u 的变化曲线. 从图 1 中可看出, 等效势垒高度 ϕ_{eff} 随归一化电压 u 的变化过程可以分为三个阶段. 当归一化电压较低时等效势垒高度随归一化电压的增加逐渐增大. 当归一化电压适中时等效势垒高度达到最大值, 且较稳定, 基本不随归一化电压的变化而变化. 当归一化电压较高时, 等效势垒高度随归一化电压的增加而降低, 尤其是当归一化电压超过 0.8 以后, 等效势垒高度下降的速度更快. 等效势垒高度的最大值点在 $u = 0.5$ 左右.

ZnO 压敏陶瓷由呈 n 型半导体的 ZnO 晶粒与晶粒间呈无序状的晶界共同组成. 在 ZnO 陶瓷导电机理的研究中很多学者认为晶界很薄, 其作用仅仅是提供晶界与晶粒交界面的表面态 [5, 20]. 然而大量的

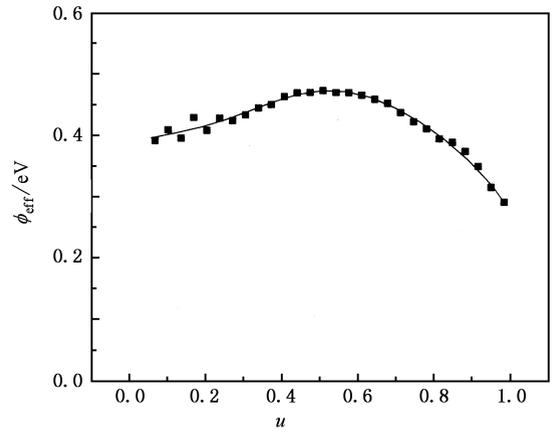


图 1 等效势垒高度 ϕ_{eff} 随归一化电压 u 的变化曲线

实验事实证明晶界具有一定的厚度, 晶界中遍布未配对的悬挂键, 这些悬挂键成为俘获电子的陷阱 [4, 21-23]. 随着晶界厚度的增加, 晶界偏析层(简称为晶界层)将成为独立的相, 晶界层中电子陷阱的数目逐渐增多甚至超过表面态浓度, 此时晶界层中的电子陷阱将成为影响电流大小的主导因素. 在陶瓷的烧结过程中, ZnO 晶粒内作为多子的电子通过扩散到达晶界处, 这些电子首先被晶界与晶粒交界面处的表面态所俘获, 然后被晶界层中的陷阱俘获. 被晶界层中电子陷阱所俘获的电子在外电场的作用下可从陷阱内逸出.

未施加外电场时, 系统处于热平衡, 晶界层两侧晶粒内的电子向晶界层发射热电子所需克服的势垒

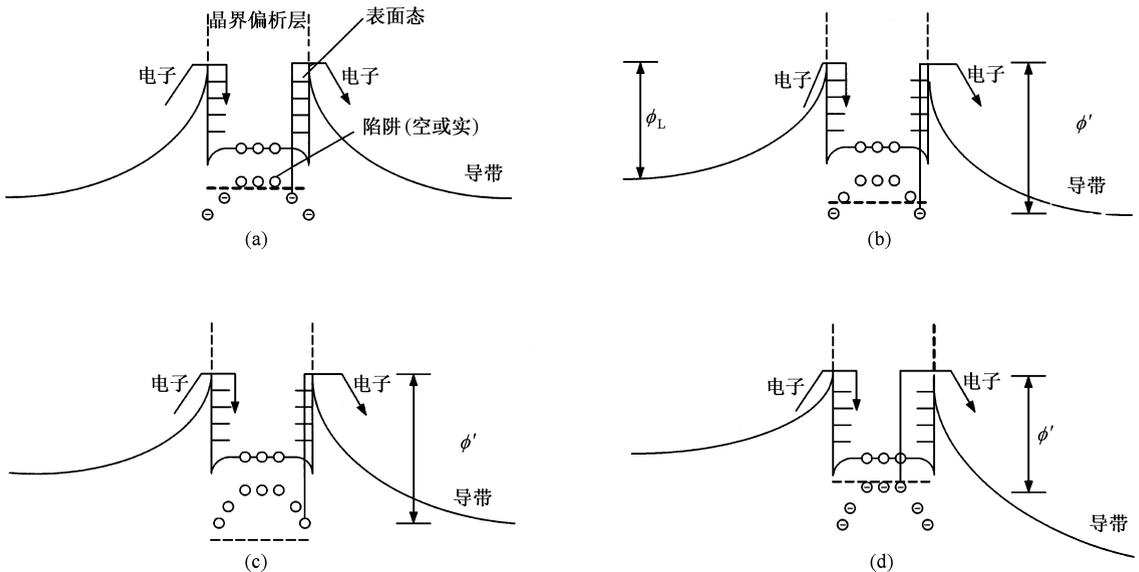


图 2 平衡状态及非平衡状态下 ZnO 压敏陶瓷晶界区的 Schottky 势垒 (a) 平衡状态 (b) 低归一化电压区 (c) 中等归一化电压区 (d) 高归一化电压区

高度一样,而且晶界层中的陷阱也被填充至一定的能级,晶界层陷阱内的电子向两侧晶粒的发射速率与两侧晶粒内电子向晶界层发射的速率一致,所以无宏观电流,如图 $\chi(a)$ 所示。

当外加电压由零逐渐增大时,原来的平衡态或准平衡态被打破.正偏侧和反偏侧的势垒高度及晶界层上的电压降将随外加电压的变化而变化,从而使单位时间内从正偏势垒区向晶界层注入的电子数和从晶界层向反偏势垒区发射的电子数发生变化.设正偏侧电子克服势垒 ϕ_L 由正偏势垒区向晶界层发射电子的速率为 v_L ,晶界层中处于定域态的部分电子则在外电场的驱动下从陷阱内向反偏侧势垒区发射电子的速率为 v_R .在外加电压变化的瞬间,晶界的导电过程处于非平衡状态, v_L 和 v_R 可以不相等。

由于外加电压的增大,晶界层上的电压降逐渐增大,而晶界层的厚度不超过 10^{-6} m,所以晶界层中的电场强度接近 10^5 V/m.在如此高的电场下,除了从正偏侧势垒区注入晶界层的电子全部被抽出外,部分被晶界层陷阱能级俘获的电子也很容易发射到反偏势垒区,直至尽可能多的陷阱电子脱陷.在该变化过程中, $v_L < v_R$,于是更多的陷阱由占据态变成空态,占据态陷阱能级逐渐下降,从而使从晶界层注入反偏势垒区的电子所需克服的势垒高度逐渐增加,如图 $\chi(b)$ 所示。

正偏侧势垒高度与外加电压 V 的关系可表示为^[24]

$$\phi_L = \frac{1}{4} V_c \left(1 - \frac{V}{V_c} \right)^2, \quad (6)$$

式中 V_c 为常数.由(6)式知,随外加电压 V 的逐渐增大 ϕ_L 快速下降.而从正偏势垒区注入晶界层的电流密度可表示为

$$j = AT^2 \exp\left(-\frac{\phi_L}{kT}\right). \quad (7)$$

从晶界层陷阱能级向反偏势垒区发射电子所需克服的势垒高度为 ϕ' ,该热电子发射过程所形成的热电流可表示为

$$j = AT^2 \exp\left(-\frac{\phi' - \beta\sqrt{E}}{kT}\right). \quad (8)$$

由(6)–(8)式知,当外加电压增大到一定数值以后, v_L 将等于 v_R ,此时晶界层中的陷阱电子全部被抽出.这样在一定荷电率范围内电子抽出速率将与电子注入速率相等,晶界层中电子的存储和消耗

达到动态平衡,晶界层中占据态能级将不发生变化,于是势垒高度将达到最大值,如图 $\chi(c)$ 所示。

随外加电压的继续增大, v_L 终将大于 v_R ,于是晶界层中形成电子空间电荷,更多的陷阱被占据,因此占据态陷阱能级逐渐上升,导致电子从晶界层向反偏势垒区发射所需克服的势垒高度逐渐减小.该过程的继续最终导致晶界层中陷阱全部被填满,晶界被击穿^[4].实际上在晶界击穿以前随着电场的增强,镜像力引起势垒降低的作用也越来越显著,于是等效势垒高度以更快的速度下降.所以 $v_L > v_R$ 的过程对应于归一化电压较高的情况,如图 $\chi(d)$ 所示。

结合理论分析和试验曲线可知,随外加电压的增大,ZnO 压敏陶瓷的导电过程经历了三个阶段.当归一化电压较低时,电子从正偏势垒区注入到晶界无序层的速率低于电子从晶界无序层抽出到反偏势垒区的速率,晶界导电过程主要由电子从晶界层发射到反偏势垒区的抽出过程主导,因而等效势垒高度随着归一化电压的增加逐渐增大.当归一化电压达到中等大小(如 0.5 左右)时,晶界层中陷阱电子全部脱陷,电子从正偏势垒区注入到晶界无序层的速率和电子从晶界无序层抽出到反偏势垒区的速率相平衡,等效势垒高度达到最大值并基本稳定.当归一化电压较高时电子从正偏势垒区注入到晶界无序层的速率高于电子从晶界无序层抽出到反偏势垒区的速率,电子在晶界层中积累起来,晶界导电过程主要由电子从正偏势垒区发射到晶界无序层的注入过程主导,于是等效势垒高度随着归一化电压的增加逐渐下降.实际上,当外加电压较高时镜像力引起势垒下降的作用也开始出现,于是等效势垒高度随外加电压的增加快速下降,最终导致 ZnO 压敏陶瓷的电击穿。

上述分析是建立在一定厚度的晶界层及晶界层中存在大量陷阱的物理模型上的.如果晶界层很薄(如 2 nm 左右),隧道效应将把界面态和正偏侧 ZnO 晶粒的导带紧密结合在一起,这时的势垒高度将与外加电场无关.这不能完整地解释实验现象.所以该实验从理论上说明了在 ZnO 压敏陶瓷中一定厚度的晶界层往往是存在的,而且有晶界层的晶界往往占多数.这与文献 25 的统计结果一致。

1 mA 电流与归一化电压为 1 时的外加电压相对应,泄漏电流与归一化电压为 0.75 时的外加电压相对应.根据(2)式可求得泄漏电流与 1 mA 电流的比值为

$$\frac{I_L}{I_{1mA}} \approx \exp\left(\frac{\phi_{\text{eff}1} - \phi_{\text{eff}0.75}}{kT}\right), \quad (9)$$

式中 $\phi_{\text{eff}1}$ 和 $\phi_{\text{eff}0.75}$ 分别表示归一化电压为 1 和 0.75 时试样的等效势垒高度. 由 (9) 式知, 泄漏电流的大小完全取决于归一化电压分别为 1 和 0.75 时等效势垒高度的差. 图 1 中曲线下沿越陡, 等效势垒差 $\Delta\phi = \phi_{\text{eff}1} - \phi_{\text{eff}0.75}$ 越小, 于是泄漏电流越小. 经测量, 试样的 $\Delta\phi = -0.13$ eV, 根据 (9) 式可求得泄漏电流的理论值为 $5.4 \mu\text{A}$, 这与实测值 $2.8 \mu\text{A}$ 处于同一数量级, 可见理论分析是可靠的.

4. 结 论

1) 等效势垒高度随归一化电压的增加呈现上升

区、稳定区和下降区三段. 上升区所对应的外加电压较低, 晶界导电过程主要由电子从晶界层发射到反偏势垒区的抽出过程决定, 等效势垒高度随外加电压的增加而增大. 稳定区所对应的外加电压处于中间值, 从正偏势垒区向晶界层发射电子的速率和从晶界层向反偏势垒区发射电子的速率基本相等, 即电子注入过程与电子抽出过程相平衡, 等效势垒高度达到最大值, 并能一定归一化电压范围内基本稳定. 下降区所对应的外加电压较高, 晶界导电过程主要由从正偏势垒区向晶界层发射电子的注入过程决定, 等效势垒高度随外加电压的增大而较快地下降.

2) 泄漏电流与等效势垒高度差 $\Delta\phi = \phi_{\text{eff}1} - \phi_{\text{eff}0.75}$ 呈指数关系.

-
- [1] Levinson L M, Philipp H R 1977 *IEEE Trans. Parts Hybrids Packing* **213** 333
- [2] Mahan G D, Levinson L M, Philipp H R 1979 *J. Appl. Phys.* **50** 2799
- [3] Qi P, Wang J F, Chen H C *et al* 2003 *Acta Phys. Sin.* **52** 1752 [in Chinese] 元 鹏、王矜奉、陈洪存等 2003 *物理学报* **52** 1752]
- [4] Matsuoka M 1971 *Jpn. J. Appl. Phys.* **10** 736
- [5] Santhanam A T, Gupta T K, Carlson W G 1979 *J. Appl. Phys.* **50** 852
- [6] Alim M A, Li S T, Liu F Y *et al* 2005 *Phys. Stat. Sol. (a)* **203** 410
- [7] Hou Z F, Zhu Z Z, Huang M C *et al* 2002 *Acta Phys. Sin.* **51** 1591 [in Chinese] 侯柱锋、朱梓忠、黄美纯等 2002 *物理学报* **51** 1591]
- [8] Gupta T K, Carlson W G, Hower P L 1981 *J. Appl. Phys.* **52** 4104
- [9] Gupta T K, Carlson W G 1985 *J. Mater. Sci.* **20** 3487
- [10] Eda K, Iga A, Matsuoka M 1980 *J. Appl. Phys.* **51** 2678
- [11] Hayashi M, Haba M, Hirano S *et al* 1982 *J. Appl. Phys.* **53** 5754
- [12] Sato K, Takada Y, Kaekawa H *et al* 1980 *Jpn. J. Appl. Phys.* **19** 909
- [13] Gupta T K, Carlson W G 1982 *J. Appl. Phys.* **53** 7401
- [14] Prisching D, Pecina A H 2000 *Mater. Lett.* **43** 295
- [15] Leamy H J, Pike G E, Seager C H 1982 *Grain Boundaries in Semiconductors* (New York : Elsevier) p511
- [16] Gupta T K 1990 *J. Am. Ceram. Soc.* **73** 1817
- [17] Padovaniand F A, Stratton R 1966 *Solid State Electron.* **9** 695
- [18] Eda K 1978 *J. Appl. Phys.* **49** 2964
- [19] Hangemark K I 1976 *J. Solid State Chem.* **16** 293
- [20] Williams P, Krivanek O L, Thomas G 1980 *J. Appl. Phys.* **51** 3930
- [21] Levinson L M, Philipp H R 1975 *J. Appl. Phys.* **46** 1332
- [22] Suzuoki Y, Ohki A, Mizutani T *et al* 1987 *J. Phys. D* **20** 511
- [23] Gambino J P, Kingery W D, Pike G E *et al* 1989 *J. Am. Ceram. Soc.* **72** 642
- [24] Blatter G, Greuter F 1986 *Phys. Rev. B* **34** 8555
- [25] Sun H T, Zhang L Y, Yao X 1993 *J. Am. Ceram. Soc.* **76** 1150

The conduction process and the equivalent barrier height in ZnO-Bi₂O₃ based varistor ceramics^{*}

Cheng Peng-Fei Li Sheng-Tao[†] Jiao Xing-Liu

(*State Key Laboratory of Electrical Insulation and Power Equipment, Xi'an Jiaotong University, Xi'an 710049, China*)

(Received 12 December 2005 ; revised manuscript received 27 March 2006)

Abstract

The relationship between the equivalent barrier height of ZnO-Bi₂O₃ based varistor ceramics and normalized applied voltage was studied and it was found that the equivalent barrier height is influenced by normalized voltage greatly. With the increase of normalized voltage the equivalent barrier height increases firstly, then changes little and finally decreases quickly. Because the Schottky barrier height at the reverse-biased side is higher than that at the forward-biased side, the equivalent barrier height is determined by the former. The changing trend of the equivalent barrier height with normalized voltage indicates three steps of conduction. Firstly, in low normalized voltage range the velocity of electron injection from the forward-biased barrier area into the amorphous layer at grain-boundary is lower than that of ejection from traps in the amorphous layer into the reverse-biased barrier area. Thus the equivalent barrier height increases with the growth of normalized voltage. Secondly, in medium normalized voltage range, the injection velocity and the ejection velocity of electron is equal and the equivalent barrier height reaches its maximum value. Finally, in high normalized voltage range the injection velocity of electron is quicker than the ejection velocity of electron and the equivalent barrier decreases with the increase of the normalized voltage. In the end the Schottky barrier will break electrically. At the same time the relationship between the equivalent barrier height and the leakage current was analyzed and it was found that the leakage current is determined by an exponential function of the difference between the equivalent barrier heights when normalized voltage is 1 and 0.75.

Keywords : ZnO varistor ceramics, normalized voltage, equivalent barrier height, conduction process

PACC : 7340T, 7330, 7755

^{*} Project supported by the National Natural Science Foundation of China (Grant No. 50477023).

[†] E-mail : sli@mail.xjtu.edu.cn