

栅耦合型静电泄放保护结构设计

王 源 贾 嵩[†] 孙 磊 张钢刚 张 兴 吉利久

(北京大学微电子研究院, 北京 100871)

(2007 年 3 月 4 日收到, 2007 年 5 月 10 日收到修改稿)

提出了一种新型栅耦合型静电泄放(ESD)保护器件——压焊块电容栅耦合型保护管. 该结构不仅解决了原有栅耦合型结构对特定 ESD 冲击不能及时响应的问题, 而且节省了版图面积, 提高了 ESD 失效电压. $0.5\ \mu\text{m}$ 标准互补型金属氧化物半导体工艺流片测试结果表明, 该结构人体模型 ESD 失效电压超过 8 kV. 给出了栅耦合型 ESD 保护结构中 ESD 检测结构的设计方法, 能够精确计算检测结构中电容和电阻的取值.

关键词: 静电泄放, 栅耦合, 金属氧化物半导体场效应管, 压焊块电容

PACC: 7340L, 5280, 4110D

1. 引 言

集成电路工艺的不断发展和诸如短栅长、薄栅氧化层、浅结深、漏区轻掺杂以及硅化物掺杂等先进工艺, 在提高集成电路性能和集成度的同时, 却造成内部电路在静电泄放(electrostatic discharge, 简记为 ESD)冲击来临时更容易被损坏^[1-3]. 因此, 如何提高电路的 ESD 失效电压逐渐成为亚微米和深亚微米互补型金属氧化物半导体(complementary metal-oxide-semiconductor, 简记为 CMOS)集成电路健壮性研究的一个热点. 栅耦合型 ESD 保护结构, 例如栅耦合金属氧化物半导体场效应晶体管(gate-coupled metal-oxide-semiconductor field-effect transistor, 简记为 gcMOS)和栅耦合可控硅管(gate-coupled silicon controlled rectifier, 简记为 gcSCR), 由于结构简单、泄放能力好, 且与标准 CMOS 工艺兼容性好, 被广泛地用作亚微米和深亚微米 CMOS 集成电路的 ESD 保护结构^[4, 5].

栅耦合型 ESD 保护结构中, 以 gcMOS 为例(图 1(a)), 其工作原理是内部电路正常工作时, 泄放管 M_n (M_p)通过电阻 R_n (R_p)和地端(电源端)短接, 处于关断状态; 当输入端出现 ESD 冲击时, 由于电容 C_n (C_p)的耦合作用, M_n (M_p)管会因为栅电压 V_G 变化而被开启, 泄放输入端的 ESD 电荷到地(电源),

完成对内部电路的保护. 具体到电路实现, 对于标准的单层多晶硅(single polysilicon, 简记为 SP)CMOS 工艺, 虽然可以利用两层金属(或金属与多晶硅)之间的寄生电容来实现 C_n (C_p), 但是由于这种结构单位面积电容过小(约 $10^{-17}\ \text{F}/\mu\text{m}^2$), 所需版图面积会很大. 因此, 设计者多对此结构进行了改进, 利用 MOS 电容来实现 C_n (C_p), 称之为 MOS 电容 gcMOS 结构(MC-gcMOS), 如图 1(b)所示. 但是作者研究发现, 实际应用中 MC-gcMOS 对某些特定 ESD 冲击无法响应, 会出现“触发死区”, 达不到保护内部电路的目的. 针对这一问题, 作者提出了一种新型栅耦合型 ESD 保护结构——压焊块电容 gcMOS(bonding-pad-capacitance gcMOS, 简记为 BPC-gcMOS), 该结构不仅避免了“触发死区”, 而且大大节省了版图面积. 对于 gcSCR ESD 保护结构, 本文也给出了相应的改进结构压焊块电容 gcSCR(BPC-gcSCR).

2. MC-gcMOS 的“触发死区”问题

首先, 讨论 MC-gcMOS 的“触发死区”问题. 如图 1(b), MC-gcMOS 的具体结构是将 R_n 和 C_n 上下颠倒, 在 R_n , C_n 和 M_n 之间插入反相器. 以 n 型 MC-gcMOS 为例, 其工作原理是当输入端发生 ESD 冲击时, 由于 ESD 脉冲上升时间很快(纳秒量级), X 点的电压 V_X 来不及响应会保持低电平, 经过反相器之

[†] E-mail: jias@pku.edu.cn

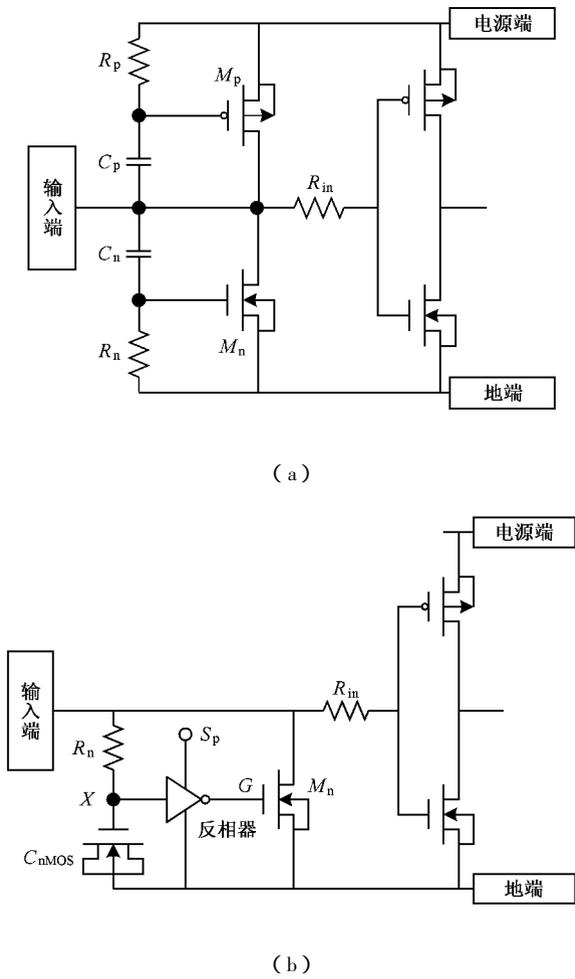


图1 栅耦合型 MOS 管 ESD 保护结构 (a)gcMOS (b)MC-gcMOS

后, G 点栅电压 V_G 为高电平, M_n 及时开启, ESD 电流开始泄放; 当电路正常工作时, 输入端信号的变化较缓(毫秒量级), RC 电路及时对 X 点充电到高电平, G 点为低电平, M_n 保持关断状态. 该结构最大的优点在于, 将原本难以在标准的 SP CMOS 工艺实现的 C_n 改用 MOS 电容 C_{nMOS} 实现. 但作者研究发现 MC-gcMOS 实际存在着三方面较大的缺陷.

第一, 原 gcMOS 的 RC 电路在耦合输入端电压变化时, 实际耦合电容应该等于耦合电容 C_n (C_p) 和 M_n (M_p) 管漏栅交叠电容 C_{gdn} (C_{gdp}) 之和. 由于用来做 ESD 保护的 MOS 管尺寸通常都很大, 所以 C_{gdn} (C_{gdp}) 也会比较大, 实际所需的 C_n (C_p) 就较小. 而 MC-gcMOS 中的 RC 电路和 MOS 管被反相器隔开, 电容 C_{nMOS} 不能借助 C_{gdn} 耦合输入端电压变化, 所以 C_n (C_p) 会增大许多, 从而增加了整个保护结构的版

图面积.

第二, 相比原 gcMOS, 该结构中反相器的引入在一定程度上降低了其 ESD 失效电压. 这是由于反相器的栅极和 RC 电路相连, ESD 冲击同样会对反相器的栅造成冲击. M_n (M_p) 是大尺寸器件, 可以及时泄放 ESD 电流, 但反相器的尺寸不可能设计过大, 因此 ESD 冲击很容易对其造成损伤.

第三, 该结构最致命的缺陷是对某些特定 ESD 冲击无法响应, 会出现“触发死区”. 其根源在于该结构反相器中 pMOS 源端 S_p 的连接方法. 可供 S_p 连接的点有电源端和输入端. S_p 无论连接到其中任一个, 或者会造成对特定 ESD 冲击无法响应, 或者会造成电路正常工作时的误触发. 下面以 $0.5 \mu\text{m}$ 标准 CMOS 工艺为例进行分析, 工作电压为 5 V .

当 S_p 连接到电源端时, 假设初始状态输入端电平保持为 0 V , ESD 脉冲出现. 此时, ESD 脉冲电压 V_{esd1} 是由 0 V 上升到某一电压(假定是 10 V), MC-gcMOS 是可以及时响应并泄放 ESD 电流的. 图 2(a) 给出了这种情况下的 HSPICE 仿真器的模拟结果. 当 V_{esd1} 来临, V_G 及时上升到 5 V , M_n 第一时间开启, ESD 电流开始泄放. 但是, 假设初始状态电路输入端电平保持在 5 V , ESD 脉冲出现. 此时, 输入端的电压是由 5 V 上升到某一电压(假定是 10 V), 由于 V_X 一直处于 5 V , 则 V_G 始终处于低电平, M_n 将无法开启. 图 2(b) 给出了这种情况下的 HSPICE 仿真器的模拟结果, V_G 对于 V_{esd2} 的变化只有 15 mV 左右的电平响应, 如此的电平变化不足以开启 M_n 泄放 ESD 电路. 因此, MC-gcMOS 对于电路输入端处于高电平时出现的 ESD 冲击(或电压波动)是无法响应的, 出现了“触发死区”. 当 S_p 连接到输入端时, MC-gcMOS 对上述的两类 ESD 冲击响应良好, 但对输入端正常信号 V_{sig} 会产生响应. 如图 2(c) 所示, 当 V_{sig} 由 0 V 上升到 5 V 时(上升时间是 10^{-3} s , 区别于 ESD 脉冲 V_{esd2} 的上升时间 10^{-8} s), 此时本该关断的 M_n 由于 V_G 的上升而导通, 因为 V_G (1.2 V) 大于 MOS 开启所需的阈值电压 V_{th} (0.65 V), 导通时间维持了约 100 ns , 使得输入端对地端短路. 这种响应称之为 ESD 保护电路的“误触发”是内部电路在正常工作时不希望出现的.

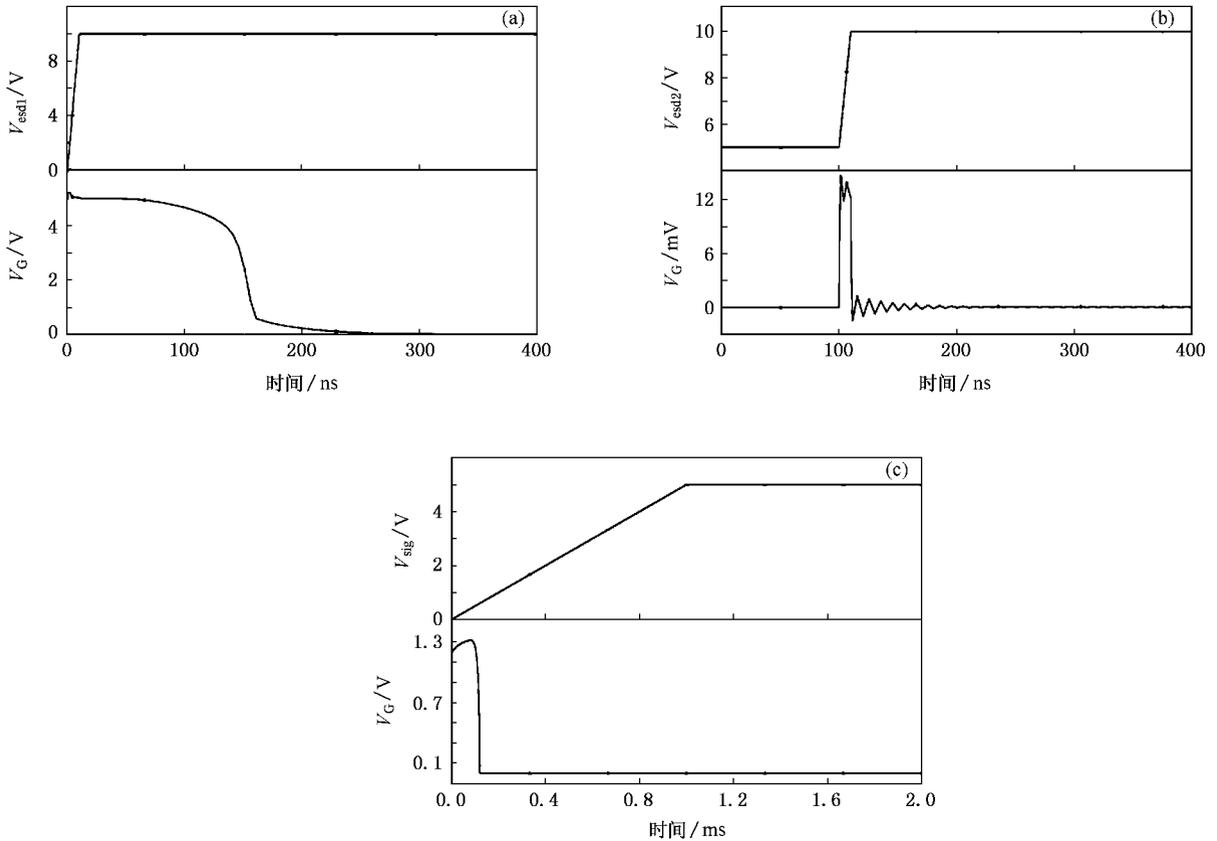


图2 MC-gcMOS 对各类 ESD 冲击的响应 $R_n = 150 \text{ k}\Omega$, $C_{nMOS} = 3.5 \text{ pF}$. (a) 正常响应 (b) 触发死区现象 (c) 误触发现象

综上所述,MC-gcMOS 除了泄放能力变差、版图面积变大之外,还会出现“触发死区”和“误触发”现象,无法实现对内部电路的有效保护,这样的改进显然是不成功的。

3. 压焊块电容栅耦合型保护结构

SP CMOS 工艺下如果要用两层金属(或金属和多晶硅)实现耦合电容所需版图面积会很大,这是由于其单位面积电容值过小,那么能否利用版图中原有区域的寄生电容既实现 C_n (C_p) 又不增加版图面积呢? 本文提出了一种新型的适用于 SP CMOS 工艺的 gcMOS 保护结构——BPC-gcMOS,如图 3(a)所示.新结构中,在压焊块底层金属下方一分为二做两块多晶硅,利用压焊块底层金属和多晶硅做上下极板,实现 C_n (C_p),记作 C_{npad} (C_{ppad}). R_n (R_p) 用 n 阱实现,同样也可以置于压焊块下方,记作 R_{mw} (R_{pnw}).用 n 阱实现 R_n (R_p) 除了节省面积外,还有助于提高电阻的健壮性,这是由于原有结构中电阻 R_n (R_p) 多是用多晶硅来实现的,这样做带来的问题

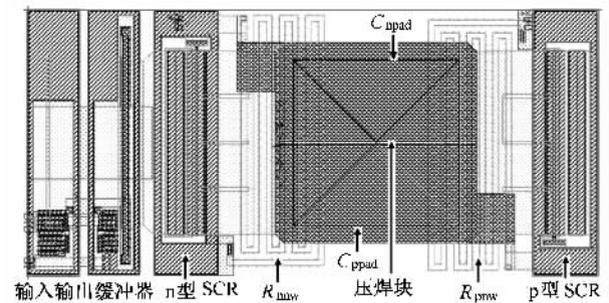
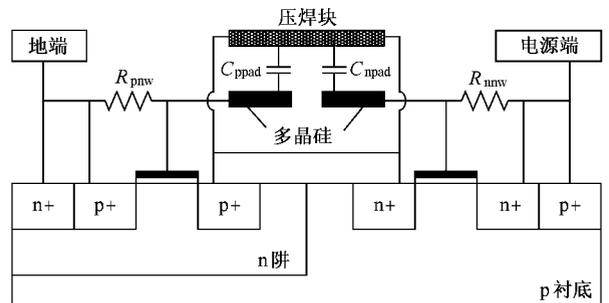


图3 新型栅耦合型 ESD 保护结构 (a) BPC-gcMOS (b) BPC-gcSCR

是散热不好,因为多晶硅下方是导热性较差的场氧

化层(热导率为 0.014 W/cmK),当 R_n (R_p)上流过较大的 ESD 电流时,容易出现多晶硅熔断的现象.用 n 阱实现的 R_n (R_p)会由于硅衬底较好的散热性(热导率为 1.45W/cmK),避免了电阻熔断的可能.

因此,与常规 gcMOS 和 MC-gcMOS 相比,BPC-gcMOS 在不增加额外工艺基础上,不仅解决了标准 SP CMOS 工艺 C_n (C_p)难实现的问题,还避免了 MC-gcMOS 出现“触发死区”和“误触发”的问题,而且大大减小了 ESD 结构占用的版图面积,提高了 R_n (R_p)的健壮性.同样,gcSCR 也可以采用这种压焊块电容结构形成 BPC-gcSCR,其版图如 3(b)所示.

4. ESD 检测结构的设计

gcMOS 和 gcSCR 保护结构能否在 ESD 冲击发生时及时开启,RC 检测结构中电阻 R_n (R_p)和电容 C_n (C_p)的大小至关重要.通常设计者只是用估算的方法^[6]定义 RC 时常数大约为 10^{-7} — 10^{-6} s,以保证保护结构一方面能对 10^{-12} — 10^{-9} s 量级的 ESD 冲击响应,另一方面对 10^{-3} s 量级的正常信号保持关断.由于这种估算不够精确,会直接影响保护结构实际的 ESD 失效电压.本文给出了 ESD 检测结构中 RC 电路的精确计算方法.一方面, R, C 决定着 G 点的栅电压峰值 V_{Gmax} ,作者模拟发现适当的 V_{Gmax} 有助于降低 gcMOS 的开启电压 V_{trig} .如图 4 所示,0.5 μ m 标准的 SP CMOS 工艺,对于 n 型 gcMOS(gcnMOS)和 p 型 gcMOS(gcpMOS)的 V_{Gmax} 分别等于 2.25 和 -3 V 时,保护结构的 V_{trig} 最低.另一方面, R, C 决定着保护结构开启后导通时间 T_{on} 的长短(即保持 $V_G \geq V_{th}$ 的时间长短).通常人体模型的 ESD 脉冲的持续时间 $T_d = 150$ ns,所以必须满足 $T_{on} \geq T_d$.图 5 给出了 R_n 与 V_{Gmax}, T_{on} 关系的模拟结果,可以看出 R_n 的选取对 gcMOS 泄放能力的影响还是巨大的.

为了准确地获得设计 gcMOS 保护结构的相关信息,作者对 gcnMOS 和 gcpMOS 中 R, C 大小对 T_{on}, V_{Gmax} 等 ESD 泄放特性的影响进行了 HSPICE 模拟仿真.以 gcnMOS 为例,模拟结果如图 6 所示, T_{on} 和 V_{Gmax} 都会随着 R_n, C_n 的增大而增大.具体

而言, C_n 对 V_{Gmax} 的影响较大, R_n 对 T_{on} 的影响较大.为了满足 $T_{on} \geq 150$ ns 和 $V_{Gmax} = 2.0$ — 2.5 V 的最佳 ESD 电流泄放条件,需 $R_n \geq 150$ k Ω , $C_n \geq 0.08$ pF.

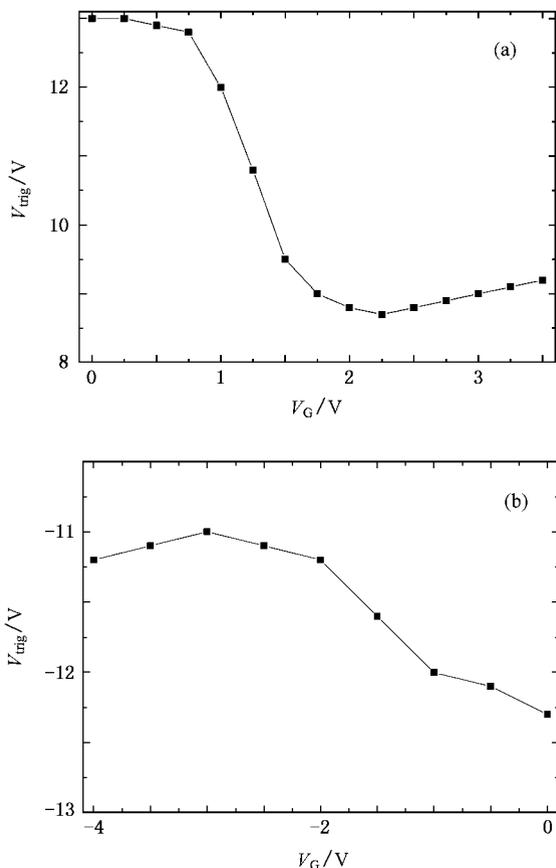


图 4 gcMOS 开启电压 V_{trig} 与栅压 V_G 的关系 (a)gcnMOS, (b)gcpMOS

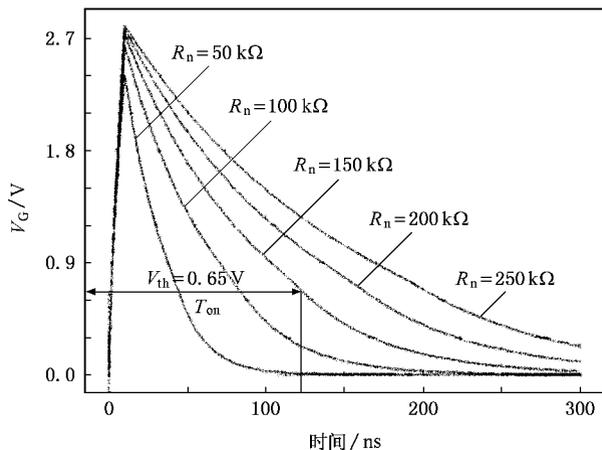


图 5 gcnMOS 泄放能力与 R_n 的关系 $C_n = 0.1$ pF

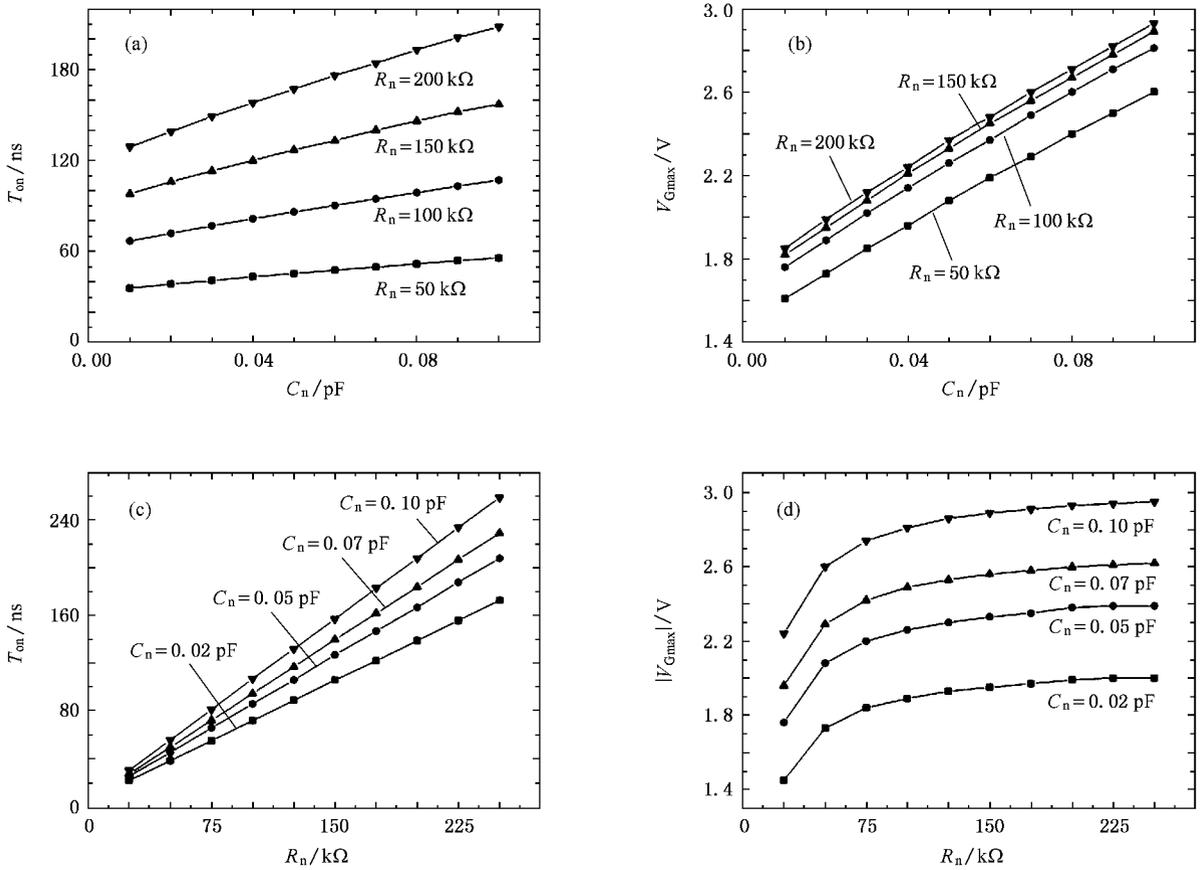


图 6 gcMOS 中 R_n, C_n 对 ESD 泄放能力的影响 (a)gcMOS 的 T_{on} (b)gcMOS 的 V_{Gmax} (c)gcpMOS 的 T_{on} (d)gcpMOS 的 V_{Gmax}

5. 实验结果分析

0.5 μm 标准 SP CMOS 工艺,采用本文提出的 BPC-gcMOS ESD 保护结构实现 C_n 和 R_n . 第一层金属与多晶硅之间单位面积电容为 $4.2 \times 10^{-17} \text{ F}/\mu\text{m}^2$, 实现 0.08 pF 的 C_{npad} 所需面积约为 $20 \mu\text{m} \times 100 \mu\text{m}$; n 阱的方块电阻值为 0.65 k Ω , 实现 150 k Ω 的 R_{mw} 所需面积约为 $40 \mu\text{m} \times 80 \mu\text{m}$. 本文采用的工艺, 压焊块的最小面积为 $100 \mu\text{m} \times 100 \mu\text{m}$, 足以实现 C_{npad} (C_{ppad}) 和 R_{mw} (R_{pw}). 由于新的 BPC-gcMOS 结构中, C_{npad} 和 R_{mw} 均位于压焊块的下方, 没有占用版图面积, 这使得整个保护结构的面积大大减小. 相比常规 gcMOS 保护结构, 用新结构实现一个标准输入单元, 面积节约 26%. 而用 BPC-gcSCR 保护结构实现一个标准输入单元, 面积节约 41%.

本文针对上述两种新型栅耦合型 ESD 保护结构——BPC-gcMOS 和 BPC-gcSCR 的人体模型 ESD 失效电压进行了测试. BPC-gcMOS 的栅长 $L = 1.0 \mu\text{m}$,

栅宽 W 由 $80 \mu\text{m}$ 增加到 $480 \mu\text{m}$. BPC-gcSCR 管的宽度 W 由 $20 \mu\text{m}$ 增加到 $100 \mu\text{m}$. 测试标准是国际通用的 MIL-STD-883F 3015.7, 采用 KEYTEK ZAPMASTER 7/4 型 ESD 测试设备. 测试结果如表 1 所列. 随着栅宽 W 的增加, BPC-gcMOS 保护结构的 ESD 失效电压逐步增大至 4.5 kV ($W = 480 \mu\text{m}$); BPC-gcSCR 管 ESD 保护结构的 ESD 失效电压也会随 W 的增大而增大, 当 $W \geq 80 \mu\text{m}$ 时, ESD 失效电压超过 8 kV. 两者均达到了国际 ESD 协会规定的 3 级抗 ESD 标准.

表 1 两种新结构 ESD 失效电压的实验结果

类 型	$W/\mu\text{m}$	ESD 失效电压/kV	ESD 等级
BPC-gcMOS	80	1.25	1C
	160	2.00	2
	240	2.50	2
	320	3.00	2
	400	3.75	2
	480	4.50	3A
BPC-gcSCR	20	5.25	3A
	40	6.00	3A
	60	6.50	3A
	80	> 8.00	3B
	100	> 8.00	3B

6. 结 论

栅耦合型 ESD 保护结构,如 gcMOS 和 gcSCR,由于结构简单、泄放能力好,且与标准 CMOS 工艺兼容性好,被广泛地用作亚微米和深亚微米 CMOS 集成电路的 ESD 保护结构.对于 SP CMOS 工艺,实现该结构中的 RC 电路所需的面积很大.而常用的改进 MC-gcMOS 又会出现“触发死区”和“误触发”的问题.本文给出的压焊块电容栅耦合型 ESD 保护结构

不仅避免了上述问题,而且大大节省了版图面积.0.5 μm 标准 CMOS 工艺,BPC-gcMOS 面积节约了 26%,BPC-gcSCR 面积节约了 41%.流片后 ESD 失效电压测试结果表明,这两种新结构的 ESD 失效电压分别是 4.5 kV 和高于 8 kV,达到国际 ESD 协会规定的 3 级抗 ESD 标准.新结构和标准 CMOS 工艺兼容,无需增加额外的工艺步骤.此外,本文还给出了栅耦合型保护结构中检测电路 R,C 的精确计算方法,代替了原有的估算方法.

- [1] Amerasekera A , McNeil V , Rodder M 1996 *IEEE IEDM Tech. Digest* (San Francisco : IEEE Inc.) p893
- [2] Iyer N M , Radhakrishnan M K 2003 *Proc. 16th International Conference on VLSI Design* (Los Alamitos : IEEE Inc.) p20
- [3] Amerasekera A , Gupta V , Vasanth K , Ramaswamy S 1999 *Proc.*

37th IRPS (San Diego : IEEE Inc.) p159

- [4] Wang Y , Jia S , Chen Z , Ji L 2006 *Chin. Phys.* **15** 2297
- [5] Ker M , Chang H , Wu C 1997 *IEEE J. Solid-State Circ.* **32** 38
- [6] Lai C , Liu M , Su S , Lu T , Pan S 2004 *IEEE Electron. Dev. Lett.* **25** 328

Design of a gate-coupled electrostatic discharge protection structure

Wang Yuan Jia Song[†] Sun Lei Zhang Gang-Gang Zhang Xing Ji Li-Jiu

(Institute of Microelectronics , Peking University , Beijing 100871 , China)

(Received 4 March 2007 ; revised manuscript received 10 May 2007)

Abstract

A novel gate-coupled electrostatic discharge (ESD) protection structure , called bonding-pad capacitance gate-coupled device , is designed. The new structure solves the problem of the traditional gcMOS device not being able to give correct transient response to some specific ESD events. The device layout area is also reduced. The measured results show that the novel structure has a 26%—41% layout area reduction and a high ESD robustness greater than 8 kV in a standard 0.5 μm single poly triple metal complementary metal-oxide-semiconductor process.

Keywords : electrostatic discharge , gate-coupled , metal-oxide-semiconductor field-effect transistor , pad capacitance

PACC : 7340L , 5280 , 4110D

[†] E-mail : jias@pku.edu.cn