

Snapback 应力引起的 90 nm NMOSFET 的 栅氧化层损伤研究*

朱志炜 郝 跃 马晓华 曹艳荣 刘红侠

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2006 年 6 月 19 日收到, 2006 年 7 月 6 日收到修改稿)

实验结果发现突击穿(snapback), 偏置下雪崩热空穴注入 NMOSFET 栅氧化层, 产生界面态, 同时空穴会陷落在氧化层中. 由于栅氧化层很薄, 陷落的空穴会与隧穿入氧化层中的电子复合形成大量中性电子陷阱, 使得栅隧穿电流不断增大. 这些氧化层电子陷阱俘获电子后带负电, 引起阈值电压增大、亚阈值电流减小. 关态漏泄电流的退化分两个阶段: 第一阶段亚阈值电流是主要成分, 第二阶段栅电流是主要成分. 在预加热电子(HE)应力后, HE 产生的界面陷阱在 snapback 应力期间可以屏蔽雪崩热空穴注入栅氧化层, 使器件 snapback 开态和关态特性退化变小.

关键词: 突击穿, 软击穿, 应力引起的泄漏电流, 热电子应力

PACC: 7220J, 7340Q, 7300, 7155H

1. 引 言

集成电路的输出电路通常使用自保护 MOSFET 结构, 即输出驱动倒相器的下拉 NMOSFET 在超大规模集成电路(VLSI)正常工作时作为输出驱动电路的一部分, 而在电过应力(EOS)发生时又可以作为保护结构, 以保护内部电路不受破坏. NMOSFET 作为保护结构的原理为: 在 EOS 作用下 NMOSFET 内部的寄生横向双极晶体管开启, 此时 NMOSFET 进入 snapback 偏置模式, 从而可以泄放掉 EOS 产生的大电流. 自保护结构的最重要的便利之处是节省了很大的面积、减少了 I/O 电路的电容负载. 随着 CMOS VLSI 工艺的进步, MOS 器件栅氧化层厚度不断减薄, 工作电压也不断降低, NMOSFET 自保护器件栅氧化层击穿电压已经接近于漏衬结雪崩击穿电压, I/O MOS 器件对外部 EOS 电压越来越敏感, 如果保护结构不能完全吸收 EOS 能量, 很小的过电压都会造成自保护器件栅氧化层产生损伤甚至直接发生栅击穿. 对于超薄栅氧化层 MOS 器件, 非破坏性的 EOS 应力使 NMOSFET 偏置在 snapback 状态, 会在 MOS 器件化层中产生潜在损伤^[1,2], 导致自保护器件在正常工作条件下电路的特性发生漂移, 影响到

功能电路的性能, 严重时引起电路失效. 由于自保护器件也会受到热载流子(HC)应力的作用^[1], 在 HC 应力后保护器件的 EOS 退化也会发生变化.

本文对 90 nm CMOS 工艺 NMOSFET 进行了 Snapback 应力实验, 研究了应力引起的栅氧化层损伤和特性, 测试结果与以前的研究结果^[2-4]有很大区别. 为了研究这些退化特性, 对 snapback 应力期间器件的线性区最大跨导、饱和漏电流、阈值电压、关态漏泄电流等参数进行了测量分析, 对 snapback 应力引起器件特性退化的机理进行了解释; 为了研究 HE 应力和 Snapback 应力的耦合作用, 还对预加 HE 应力前后的 snapback 退化特性进行了对比和分析. 本文的研究为设计有效的自保护器件提供了理论基础.

2. 器件和实验

实验用的样品均为采用 90 nm 标准 CMOS 工艺的 LDD NMOSFET, 宽长比 $W/L = 20 \mu\text{m}/0.09 \mu\text{m}$, 栅氧化层厚度 1.4 nm, 栅氧均经过 N_2O 氮化退火处理, 没有采用静电放电(ESD)注入和硅化物隔离块(silicide block)工艺. 测试仪器为 HP4156B 和 Agilent B1500A, 所有实验均在室温条件、电屏蔽的暗箱内

* 国家自然科学基金(批准号: 60376024)资助的课题.

进行.为深入理解 snapback 偏置状态,把 NMOSFET 栅、源、衬底接地($V_g = V_s = V_b = 0$),栅、源、漏、衬底电压分别记为 V_g, V_s, V_d, V_b ,进行这种接法的器件称为 GGNMOSFET,即栅接地 NMOSFET),然后对其漏端施加电流应力 I_d ,其 $I-V$ 曲线如图 1 所示. I_d 应力增大过程中 GGNMOSFET 器件内部物理事件按如下顺序发生:

- 1) 当 n^+ 漏与 p 衬底反向偏置均达到约 4.3V 时, NMOSFET 的 n^+ 漏- p 衬底结产生雪崩击穿.
- 2) 当漏电流达到 119 μA 时,源-衬底结正偏.
- 3) 当电流继续增加时,器件内部的寄生横向双极晶体管开启,器件进入 snapback 偏置状态,此时漏电压突然下降,最后稳定在某个电压(保持电压 V_h).
- 4) 如果电流过大,器件内部会由于电流集中产生热击穿(二次击穿),击穿电流大约为 110mA.

实验把样品分为两组,第一组样品直接施加 snapback 应力,应力条件:其它引脚接地,漏端加电流应力,应力期间周期性的暂停应力,对样品各种特性进行测试.由图 1 可知,在大于 100 μA 小于 110 mA 的漏电流偏置下样品可以进入 snapback 偏置模式,可以称其为 snapback 应力.此时样品内不会产生导致样品功能失效的瞬时破坏性损伤,但它却可以在 MOS 器件内部产生大量栅氧化层和界面陷阱,这些缺陷会对样品长期可靠性产生重大影响,导致样品的 $I-V$ 特性会随着应力时间增加而变化.

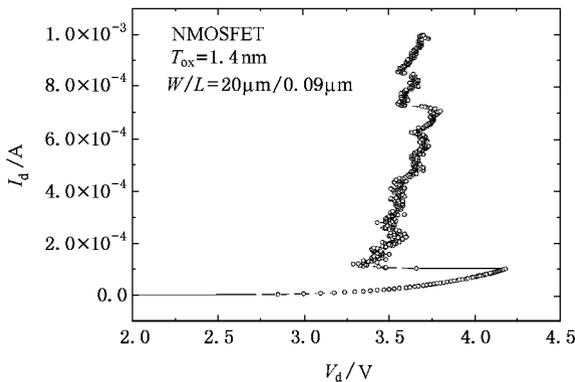


图 1 NMOSFET CD snapback $I-V$ 曲线 测量条件: $V_g = V_s = V_b = 0$

为了研究 HE 应力对实验样品 snapback 退化特性的影响,对第二组样品先施加 1000 s HE 应力(应力条件: $V_d = V_g = 2\text{V}$, $V_s = V_b = 0$),然后再施加 snapback 应力,应力期间周期性的暂停应力,测试器件各种特性.通过对有/无预加 HE 应力的实验样品

snapback 退化曲线的分析,说明 HE 应力对自保护 GGNMOS 器件的 snapback 退化有一定的减轻作用.

3. 实验结果和分析

3.1. snapback 应力引起的退化

图 2 为不同大小的 snapback 应力期间线性区最大跨导 G_m ,饱和漏电流 I_{dsat} 的退化曲线,图中 $\Delta G_m = G_{m0} - G_m(t)$, $\Delta I_{dsat} = I_{dsat0} - I_{dsat}(t)$.对于三种不同大小的应力,跨导和饱和漏电流都会随应力时间增加而减小,其退化量在双对数坐标系中与时间都呈近似线性的关系,应力越大,退化程度越大.线性区最大跨导表示转移曲线线性区部分的斜率,可写为下式^[5]:

$$G_m = \mu C_{ox} \left(\frac{W}{L} \right) V_{ds} \quad (1)$$

式中, C_{ox} 为氧化层电容, μ 为迁移率,可见最大跨导与迁移率直接相关, NMOSFET 中界面态会引起迁移率减小,从而导致最大跨导变小.图 2 中最大跨导随 snapback 应力时间增加而减小,表明在 Si-SiO₂ 界面处有界面陷阱产生.亚阈值斜率可以很好的表征界面陷阱对器件特性的影响,图 3 中与未加应力器件相比,施加 snapback 应力后亚阈值电流曲线斜率减小,表示有界面态产生^[6].这与从图 2 中得到的结论一致的.图 3 中施加应力后,亚阈值曲线向右移动,表示随着应力时间增加有净的栅氧化层陷落负电荷,负电荷的存在改变了沟道中的电场能带结构,导致阈值电压变大.在 snapback 偏置条件下,漏端强电场导致的雪崩倍增效应会产生大量电子-空穴对,在漏端强电场作用下,电子和空穴会同时注入到栅氧化层中.90 nm 工艺器件在 snapback 偏置下其保持电压只有 3.5 V 左右,注入的载流子虽然以空穴为主^[5],但电子注入也不能忽略.由文献[2]可知, snapback 偏置条件下大量漏雪崩热空穴注入氧化层中,被氧化层中的陷阱俘获,正的氧化层陷落负电荷会导致阈值电压向负栅压方向漂移.而对于本文中的超薄栅氧化层($T_{ox} = 1.4 \text{ nm}$)NMOSFET,由于其氧化层很薄,电子隧穿距离非常短,氧化层中陷落的正电荷处于不稳定的状态,很容易与栅极或衬底隧穿进入氧化层的电子复合^[6],而漏雪崩热电子注入氧化层也会复合一部分陷落空穴.当电子和空穴在氧化层中复合时,会产生新的电子陷阱^[6,7].这些电子陷

阱俘获电子后使氧化层带负电, 导致阈值电压变大. 氧化层陷落负电荷和界面陷阱的作用使得 MOSFET 的电流驱动能力下降, 饱和漏电流随应力时间增加而减小(见图 2).

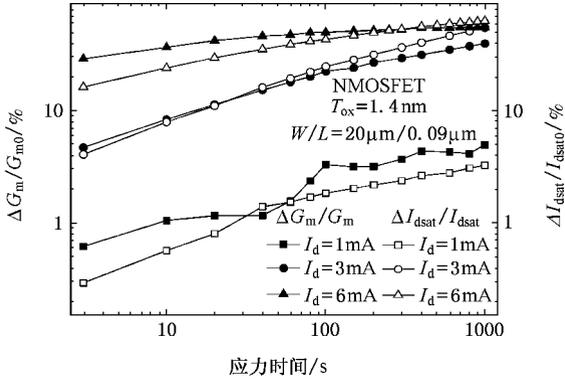


图 2 不同大小 snapback 应力下最大跨导 G_m 和饱和漏电流 I_{dsat} 的退化曲线, G_m 测量条件: $V_d = 0.05V$; I_{dsat} 测量条件: $V_d = V_g = 1V$

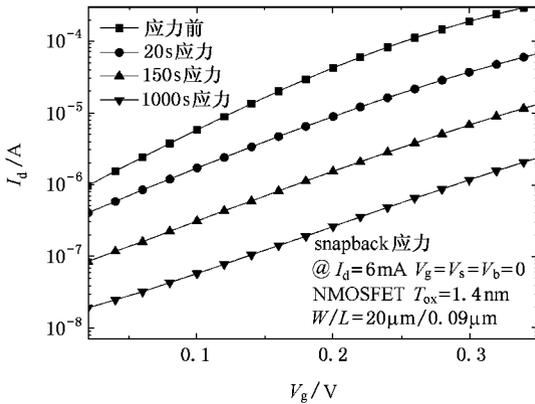


图 3 Snapback 应力期间 NMOSFET 亚阈值特性变化亚阈值曲线
测量条件: $V_d = 50mV, V_s = V_b = 0$

图 4 为归一化栅氧化层 SILC ($\Delta I_g / I_{g0}$) 随 snapback 应力时间的变化. DiMaria 和 Salman 等的研究认为^[1,8], 栅氧化层 SILC (应力引起的泄漏电流) 可以由氧化层中产生的中性电子陷阱来解释. 如图 5(a) 所示, 中性电子陷阱的缺陷能级减小了栅氧化层的隧穿势垒, 使大量电子可以隧穿通过氧化层, 形成 SILC, 它是一种氧化层陷阱辅助的隧穿. SILC 的发生是一个两步的隧穿过程: 首先电子以时常数 τ_1 隧穿到栅氧化层内的陷阱能级; 接下来电子以时常数 τ_2 隧穿到氧化层导带或直接隧穿到阳极, SILC (I_{SILC}) 与氧化层电子陷阱密度变化量的关系可表示

为如下形式^[1,8]:

$$\frac{I_{SILC}}{I_{g0}} = \frac{I_g(t) - I_{g0}}{I_{g0}} \approx \frac{q\Delta N_n}{\tau_1 + \tau_2} \quad (2)$$

式中 $I_g(t)$ 是在每一个 snapback 应力步长后测试的栅电流, I_{g0} 是 snapback 应力前的栅电流, q 是电子电量, ΔN_n 是氧化层电子陷阱密度的变化量. 由上式变换可得到陷阱密度变化量的表达式

$$\Delta N_n = A \times \Delta I_g / I_{g0} \quad (3)$$

式中 A 是常数, 它与氧化层厚度相关. 在没有软击穿发生的情况下, 产生的氧化层电子陷阱可由上式计算. 图 4 中 $\Delta I_g / I_{g0}$ 随应力时间增加而不断增大, 说明不断有新的氧化层电子陷阱产生.

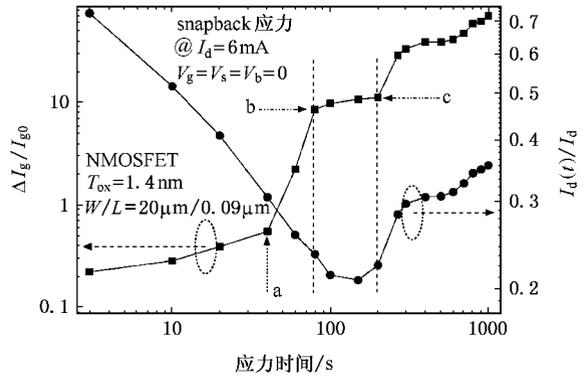


图 4 Snapback 应力期间归一化 SILC (左) 和漏泄漏电流 (右) 的退化曲线, SILC 测量条件: $V_d = V_s = V_b = 0, V_g = 1V$; 漏泄漏电流测量条件: $V_g = V_s = V_b = 0, V_d = 1V$

从图 4 中还可以看到 SILC 曲线有突变发生(图 4 a 点至 b 点部分), 这标志着栅氧化层软击穿的发生. 软击穿的产生可解释为: 在 snapback 应力下, 雪崩热空穴注入进氧化层中, 陷阱在氧化层中不断增加. 当氧化层陷阱在局部点积累到一定阈值时, 在 SILC 测试中电子可以通过多个氧化层陷阱隧穿通过氧化层, 形成细小导电通道(见图 5(b)), 导致氧化层电流的突然增加, 产生软击穿现象^[9]. 软击穿是一个非常局部化的现象, 在超薄栅氧化层 MOS 器件中容易发生. 软击穿发生后若继续施加应力, 在氧化层中会产生更多的导电通道, 导致下一次软击穿的发生. 软击穿会造成氧化层长期可靠性降低, 击穿时间大大减小. 软击穿还会使栅电流与陷阱密度的关系发生变化, 如果在评估氧化层陷阱时仍然使用公式(3), 则会高估产生的陷阱数量. 最近的研究表明^[10] 在一定的 V_g 范围内, 软击穿后的 I_g 符合 FN 隧穿导电机制, 但要由实验重新提取这种类型 FN 隧

穿电子隧穿势垒高度,而且这种方法也没有很好的解决栅氧化层陷阱密度与隧穿栅电流的量化关系,无法用来表征栅氧化层完整性随时间的退化关系.

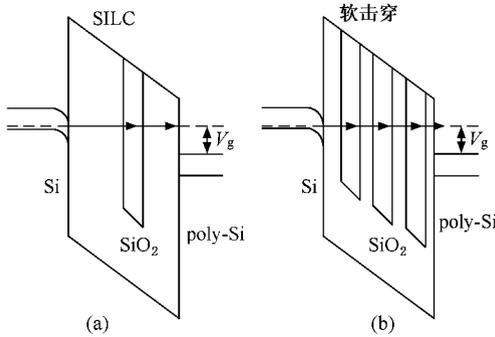


图5 MOSFET 栅氧化层 SILC 和软击穿发生的能带图

图4中测量的关态归一化漏泄电流($I_d(t)$ I_{d0})随应力时间的退化呈现类似抛物线的性质:即关态漏电流随应力时间增加先减小后增大,这与以前的研究是有很大的不同的.Tahui 和 Lu 的研究^[3,4]认为,MOSFET 器件在关态(源、栅、衬底接地,漏端加电压)情况下漏泄电流主要由界面陷阱 N_{it} 辅助的隧穿电流 I_{TAT} 和 BB(band-to-band)隧穿电流 I_{BB} 组成^[3].应力期间漏泄电流退化分为两个时间阶段:第一阶段以界面态 N_{it} 辅助的隧穿为主,此时 I_{BB} 受界面态影响较小,基本保持不变, I_{TAT} 随产生的界面态增多而不断增大,漏泄电流以幂指数因子 $n1$ 随时间增大;当器件中氧化层陷落电荷积累到某一量级时,进入第二阶段退化,此时氧化层陷落电荷成为主要退化因素,在氧化层陷落电荷影响下, I_{BB} 迅速增大,导致漏泄电流以幂指数因子 $n2(n2 > n1)$ 加速退化,最后导致氧化层击穿.

Chen 等的研究发现^[3,11],BB 隧穿过程发生在栅漏交迭区,当漏加高压而栅接地时,栅漏交迭区会形成一个深耗尽区,在深耗尽区价带电子隧穿进入导带,产生的电子-空穴对分别被漏和衬底收集,形成漏和衬底电流,因此 BB 隧穿只在高场下能带弯曲大于带隙宽度 E_g 时才会发生.而界面陷阱辅助的隧穿过程与之类似:在栅漏交迭区的电场作用下,电子从界面陷阱隧穿到导带,而空穴从界面陷阱隧穿到价带,产生的电子和空穴分别被衬底和漏极收集形成界面陷阱辅助的隧穿漏电流.

由于图4的漏泄电流在1V漏压下测试,隧穿效应影响变得很小,而且样品沟道长度较小,结深

较浅,DIBI(漏致势垒降低)效应会使亚阈值电流变大,因此未加应力的样品漏泄电流中亚阈值电流 I_{ss} 的成分会增大.图6(a)和(b)是6mA的snapback 应力期间关态电流-漏电压特性变化,图6(a)中的电流曲线表明,应力前后衬底电流值很小,且基本保持不变,说明应力前后漏泄电流中隧穿电流(I_{BB} 和 I_{TAT})成分都比较小;应力前关态漏电流 I_d 等于源电流 I_s ,栅电流 I_g 很小,由于在关态情况下 I_s 即为源漏亚阈值电流 I_{ss} ,表明此时漏电流主要是由 I_{ss} 组成;应力后栅电流 I_g 与漏电流 I_d 大致相等,表明漏泄电流主要由栅泄漏电流 I_g 构成.总的关态漏泄电流为亚阈值电流 I_{ss} 和栅电流 I_g 之和,即 $I_d = I_g + I_{ss}$. I_{ss} 可以表示为

$$I_{ss} = \beta C_d / C_{ox} \left(\frac{kT}{q} \right)^2 \exp \left(\frac{q(V_{gs} - V_{th})}{nkT} \right), \quad (4)$$

V_{gs} 是栅源电压降, V_{th} 是阈值电压, C_d 为耗尽层电容, C_{ox} 为氧化层电容, β 为器件增益, n 为常数.由于 snapback 应力过程中 V_{th} 会不断增大,导致 I_{ss} 不断减小.由于应力开始后一段时间内,关态漏泄电流的主要成分仍然是亚阈值电流 I_{ss} ,因此 I_{ss} 的减小会导致漏泄电流也随之减小.随着应力时间增加,栅氧化层中的中性电子陷阱不断积累,关态特性测量期间大量电子可以经由氧化层陷阱隧穿通过栅氧化层,导致氧化层隧穿电流不断增大,即通过栅氧化层的电流 I_g 逐渐变大,而且由于软击穿的发生,关态栅电流 I_g 增大的速度很快(见图4).图6(b)中150s 应力后栅泄漏电流 I_g 即可达到源漏亚阈值电流 I_{ss} 的水平($I_{ss} \approx I_g$),此时它们对漏泄电流的影响大致相当,总的漏泄电流 I_d 不再减小,达到一个最小值.当应力时间继续增加,栅电流也继续增大,此时其对漏泄电流的影响大于源漏亚阈值电流,是漏泄电流的主要成分,栅电流的增大导致漏泄电流也随之增大.以上分析说明对于90nm MOSFET 器件,栅氧化层陷阱引起的栅隧穿电流对关态漏电流起着非常重要的作用,而它在较厚栅氧化层的器件中影响是比较小的.

综和以上分析表明,90nm MOSFET 在 snapback 应力期间关态漏泄电流的退化分为两个阶段:第一阶段中源漏亚阈值电流起主要作用,在这一过程中阈值电压变大会引起漏泄电流减小;随着栅氧化层陷阱不断积累,栅电流 I_g 逐渐增大,在第二阶段它是关态漏泄电流的主要成分,导致漏泄电

流随应力时间增加而增加. 此时栅漏之间可等效为一个隧穿二极管, 这个等效结果与 Hansel 和 Villereal^[12]的理论是一致的. Hansel 等把漏和栅之间的细小电流通路(称作电流细丝)描述为一个隧穿二

极管;“电流细丝”的数量可以决定二极管的隧穿电流. 当 snapback 应力时间不断增加时, 会有更多的电流细丝形成, 导致二极管的栅隧穿电流不断增大, 漏泄电流也会持续增大.

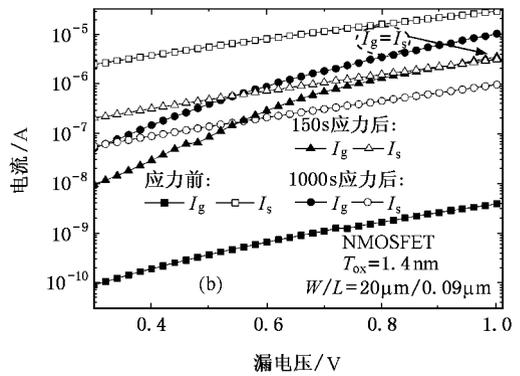
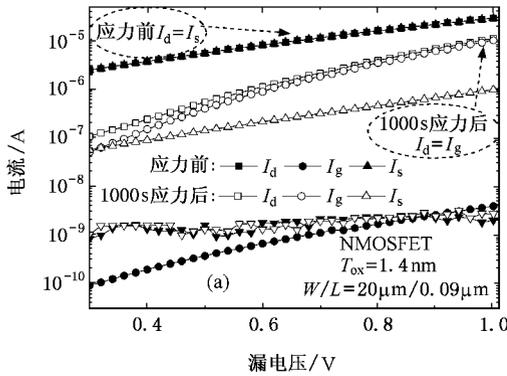


图 6 6 mA 的 snapback 应力期间 GGNMOSFET 关态电流-漏电压特性曲线, 关态电流测量条件: $V_g = V_s = V_b = 0$

3.2. Snapback 应力与 HE 应力的耦合作用

第二节中两组样品的初始特性和第二组样品在预加 HE 应力后的基本参数测试结果见表 1, 其中漏泄电流 I_d 和栅电流 I_g 的测量条件与图 4 相同.

表 1 两组器件初始特性

	$G_m/10^{-3} S$	$I_{dsat}/10^{-2} A$	$I_d/10^{-5} A$	$I_g/10^{-8} A$
未加应力器件(组 1)	3.49	1.39	6.95	1.75
未加应力器件(组 2)	3.61	1.42	7.1	1.73
预加 HE 应力(组 2)	2.5	0.97	1.69	2.02

图 7 和图 8 是预加 HE 应力和未加 HE 应力的 NMOSFET 在 snapback 应力下的退化特性. 如图 7 所示, 在预加 HE 应力后, snapback 应力期间阈值电压漂移量和跨导退化比没有预加 HE 应力的器件更小, 可以解释为: 预加的 HE 应力在 MOSFET 器件的漏端 Si-SiO₂ 界面处产生了大量界面陷阱, snapback 应力期间这些界面陷阱屏蔽了一部分热空穴注入栅氧化层, 导致注入氧化层的电荷量减少, 产生界面和氧化层陷阱的速度减小. 界面陷阱的减少导致迁移率变化减少, 跨导的退化也随之减小, 而通常阈值电压向正栅压方向漂移是由氧化层陷落负电荷造成的, 在预加 HE 应力后, 产生的氧化层陷阱减少导致陷落电荷减少, 因此 MOSFET 的阈值电压漂移量也随之减小. 必须看到, 虽然预加 HE 应力后阈值电压退化的量变小了, 但是其退化的速度却比未加 HE 应力的器件大, 这样随着应力时间增加, 其退化量逐

渐接近未加应力的器件.

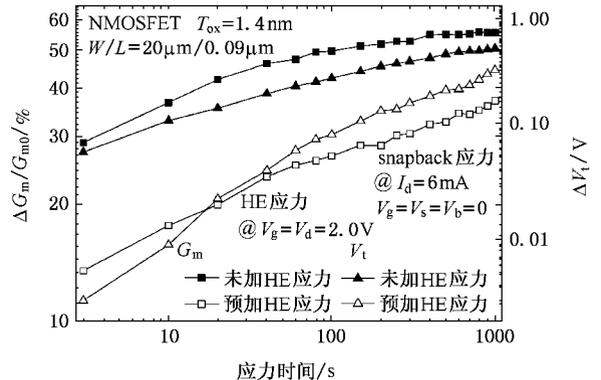


图 7 Snapback 应力期间阈值电压漂移与跨导退化的关系

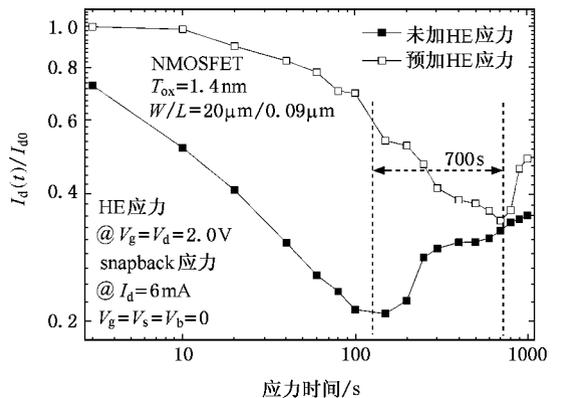


图 8 归一化漏泄电流随 snapback 应力时间的变化测量条件: $V_g = V_s = V_b = 0, V_d = 1 V$

图 8 中关态漏电流退化特性对比说明,由于预加 HE 应力后相同时间内氧化层陷落负电荷的数量减少,使得亚阈值电流减少幅度变小很多,这减小了关态漏泄电流第一阶段的退化;同时注入栅氧化层的载流子的减少使氧化层中性电子陷阱产生率减小,栅氧化层内“电流细丝”数目的增加变慢,导致栅隧穿电流的增加幅度也比未施加 HE 应力的器件要小,栅电流达到第二阶段($I_g = I_{ss}$)的时间要增长了很多.总的来说,对于预加 HE 应力的器件,在一定时间内,漏泄电流的退化比没有预加 HE 应力的 MOS 器件减小很多.

4. 结 论

本文采用实验的方法,对 90 nm CMOS 工艺 NMOSFET 的 snapback 退化机理进行了研究,实验结

果发现 snapback 应力引起的器件损伤是漏端雪崩热载流子注入栅氧化层产生的.雪崩热空穴注入栅氧化层会在 Si-SiO₂ 界面产生界面态,引起跨导退化;注入氧化层的空穴会陷落在氧化层中,由于氧化层很薄,陷落的空穴并不稳定,会与隧穿入氧化层中的电子复合形成大量中性电子陷阱,氧化层电子陷阱俘获电子后带负电,引起阈值电压增大、亚阈值电流减小.氧化层中的中性电子陷阱增加也会使栅氧化层 SILC 增大.snapback 应力期间关态漏泄电流退化分两个阶段.第一阶段亚阈值电流是主要成分,随着栅氧化层陷阱的增多,在第二阶段栅电流是主要成分.在预加 HE 应力后,产生的界面态在 snapback 应力期间可以屏蔽热空穴注入栅氧化层,减少了界面态和栅氧化层中性电子陷阱的产生,导致 MOSFET 退化比未加 HE 应力的情况变小.

- [1] Salman A A , Gauthier R , Putnam C *et al* 2003 *IEEE Transactions on Devices and Materials Reliability* **3** 79
- [2] Mistry K R , Krakauer D B , Doyle B S 1990 *IEEE Electron Device Letters* **11** 460
- [3] Wang T , Chiang L P , Zous N K *et al* 1999 *IEEE Transactions on Electron Devices* **46** 1877
- [4] Luo Y H , Nayak D , Gitlin D *et al* 2003 *IEEE Electron Device Letters* **24** 686
- [5] Zhang X 1999 *MOSFET Models for VLSI Circuit Simulation : Theory and Practice* (Beijing : Science Press) p87 (in Chinese) 张 兴 1999 用于 VLSI 模拟的小尺寸 MOS 器件模型 : 理论与实践 (北京 : 科学出版社) p87]
- [6] Cester A , Meneghesso G , Gerardin S *et al* 2006 *IEEE Transactions on Device and Materials Reliability* **6** 87
- [7] Chen I C , Holland S , Hu C 1987 *J. Appl. Phys.* **61** 4544
- [8] DiMaria D J , Cartier E 1995 *J. Appl. Phys.* **78** 3883
- [9] Depas M , Nigam T , Heyns M M 1996 *IEEE Transactions on Electron Devices* **43** 1499
- [10] Wang Y G , Xu M Z , Tan C H *et al* 2005 *Acta Phys. Sin.* **54** 3884 (in Chinese) 王彦刚、许铭真、谭长华等 2005 物理学报 **54** 3885]
- [11] Chan T Y , Chen J , Ko P K , Hu C 1987 *IEDM* 718
- [12] Hansel G , Villareal E 1987 *Proc. EOS/ESD Symp.* 71

Investigation of snapback stress induced gate oxide defect for NMOSFET 's in 90 nm technology *

Zhu Zhi-Wei Hao Yue Ma Xiao-Hua Cao Yan-Rong Liu Hong-Xia

(*School of Microelectronics of Xidian University , The Key Laboratory of Ministry of Education for Wide-Band Gap Semiconductor Materials and Devices ,Xi 'an 710071 ,China*)

(Received 19 June 2006 ; revised manuscript received 6 July 2006)

Abstract

The experiment result shows that the holes generated by avalanche can be injected into gate oxide of a NMOSFET biased into snapback , and then both hole trapping and interface state generation can be found. These trapped holes may recombine with electrons tunneling into gate oxide due to the ultrathin gate oxide , and then many neutral electron traps would be generated and the gate oxide current would be increased. The threshold voltage would increase and the sub-threshold current would decrease when the injected electrons are trapped by the electron traps. The degradation of drain leakage current can be divided into two phases. Sub-threshold current is predominant in the first phase , while in the second phase gate current is predominant. After pre-HE stress , the generated interface states can reduce the number of holes being injected into gate oxide generated by avalanche process during snapback stress , which causes the MOSFET snapback degradation to decrease in on-state and off-state modes.

Keywords : snapback , soft breakdown , SILC , HE stress

PACC : 7220J , 7340Q , 7300 , 7155H

* Project supported by the National Natural Science Foundation of China(Grand No.60376024).