

SiGe 电荷注入晶体管的直流特性模型^{*}

舒 斌[†] 张鹤鸣 胡辉勇 宣荣喜 戴显英

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2006 年 4 月 3 日收到, 2006 年 6 月 22 日收到修改稿)

为了能直观地体现 SiGe/Si 电荷注入晶体管的收集极电流与漏源电压的关系, 利用输入端 SiGe/Si 量子阱中二维空穴气的隧道模型, 建立起此类器件的输入输出数学模型, 并利用 MATLAB 软件对所建模型进行了模拟, 结果显示在漏源电压约为 1.5 V 时, 漏电流出现较强的负微分电阻效应, 与文献报道结果符合.

关键词: SiGe/Si 异质结, 电荷注入晶体管, 二维空穴气, 隧道效应

PACC: 7340L, 7280E, 7360L

1. 引 言

随着集成电路的高速发展, Si 器件越来越显示出其物理与工艺极限, 因此, 现代微电子技术的一个重要研究方向就是发展具有新结构、新原理和新功能的半导体器件, 其中电荷注入晶体管(charge injection transistor, CHINT)就是该领域的成就之一. CHINT 器件速度快, 且单个器件就可以完成常规集成电路中需要多个晶体管才能完成的逻辑功能^[1,2], 有利于提高电路的集成度与速度. CHINT 的工作原理与 CMOS 逻辑器件和双极晶体管都不同, 而是基于二维载流子气(two dimensional carrier gas, 2DCG)的实空间转移(real space transfer, RST)效应的半导体器件. RST 效应可以描述为载流子在一个半导体薄层中, 被平行于这一薄层的电场加速并获得能量后, 跨越势垒到达邻近的层而形成输出的物理现象^[3]. 基于这一原理的器件被称为 CHINT 器件, 此类器件多数是基于 GaAs/AlGaAs 异质结材料实现的^[1-3], 而以 SiGe/Si 异质结材料构成的此类功能器件具有能够与传统的 Si 集成电路相容的优点, 因此 Si 基 SiGe/Si CHINT 器件利于降低成本和提高集成度. 目前国内对外对 SiGe/Si CHINT 器件的报道还不多, 在相关文献[1-3]中也仅有器件结构及其实验数据的报道, 并无输入和输出关系的数学模型, 有的则仅给出了经验公式, 比如, 在较高温度(高于 200°C)和相对较低

的偏压下, 输出电流遵守热电子模型^[4,5]:

$$I_C = I_C^{\text{SAT}} \exp(-qV_C/nkT), \quad (1)$$

$$I_C^{\text{SAT}} = SA^* T^2 \exp(-\phi/kT), \quad (2)$$

式中, I_C 是输出电流, I_C^{SAT} 是饱和输出电流, n 是二极管理想因子, S 是包含接触的发射结总面积, ϕ 是零偏压时的势垒高度, A^* 是有效理查逊常数. 从上面的模型可以看出, 这样的输出电流数学模型也仅仅是概念性的, 反映不出输出电流与输入电压和输出电压间的关系. 为深入研究 CHINT 器件的物理与电学特性, 建立其电流-电压特性模型是必要的.

本文在对二输入端 SiGe/Si CHINT 器件的结构和工作原理分析的基础上, 阐述了其伏安特性和逻辑功能, 建立了能较好的反应其输入输出关系的数学模型, 并利用 MATLAB 软件对此模型进行了模拟, 得到了与实验数据符合较好的模拟结果, 为进一步研究 SiGe/Si CHINT 器件的特性奠定了理论基础.

2. CHINT 器件的基本结构及工作原理

CHINT 器件可以分为二输入端和三输入端器件, 它们的工作机理及其电流-电压模型是相同的. 二输入端的 CHINT 器件横截面示意图如图 1 所示. 最上一层为发射层, 中间一层为势垒层, 最底一层为收集极, 一般的, 发射层和收集极所用的材料禁带宽度较窄, 如 SiGe 和 InGaAs 等^[6], 而势垒层所用的材料禁带宽度较宽, 如 Si 和 InAlAs 材料等, 势垒层的

^{*} 武器装备预研基金(批准号 51408061104DZ01)资助的课题.

[†] E-mail: binshu@xidian.edu.cn

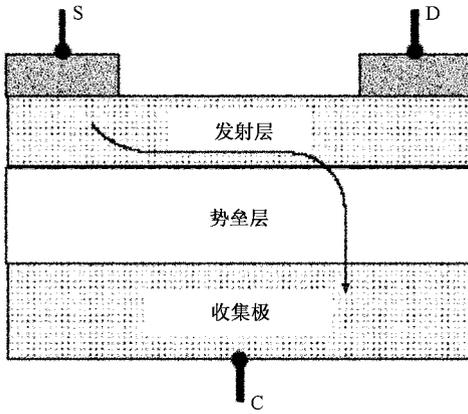


图 1 两输入端的 CHINT 器件示意图

作用是在无平行电场存在的时,阻止沟道中的载流子进入收集极。

CHINT 器件的工作原理为:当源极(S)接地,漏极(D)施加输入电压 V_{DS} ,收集极(C)施加偏压 V_C 时,在发射层与势垒层的界面的发射层一侧就会形成二维载流子气(2DCG),并形成导电沟道,从而在漏极产生漏电流 I_D ,沟道中的载流子被一定的漏源电压 V_{DS} “加热”后,能量将有所增加,其中能量比发射层与势垒层之间的异质结势垒高度还要高的那一部分载流子将发生如箭头所示的 RST 效应并到达收集极,形成收集极电流 I_C 。收集极电流 I_C 与漏源电压 V_D 和 V_S 服从以下的逻辑关系:

$$I_C = XOR\{V_S, V_D\} = (V_S \cup V_D) - (V_S \cap V_D), \quad (3)$$

(3)式所反应的逻辑关系如表 1 所示,可以看出,输出电流 I_C 与漏源电压 V_D 和 V_S 的逻辑关系为“异或”。

表 1 两输入端 CHINT 器件的真值表

输入 V_1	0	0	1	1
输入 V_2	0	1	0	1
输出 I_C	0	1	1	0
逻辑关系	异或			

3. SiGe/Si CHINT 器件的 $I-V$ 特性

图 2 为 $0.5 \mu\text{m} \times 40 \mu\text{m}$ 的 SiGe/Si CHINT 器件在室温下的 $I-V$ 特性曲线,其中图 2(a)所示为漏电流 I_D 与漏源电压 V_{DS} 的关系曲线,图 2(b)所示为收集极电流 I_C 与漏源电压 V_{DS} 的关系曲线^[1]。

由图 2(a)可以看出,在漏极电压 V_{DS} 大于 1 V 的时候,漏电流 I_D 表现出很强的负微分电阻(NDR)效应,其产生原因是由于收集极电流的增加速度高于源极电流的增加速度,且其峰谷比值(peak-to-valley ratio, PVR)随收集极偏压 V_C 的增大而增大。由图 2(b)可以看出,收集极电流 I_C 在空穴的 RST 效应刚开始之前,也就是漏极电压 V_{DS} 小于 1 V 的时候,由于在晶格温度下,沟道中的“冷”空穴可以热电子发射的形式注入到收集极中,所以这时就已经存在有较小的收集极电流 I_C 了。在收集极偏压 $V_C = -5.5 \text{ V}$ 的时候,已经证明漏电流的 PVR 大于 2, V_C 的进一步增加将使 I_D 的 PVR 也显著增加。实际上,由于 V_C 的增加,使得“冷”空穴的泄露也在增加,主要是由于其在异质界面的积累和空穴隧道作用的逐步增加,结果使 I_D 曲线下移,此电流仅使 PVR 有显著增加。

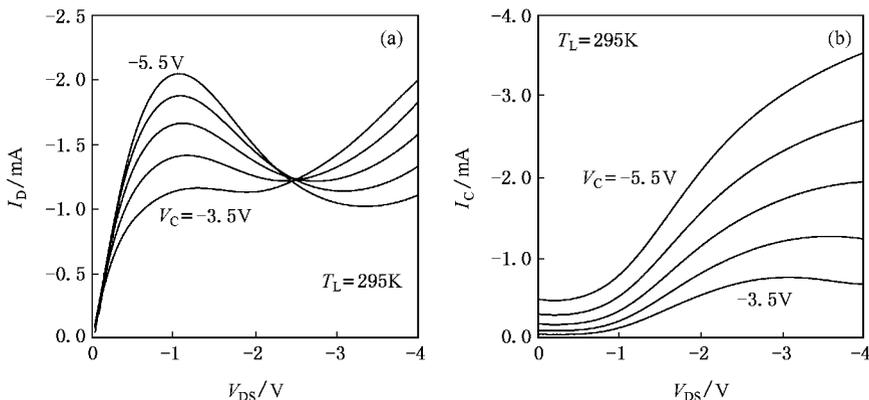


图 2 $0.5 \mu\text{m} \times 40 \mu\text{m}$ 的 SiGe/Si CHINT 器件在室温下的 $I-V$ 特性曲线 (a)漏电流 I_D 与漏源电压 V_{DS} 的关系 (b)收集极电流 I_C 与漏源电压 V_{DS} 的关系

4. 输入输出关系数学模型的建立

通过以上对 SiGe/Si CHINT 器件工作原理的分析可知,利用输入端量子阱中二维载流子的隧道效应就可以将输出电流与输入电压、输出电压的关系联系在一起.假设 x 是从源到漏的坐标,那么沟道中 x 处的电流可表示为: $Wp_s(x)qv(x)$,而源极电流 I_s 为 $x=0$ 处的沟道电流,即

$$I_s = Wp_s(x)qv(x)|_{x=0}, \quad (4)$$

式中, W 是沟道宽度, $v(x)$ 是沟道 x 处载流子的漂移速度,它是沟道电场和沟道 x 处载流子迁移率的函数, $v(x) = \mu(x)|E|$. 则收集极电流为

$$I_c = \int_0^{L_{ch}} Wp_s(x)qv(x)Tdx, \quad (5)$$

式中, T 是空穴隧穿势垒时的概率, $p_s(x)$ 为在 SiGe/Si 异质结势阱中 x 处的空穴面密度,在收集极电压较高时, P_s 是决定导电薄层中电流密度的另一个很重要的物理量,由于它与势阱的深度、掺杂浓度、散射机构以及异质结外加电压等诸多因素有关,实验数据^[7]显示, P_s 的量级一般为 $10^{11} \sim 10^{12} \text{ cm}^{-2}$, 它的表达式如下所示^[8]:

$$P_s = \frac{m_p^*}{\pi \hbar^2} \frac{kT}{q} \ln \left[1 + \exp \left(\frac{-q}{kT} (V - V_F - V_C) \right) \right], \quad (6)$$

式中, m_p^* 是空穴有效质量, k 是玻耳兹曼常数, V_F 是费米能级处电势, V 是空穴占据量子阱中的最低电势, V_C 是收集极电压在势垒界面的分压. 可见,在 SiGe/Si CHINT 结构中外加电压 V_C 对 V_F 距离 V 的位置的影响较大. 此外, P_s 也与温度有关,但在温度从 300 K 降到 13 K 的过程中, P_s 也只是从 $7.9 \times 10^{12} \text{ cm}^{-2}$ 降至 $5.8 \times 10^{12} \text{ cm}^{-2}$, 下降的幅度仅有 26%^[9], 由此可见,温度对空穴面密度 P_s 的影响很小.

空穴隧穿势垒的概率的表达式为^[10]

$$T = 16 \left(1 - \frac{E}{\Delta E_V} \right) \left(\frac{E}{\Delta E_V} \right) \times \exp \left(- \frac{2}{\hbar} \sqrt{2m_p^* (\Delta E_V - E)} a \right), \quad (7)$$

式中, a 是势垒区宽度, E 是空穴能量, ΔE_V 是价带顶弯曲量,可近似看作势垒区高度.

将各个物理量的表达式(5)后,得到 SiGe/Si CHINT 器件的收集极电流为

$$I_c = \int_0^{L_{ch}} W \frac{m_p^*}{\pi \hbar^2} kT \times \ln \left[1 + \exp \left(\frac{-q}{kT} (V - V_F - V_C) \right) \right] v(x) \times 16 \left(1 - \frac{E}{\Delta E_V} \right) \left(\frac{E}{\Delta E_V} \right) \times \exp \left(- \frac{2}{\hbar} \sqrt{2m_p^* (\Delta E_V - E)} a \right) dx, \quad (8)$$

式中, E 是空穴的能量,它是漏源电压 V_{DS} 的函数,因此 SiGe/Si CHINT 器件输出电流 I_c 除了受漏源电压 V_{DS} 的影响以外,还与沟道中二维空穴气(2DHG)的面密度 P_s , 异质结势垒高度, 势垒层宽度, 收集极偏压 V_C , 沟道的掺杂浓度, 沟道长度 L_{ch} 等诸多因素有关,其中温度、漏源电压 V_{DS} 和收集极偏压 V_C 对收集极电流 I_c 的影响最大,这是因为温度直接影响载流子的迁移率,漏源电压 V_{DS} 直接影响沟道电场,而电场又影响着沟道中载流子的漂移速度,进而影响着沟道中电流的大小,收集极电压 V_C 的大小除了直接影响异质结势垒的有效宽度以外,还将影响 2DHG 的面密度 P_s .

考虑到沟道中的空穴一部分通过隧穿势垒到达收集极成为收集极电流 I_c , 而另一部分通过沟道到达漏极成为漏电流 I_D , 因此,漏电流 I_D 可表示为

$$I_D = I_s - I_c. \quad (9)$$

5. 模拟结果及讨论

利用 MATLAB 软件对前面所建立的数学模型进行模拟. 模拟时所用的器件结构参数如图 3 所示^[11], 其中 a 是 30 nm 掺硼的锗层, b 是 600 nm SiO_2 , c 是 10 nm 钛, 100 nm 氮化钛和 500 nm 铝.

这种器件是利用快速热外延方法在 125mm 的 p 型 Si 衬底上生长 SiGe/Si 层的,其中发射层与收集极中 Ge 组分均为 30%. 应变 SiGe 层厚度为 15 nm, 这种器件的面积由 550 nm 深的台面刻蚀来确定, 后再淀积 600 nm 厚的 Si 氧化层,并在氧化层上掩膜和刻蚀从而确定源极、漏极和收集极接触.

值得注意的是,当收集极电流 I_c 较大时,收集极串联电阻的分压明显,使得收集极有效偏压降低,从而使 2DHG 的面密度 P_s 减小, P_s 的减小又使得收集极电流 I_c 出现了增幅放缓的现象,因此,考虑到收集极串联电阻对器件特性的影响以后,(6)和(8)式中所用到的收集极电压在势垒界面的分压 V_C

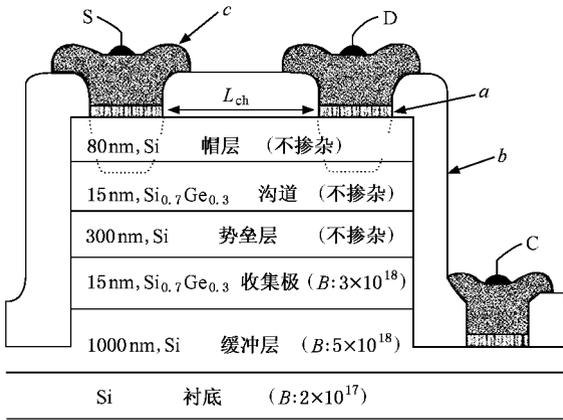


图 3 两输入端 SiGe/Si CHINT 器件结构的横截面示意图

应修正为 $(V_c - I_c R_c)$, 其中 R_c 是收集极串联电阻, 对于图 3 所示的器件结构, 其串联电阻约为十几个欧姆。

下面对所建立的输入输出关系数学模型进行模拟. 首先, 在不同的收集极偏压 V_c 下, 模拟漏电流 I_D 与漏源电压 V_{DS} 的关系, 模拟结果如图 4 所示, 其中 V_c 从 $-5.5V$ 到 $-3.5V$ (从上至下), 间隔为 $0.5V$. 其次, 在不同的收集极偏压 V_c 下, 模拟收集极电流 I_C 与漏源电压 V_{DS} 的关系, 模拟结果如图 5 所示, 其中 V_c 从 $-5.5V$ 到 $-3.5V$ (从上至下). 在模拟中, 取室温下 SiGe 的空穴迁移率为 $\mu = 630 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ [11].

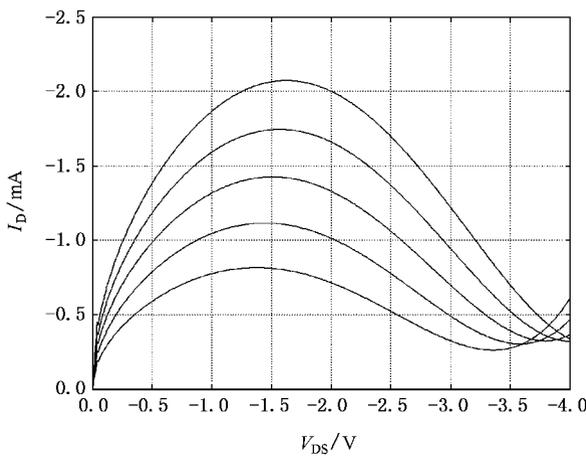


图 4 漏电流与漏源电压间的关系

将以上模拟出的 $I-V$ 特性曲线与图 2 和文献 [2, 3] 所报道的结果进行比较, 可以看出模拟出的器件 $I-V$ 特性已经与实验所得结果符合的较好, 说明利用 2DHG 的隧道效应所建立的 SiGe/Si CHINT 器

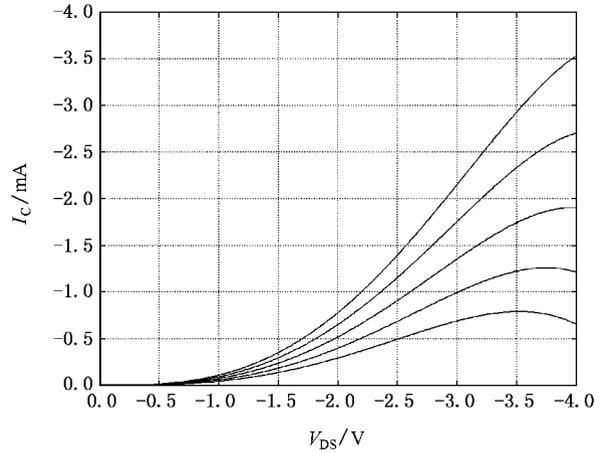


图 5 收集极电流与漏源电压间的关系

件的数学模型是基本正确的, 但由模拟结果看出, 该模型与实验数据间尚存在一定偏差, 产生这些偏差的主要原因有

(1) 建立的模型尚不完善. 在图 5 中, 当漏源电压 V_{DS} 为零时, I_C 并不为零, 这是因为沟道中的“冷”空穴可以热电子发射的形式注入到集电极形成收集极电流, 而文中所建数学模型没有将此情况考虑进去, 因此, 图 5 中的收集极电流 I_C 并不是从零开始增加。

(2) 温度对器件特性的影响. 温度对器件特性的影响主要体现在对沟道中载流子迁移率的影响, 而载流子的迁移率又直接影响着器件输出电流 I_C 的大小, 因此, 温度对 I_C 的影响较大. 实验数据显示, 在温度为 $300K$ 时, SiGe/Si 异质结中的 2DHG 的迁移率最好也只有 $630 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ [11], 而在温度为 $4.2K$ 时, 其迁移率可高达 $55000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ [12], 文中仅考虑了器件在室温情况下的工作情况, 忽略了温度对器件特性的影响。

以上两点使收集极电流模型与实验数据间存在一定的偏差, 而 I_C 的变化也间接导致了漏电流 I_D 的模拟结果与实验数据间存在一定的偏差。

(3) 其他影响因素的不确定性. 由于目前对 SiGe/Si 异质结材料各种特性的研究还处于探索阶段 (8) 式中有很多物理量, 如空穴迁移率、量子阱中 2DHG 的面密度 P_s , 空穴的有效质量等模型还不完善, 空穴能量和收集极电压分压等都是 x 的函数, 而且外加偏压对载流子漂移速度和面密度的影响也很大, 再加上对 SiGe/Si 异质结材料散射机构特性、势阱中空穴的性质等分析不足, 这些原因导致了模

拟结果与实验数据间还存在有一定的偏差.

6. 结 论

利用输入端 SiGe/Si 量子阱中 2DHG 的隧道模型, 建立起 SiGe/Si 电荷注入晶体管的输入输出数学模型, 并利用 MATLAB 软件对所建模型进行了模拟. 模拟结果显示漏源电压约为 1.5 V 时, 漏电流出现较强的 NDR 效应, 这表明该模型是基本正确的.

目前, 国内外对 SiGe/Si 异质结材料的各种特性虽然已经进行了较深入的研究, 但是某些研究还处于探索、发展阶段, 相应的模型也还不够成熟, 另外器件的外加偏压对二维载流子面密度及势垒的影响等内容也有待进行深入的分析研究, 这些原因导致所建立的 SiGe/Si CHINT 器件输出电流数学模型的模拟结果与所报道的实验数据间还存在有一定的偏差, 但该模型已基本可以表达 SiGe/Si CHINT 器件的输出电流与输入电压之间的数学关系.

- [1] Macro M, Clifford A K, Smith P R, Mark R P 1996 *IEEE Trans. ED* **43** 1671
- [2] Macro M, Clifford A K, Smith P R, Mark R P 1994 *IEEE IEDM* **41** 385
- [3] Serge L, Macro M 1999 *Wiley Encyclopedia of Electrical and Electronics Engineering* (New York : John G. Webster) p258
- [4] Gribnikov Z S, Kari H, Kosinovsky G A 1995 *J Appl. Phys.* **77** 1337
- [5] Chen Y W, Hsu W C, Shieh H M, Chen Y J, Lin Y S, Li Y J, Wang T B 2002 *IEEE Trans. ED* **49** 221
- [6] Shu B, Dai X Y, Zhang H M 2004 *Acta Phys. Sin.* **53** 235 (in Chinese) [舒 斌、戴显英、张鹤鸣 2004 物理学报 **53** 235]
- [7] Quinones E J, John S, Ray S K, Banerjee S K 2000 *IEEE Trans. ED* **47** 1715
- [8] Yu L S 1999 *Semiconductor Heterojunction Physics* (Beijing : Science Press) p237 (in Chinese) [虞丽生 1999 半导体异质结物理 (北京 : 科学出版社) 第 237 页]
- [9] Madhavi S, Venkataraman V, Xie Y H 2001 *J. Appl. Phys.* **89** 2497
- [10] Zhou S X 1979 *Quantum Mechanics* (Beijing : Higher Education Press) p49 (in Chinese) [周世勋 1979 量子力学教程 (北京 : 高等教育出版社) 第 49 页]
- [11] Chandrasekaran K 2003 *Computational Investigation of Novel Device Structures and Concepts* (Singapore : Nanyang Technological University) p4
- [12] Xie Y H, Monroe D, Fitzgerald E A, Silverman P J 1993 *Appl. Phys. Lett.* **53** 2263

Mathematical model of DC characteristic of SiGe charge injection transistors^{*}

Shu Bin[†] Zhang He-Ming Hu Hui-Yong Xuan Rong-Xi Dai Xian-Ying

(Key Lab of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices ,
School of Microelectronics , Xidian University , Xi ' an 710071 , China)

(Received 3 April 2006 ; revised manuscript received 22 June 2006)

Abstract

To visualize the relationship between the collector current and source-drain voltage in the SiGe/Si chare injection transistor (CHINT), the mathematical model of this device is set up by using the tunnel model of two-dimensional hole gas(2DHG) in SiGe/Si quantum well. Then the model is simulated by MATLAB , the result shows that the drain current shows strong negative differential resistance when V_{DS} is about 1.5V , which is in accordance with the results of the other papers.

Keywords : SiGe/Si , chare injection transistor , two-dimensional hole gas , tunnel effect

PACC : 7340L , 7280E , 7360L

^{*} Project supported by the National Defense Pre-research Foundation of China(Grant No. 51408061104DZ01).

[†] E-mail : binshu@xidian.edu.cn