

基于 Si 掺杂 Sb_2Te_3 薄膜的相变存储器研究

张祖发¹⁾ 张胤¹⁾ 冯洁^{1)†} 蔡燕飞²⁾ 林殷茵²⁾ 蔡炳初¹⁾ 汤庭鳌²⁾ Bomy Chen³⁾

1) 上海交通大学“薄膜与微细技术”教育部重点实验室,“微米/纳米加工技术”国家级重点实验室,微纳科学技术研究院,上海 200030)

2) 复旦大学专用集成电路和系统国家重点实验室,上海 200433)

3) Silicon Storage Technology Inc., Sunnyvale, CA94086, USA)

(2006 年 9 月 30 日收到,2006 年 12 月 14 日收到修改稿)

采用磁控三靶(Si, Sb 及 Te)共溅射法制备了 Si 掺杂 Sb_2Te_3 薄膜,作为对比,制备了 $Ge_2Sb_2Te_5$ 和 Sb_2Te_3 薄膜,并且采用微加工工艺制备了单元尺寸为 $10\ \mu\text{m} \times 10\ \mu\text{m}$ 的存储器件原型来研究器件性能.研究表明, Si 掺杂提高了 Sb_2Te_3 薄膜的晶化温度以及薄膜的晶态和非晶态电阻率,使得其非晶态与晶态电阻率之比达到 10^6 ,提高了器件的电阻开/关比.同 $Ge_2Sb_2Te_5$ 薄膜相比,16at% Si 掺杂 Sb_2Te_3 薄膜具有较低的熔点和更高的晶态电阻率,这有利于降低器件的 RESET 电流.研究还表明,采用 16at% Si 掺杂 Sb_2Te_3 薄膜作为存储介质的存储器件原型具有记忆开关特性,可以在脉高 3V、脉宽 500 ns 的电脉冲下实现 SET 操作,在脉高 4 V、脉宽 20 ns 的电脉冲下实现 RESET 操作,并能实现反复写/擦,而采用 $Ge_2Sb_2Te_5$ 薄膜的相同结构的器件不能实现 RESET 操作.

关键词:相变存储器,硫系化合物, Si 掺杂 Sb_2Te_3 薄膜, SET/RESET 转变

PACC: 7865P, 8730G

1. 引 言

近年来,随着计算机技术、移动通信和数码产品的快速发展,对不挥发半导体存储器的需求量显著增加.目前不挥发存储器市场的主流是闪存,然而,闪存自身存在的一些不足,如较长的写入时间($> 10\ \mu\text{s}$)和较低的循环次数($\sim 10^6$),使其很难满足未来半导体存储器发展对更高擦写速度和存储密度的要求.另外由于存储电荷的基本要求,浮栅不能无限制的减薄,突破 45 nm 半导体制程存在很大的技术困难^[1-3].因此,寻找一种理想的半导体存储器作为闪存的后继技术和替代者成为当今业界研究的热点.基于硫系化合物的相变存储器(PCM)因其读/写速度快、可擦写次数多($> 10^{12}$)、结构简单、不挥发性以及与现有的 CMOS 工艺兼容等优点,被认为是最有可能成为未来通用的不挥发存储器技术之一^[4-6].

PCM 以硫系化合物为存储介质,硫系化合物具有稳定的两态:晶态(低阻)和非晶态(高阻),分别对应着逻辑数值“1”和“0”,利用电脉冲可以使材料在

晶态与非晶态之间相互转换实现信息的写入与擦除,然后通过流经器件电流的大小来识别数据存储空间.目前在 PCM 中应用最广泛的存储介质是 $Ge_2Sb_2Te_5$ (GST),然而 GST 较高的熔点(620°C)和较低的晶态电阻率使得它在从晶态(SET 态)向非晶态(RESET 态)的转变(RESET 转变)过程中需要较高的能量,从而限制了其存储密度的进一步提高.降低从晶态到非晶态的编程电流(RESET 电流),提高器件的存储密度是当前 PCM 研究急需解决的问题.研究发现,在硫系化合物中掺杂其他元素^[7-9],可以提高相变材料晶态电阻率,降低 RESET 电流.另一方面, SbTe 作为另外一类相变材料,具有较高的结晶速度^[10],可以满足存储器对高速存储的要求,但是其较低的结晶温度对 PCM 中数据的稳定性很不利,同时这种材料的晶态电阻率较低,需要较大的 RESET 电流.研究表明,在 SbTe 中掺杂其他元素可以有效地改善材料的性能^[11],使其满足 PCM 对相变介质性能的要求.本文研究了一种新的相变存储材料 Si 掺杂 Sb_2Te_3 ,对该材料的结构和结晶行为进行了分析,并将这种材料应用到相变存储器件中,研究了器件

† 通讯作者. E-mail: jifeng@sjtu.edu.cn

单元的存储特性,初步验证了 Si 掺杂 Sb_2Te_3 材料在相变存储器中应用的可能性.

2. 实 验

利用 ULVAC MPS-3000 超高真空磁控溅射仪,采用两靶和三靶(Si, Sb 和 Te 靶)共溅射法在 $SiO_2/Si(100)$ 衬底上制备 Sb_2Te_3 和 Si 掺杂 Sb_2Te_3 薄膜, Si 掺杂量为 16 at%, 作为对比的 GST 薄膜采用 GST 合金靶制备, 薄膜厚度均为 200 nm. 薄膜成分由能谱仪(EDS)得到, 材料的熔点采用示差热分析仪测试(DSC). 对薄膜样品在不同温度下进行退火处理, 退火时间为 3 min, 退火期间通入 Ar 气进行保护, 而后用四探针法测量薄膜的方块电阻. 采用 Rigaku D/MAX 2550V X 射线衍射仪分析退火前后薄膜的晶体结构.

存储器件单元采用图 1 所示的结构, 其制备工艺如下: 在 $SiO_2/Si(100)$ 衬底上溅射 TiN 和 W 作为下电极, 然后采用等离子体增强化学气相沉积法(PECVD)在下电极上生长 SiO_2 作为绝缘层, 利用光刻工艺和反应离子刻蚀(RIE)将其图形化, 得到直径为 $10\ \mu m$ 的接触孔, 接着依次沉积 16at% Si- Sb_2Te_3 或 GST 作为相变存储介质和 W 作为上电极, 最后在丙酮中去除光刻胶得到存储器件单元. 利用 Agilent 4156C 半导体参数测试仪测试器件的 $I-V$ 特性, 器件转变特性测试中利用 Agilent 33220A 脉冲发生器产生可变的 SET/RESET 脉冲. 器件电阻读取电压为 0.05 V.

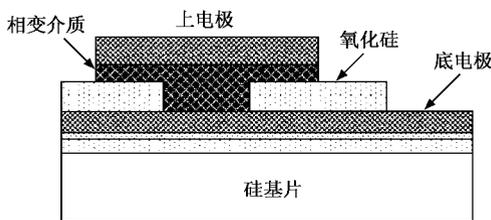


图 1 器件存储单元结构示意图

3. 结果与讨论

3.1. 相变薄膜特性

图 2 是 Sb_2Te_3 和 16at% Si- Sb_2Te_3 薄膜在沉积态和 $300^\circ C$ 退火后的 XRD 谱图. 从图中可以看出,

Sb_2Te_3 薄膜在沉积态已经发生结晶, 结晶相为 Sb_2Te_3 . 退火后, 晶粒长大, 结晶相没有发生变化. Si 掺杂以后, 沉积态的薄膜为非晶态, $300^\circ C$ 退火后薄膜中主要的结晶相为 Sb_2Te_3 相, 在 XRD 中没有观察到含 Si 的相, Si 在薄膜中可能以下列方式存在: (1) 可能有少量的 Si 存在于 Sb_2Te_3 晶粒中; (2) 大部分 Si 以非晶硅或非晶硅化物的形式存在于晶界上, 因为非晶硅的晶化温度高 ($> 600^\circ C$) 并且晶化时间长(几个小时)^[12], 在现有的退火条件下非晶硅无法完成晶化, 因此在 XRD 中没有观察到 Si 的衍射峰.

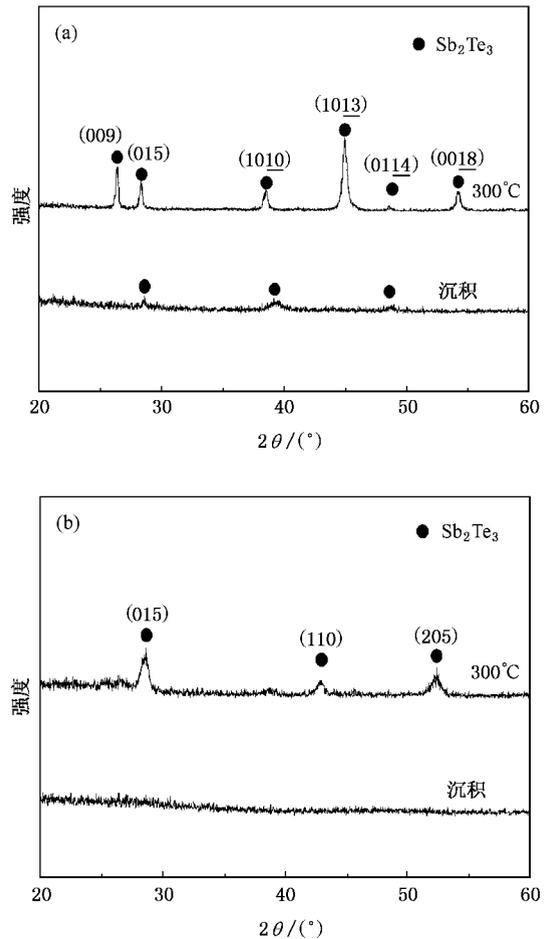


图 2 薄膜在沉积态和 $300^\circ C$ 退火下的 XRD 图谱 (a) Sb_2Te_3 ; (b) 16at% Si- Sb_2Te_3

图 3 为 Sb_2Te_3 和 16at% Si- Sb_2Te_3 薄膜电阻率随退火温度的变化曲线. 为了便于对比, GST 薄膜电阻率随退火温度的变化曲线也列于图 3 中. 从图中可以看出, Sb_2Te_3 薄膜电阻率随退火温度的变化很小, 结合前面的 XRD 分析可知, 薄膜在制备后已经为晶态, 这也与文献 [13] 的 Sb_2Te_3 晶化温度很低 ($85^\circ C$)

相一致. 当退火温度升高到 250℃ 左右时, 16at% Si-Sb₂Te₃ 薄膜电阻率出现急剧下降, 这对应着薄膜的晶化过程. 比较 Sb₂Te₃ 薄膜和 16at% Si-Sb₂Te₃ 薄膜电阻率随退火温度的变化曲线可以看出, 一方面 Si 掺杂提高了 Sb₂Te₃ 薄膜的晶化温度, 使得薄膜的非晶态更加稳定, 并且有研究表明, 随着 Si 相对含量的提高, Si-Sb-Te 薄膜的晶化温度也随之提高^[14]; 另一方面, 16at% Si-Sb₂Te₃ 薄膜非晶态和晶态电阻率同时提高, 非晶态/晶态的电阻率变化达到 10⁶, 有利于提高器件的开/关比和数据读出的可靠性. 有文献报道, 在 GST 中掺杂氮元素和氧元素都有提高 GST 晶态电阻率的作用, 晶态电阻率的提高使得器件在 RESET 过程中能量传输更加有效, 发生 RESET 转变所需电流减小^[9, 45]. 通过对比图 3 中 16at% Si-Sb₂Te₃ 薄膜和 GST 薄膜的电阻率曲线发现, 360℃ 退火后, 16at% Si-Sb₂Te₃ 薄膜的电阻率为 28.4 mΩ·cm, 而 GST 的电阻率为 2.35 mΩ·cm, 16at% Si-Sb₂Te₃ 的晶态电阻率是 GST 的 10 倍以上, 同时, DSC 分析显示, 16at% Si-Sb₂Te₃ 材料熔点为 537℃, 且文献[14]报道 Si-Sb-Te 材料的熔点比 GST 材料(620℃)低了几十度, 这些都表明 Si 掺杂 Sb₂Te₃ 材料具有比 GST 更低的熔点. 更高的薄膜晶态电阻率和较低的熔点可以有效的降低器件的 RESET 电流.

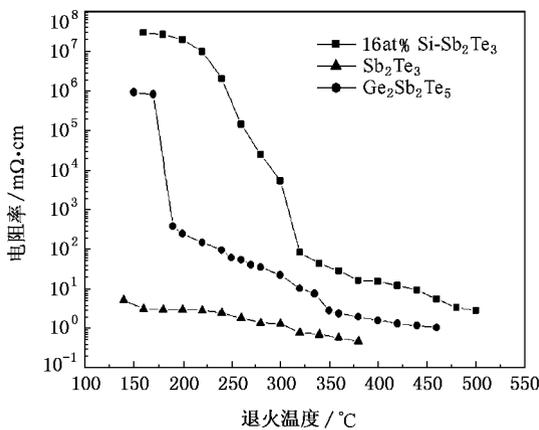


图 3 薄膜电阻率与退火温度的关系

3.2. 相变存储器器件特性

图 4 为 16at% Si-Sb₂Te₃ 器件的 $I-V$ 特性曲线. 第一次扫描时, 因为薄膜的沉积态为非晶态, 器件在初始表现为高阻态. 在低电压区域, 流经器件的电流很小并随着电压的增大缓慢增加, 当电压大于阈值

电压 V_{th} 时, 流经器件的电流急剧增大, 这是由于 16at% Si-Sb₂Te₃ 材料发生从非晶态(高阻)向晶态(低阻)的相变, 随着微晶含量的增多而形成导通的晶化通道, 器件电阻突然下降, 流经器件的电流沿着晶化通道迅速增大, 器件表现出负阻效应. 第二次施加电压时, 器件依然为低阻态, 这是记忆开关效应的典型特性.

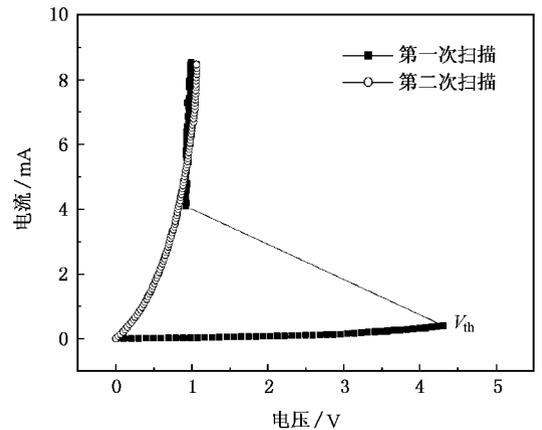


图 4 16at% Si-Sb₂Te₃ 器件的 $I-V$ 特性曲线

为了验证 16at% Si-Sb₂Te₃ 在 PCM 中应用的可能性, 对这种材料的器件进行了脉冲转变测试, 并与 GST 器件转变特性进行了比较, 两种器件的结构相同(如图 1 所示). 图 5 为 16at% Si-Sb₂Te₃ 和 GST 器件的 $R-V$ 特性曲线. 测试前器件相变层均为沉积态, 器件处于高阻态. 如图 5(a) 所示, 对于 16at% Si-Sb₂Te₃ 器件, 在器件从高阻向低阻的转变(SET 转变)过程中, 施加在器件上的 SET 脉冲宽度为 500 ns, 当幅值较低时(< 3 V), 由于传输的能量不足以使相变材料发生结晶, 器件仍将处于高阻态, 一旦电压脉冲幅值超过 3 V, 充足的能量会使得相变材料发生形核和长大, 在 16at% Si-Sb₂Te₃ 薄膜中形成高电导的晶化通道, 器件电阻转变为低阻的 SET 态. 随后对器件施加宽度为 20 ns 的 RESET 电压脉冲, 进行 RESET 转变, 电压脉冲幅值高于 4 V 时, SET 过程中形成的高电导的晶化通道熔化并急冷为非晶态, 器件转变为高阻态. 而由图 5(b) 可以看出, 虽然 GST 器件可以实现 5 V-100 ns 的 SET 转变, 但是在进行 RESET 转变时发现, 电压脉冲宽度为 20 ns 时, 即使电压达到 10 V, 器件依然保持在低阻态, 当 RESET 脉冲宽度变为 40 ns 时, 依然如此, 这是由于所施加的能量不足以使 GST 材料达到熔点. 由前面的分析

可知 相同的结构和测试条件下, $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 器件可以实现 $4 \text{ V}-20 \text{ ns}$ 的 RESET 转变, 而 GST 器件不能. 这可能归结于 $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 晶态电阻率较 GST 高, 且熔点较 GST 低, 因而所需的 RESET 电流较 GST 小, 能够实现大尺寸条件下器件的 RESET 转变. 随着器件尺寸进一步缩小, 器件的 RESET 电流有可能进一步减小. 与此同时, 从图 5 中也看出, 与 GST 器件相比, $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 器件的 SET 转变时间较长, 结合前面的 XRD 分析, 这可能是由于在 SET 转变过程中大部分的硅仍然以非晶的形式存在, 而这些非晶硅或非晶硅化物的存在增加了 Sb, Te 原子在晶化过程中移动的难度, 导致材料的晶化速率降低, 器件的 SET 时间增加.

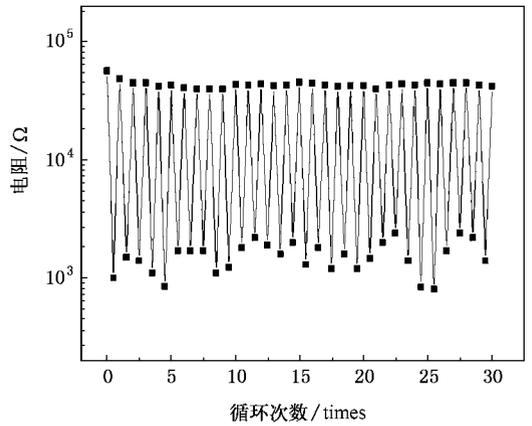


图 6 $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 器件的 SET/RESET 循环转变特性

上述结果初步验证了 $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 在 PCM 中应用的可能性. 与 GST 相比, $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 由于具有较高的晶态电阻率和较低的熔点, 在降低器件的 RESET 电流方面较大的优势. 但是仍然存在一些问题需要研究, 例如, 结晶后的 GST 薄膜是以面心立方单相的形式存在^[8], 其器件的循环寿命可以达到 10^{12} 次^[2], 而 $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 薄膜退火后存在多相, 相分离对器件循环寿命的影响有待研究.

4. 结 论

利用磁控溅射法制备了 $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 薄膜、 Sb_2Te_3 薄膜和作为对比的 GST 薄膜. 通过 XRD 谱和薄膜电阻率与退火温度的关系曲线研究了薄膜的结构和电学性能. 相比 GST 薄膜, $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 薄膜具有更高的晶态电阻率和较低的熔点, 有利于降低器件的 RESET 电流.

采用半导体工艺制备了基于 $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 、单元尺寸 $10 \mu\text{m} \times 10 \mu\text{m}$ 的相变存储器件, 该器件具有记忆开关特性, 并且可以在 $3 \text{ V}-500 \text{ ns}$ 电脉冲下实现 SET 操作, 在 $4 \text{ V}-20 \text{ ns}$ 电脉冲下实现 RESET 操作, 并可以稳定循环多次, 而相同结构的 GST 器件不能进行 RESET 操作. $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 器件能够实现大尺寸下的 SET/RESET 循环转变和较小的 RESET 电流可能归结于材料具有较低的熔点和较高的晶态电阻率.

感谢 Silicon Storage Technology 公司对本项目的经费支持.

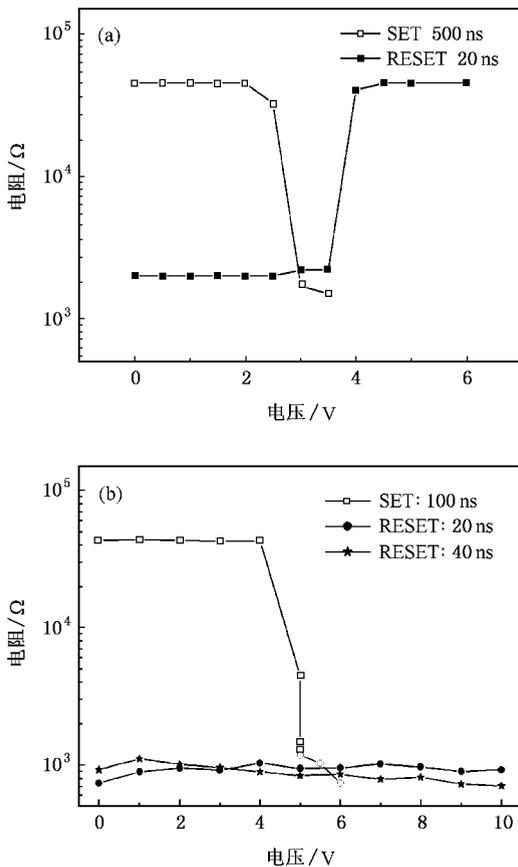


图 5 相变存储器器件 $R-V$ 特性曲线 (a) $16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ (b) GST

$16\text{at}\% \text{Si-Sb}_2\text{Te}_3$ 器件循环转变特性测试如图 6 所示. 测试过程中, RESET 脉冲的宽度固定在 20 ns , SET 脉冲宽度在 $500 \text{ ns}-10 \mu\text{s}$ 之间变化. 从图中可以看出, RESET/SET 电阻之比可以达到 40, SET 脉冲宽度可以短到 500 ns .

- [1] Lai S 2003 *IEEE IEDM Tech. Dig.* **3** 255
- [2] Lai S , Lowrey T 2001 *IEEE IEDM Tech. Dig.* **1** 803
- [3] Maimon J , Spall E , Quinn R , Schunur S 2001 *IEEE Aero. Conf. Proc.* **5** 2289
- [4] Pirovano A , Lacaite A L , Benvenuti A , Pellizzur , Hudgens S , Bez R 2003 *IEEE IEDM Tech. Dig.* **3** 699
- [5] Tyson S , Wicker G , Lowrey T , Hudgens S , Hunt K 2000 *IEEE Aero. Conf. Proc.* **5** 385
- [6] Bez R , Pirovano A 2004 *Materials Science in Semiconductor Processing* **7** 349
- [7] Lai Y F , Feng J , Qiao B W , Lin Y , Lin Y Y , Tang T A , Cai B C , Chen B M 2006 *Acta Phys. Sin.* **55** 4347 (in Chinese) [赖云峰、冯 洁、乔保卫、凌 云、林殷茵、汤庭鳌、蔡炳初、陈邦明 2006 物理学报 **55** 4347]
- [8] Qiao B W , Feng J , Lai Y F , Ling Y , Lin Y Y , Tang T A , Cai B C , Chen B 2006 *Applied Surface Science* **252** 8404
- [9] Matsuzaki N , Kurotsuchi K , Matsui Y , Tonomura O , Yamamoto N , Fujisaki Y , Kitai N , Takemura R , Osada K , Hanzawa S , Moriya H , Iwasaki T , Kawahara T , Takaura N , Terao M , Matsuoka M , Moniwa M 2005 *IEEE IEDM Tech. Dig.* **5** 738
- [10] Yamada N , Ohno E , Nishiuchi K , Akahira N , Takao M 1991 *J. Appl. Phys.* **69** 2849
- [11] Lankhorst M H R , Ketelaars B W S M M , Wolters R A M 2005 *Nat. Mater.* **4** 347
- [12] Lin K X , Lin X Y , Liang H Y , Chi L F , Yu C Y , Huang C J 2002 *Acta Phys. Sin.* **51** 863 (in Chinese) [林揆训、林璇英、梁厚蕴、池凌飞、余楚迎、黄创君 2002 物理学报 **51** 863]
- [13] Wei H W , Li C C , Cheng T Z 2004 *Surface and Coatings Technology* **177**—**178** 795
- [14] Qiao B W , Feng J , Lai Y F , Cai Y F , Lin Y Y , Tang T A , Cai B C , Chen B 2006 *Semicond. Sci. Technol.* **21** 1073
- [15] Honi H , Yi J H , Park J H , Ha Y H , Baek I G , Park S O , Hwang Y N , Lee S H , Kim Y T , Lee K H , Chug U I , Moon J T 2003 *Symp. On VLSI Tech. Dig.* p177

Study of Si-doped Sb_2Te_3 films for phase change memory

Zhang Zu-Fa¹⁾ Zhang Yin¹⁾ Feng Jie^{1)†} Cai Yan-Fei²⁾ Lin Yin-Yin²⁾
Cai Bing-Chu¹⁾ Tang Ting-Ao²⁾ Bomy Chen³⁾

1) *Key Laboratory for Thin Film and Microfabrication Technology of Ministry of Education , National Key Laboratory of Nano/Micro Fabrication Technology , Institute of Micro/Nano Science and Technology , Shanghai Jiaotong University , Shanghai 200030 , China)*

2) *State Key Laboratory of ASIC & System , Fudan University , Shanghai 200433 , China)*

3) *Silicon Storage Technology Inc. , Sunnyvale , CA94086 , USA)*

(Received 30 September 2006 ; revised manuscript received 14 December 2006)

Abstract

Silicon doped Sb_2Te_3 films were deposited by three target (Si , Sb and Te) co-sputtering. For comparison , $\text{Ge}_2\text{Sb}_2\text{Te}_5$ and Sb_2Te_3 films were also prepared. Memory cells (pore size = $10\ \mu\text{m} \times 10\ \mu\text{m}$) were fabricated by micro-fabrication to further study their storage performance. Results indicate that silicon doping increases the crystallization temperature. Meanwhile , silicon doping drastically enhances the resistivity ratio (high resistance state/low resistance state) to 10^6 by increasing both amorphous resistivity and crystal resistivity so as to further increasing the ON/OFF ratio of memory cell. Compared with $\text{Ge}_2\text{Sb}_2\text{Te}_5$ film , 16at% Si- Sb_2Te_3 film has a higher crystalline resistivity and lower melting temperature , which are helpful to the reduction of RESET current. Memory cell with silicon doped Sb_2Te_3 film possesses memory storage characteristics , and it can be reversibly switched between the high resistance state (RESET status) and the low resistance state (SET status). The SET status can be triggered by electrical pulse of 3 V , 500 ns and it comes back to the RESET status when 4 V , 20 ns pulse is applied , while $\text{Ge}_2\text{Sb}_2\text{Te}_5$ cells , with the same structure can't be switched back to RESET state.

Keywords : phase-change memory , chalcogenide , Si-doped Sb_2Te_3 film , SET/RESET switching

PACC : 7865P , 8730G

† Corresponding author. E-mail : jfeng@sjtu.edu.cn