

量子点浮置栅量子线沟道三栅结构单电子 场效应管存储特性的数值模拟^{*}

刘 奎 丁宏林 张贤高 余林蔚 黄信凡 陈坤基[†]

(南京大学物理系, 固体微结构国家实验室, 南京 210093)

(2007 年 12 月 3 日收到, 2008 年 5 月 9 日收到修改稿)

通过建立二维薛定谔方程和泊松方程数值模型, 对基于硅量子点浮置栅和硅量子线沟道三栅结构单电子场效应管(FET)存储特性进行了研究. 通过在不同尺寸、栅压和不同写入电荷条件下, 对硅量子线沟道中电子浓度的二维有限元自洽数值求解, 研究了在纳米尺度下硅量子线沟道中量子限制效应和电荷分布对于器件特性的影响. 模拟结果发现, 沟道的导通阈值电压随着尺寸的缩小而提高, 并随浮置栅内存储的电子数目的增加而明显升高. 然而, 这样的增加趋势在受到纳米尺度沟道中高电荷密度的影响下将出现非线性饱和趋势. 进一步研究发现, 当沟道尺寸较小时, 沟道内的强量子限制效应能够有效地抑制非线性饱和趋势. 另外, 由于沟道阈值电压偏移量能灵敏地反映出浮置栅内电子数目的变化, 这也为多值存储功能提供了可能.

关键词: 三栅单电子 FET 存储器, 量子效应, 薛定谔方程, 泊松方程

PACC: 6120J, 7280C, 7320D

1. 引 言

以多晶硅为浮置栅的传统非挥发性存储器利用 Fowler-Nordheim 隧穿实现电荷的写入和擦除过程, 较高的操作电压和较低的速度限制了传统浮置栅存储器的性能. 于是, 更多的研究兴趣转向以纳米硅为浮置栅的非挥发性存储器件^[1,2], 它利用直接隧穿薄氧化层来实现擦写过程, 因而具有更快的速度和更低的操作电压^[1]. 然而, 这种以相互隔离的纳米晶粒为浮置栅的存储器件其性能易受器件尺寸的影响, 分布的纳米晶粒尺寸会导致阈值电压偏移出现较大起伏, 从而不适于大规模集成. 基于 SOI (silicon-on-insulator) 工艺, 以单个量子点为浮置栅的单电子 MOSFET 存储器成为新的关注焦点^[3-5], 其有望被用以实现功耗更低、集成度更高的器件. 该结构中, 沟道宽度小于单个电子的德拜长度(Debye length), 对于整个沟道, 浮置栅内单个电子对控制栅的屏蔽效应都很显著, 只需少量的电子便能实现离散的阈值电压偏移^[3]. 在如此小尺寸的器件中, 量子效应对器件性能有至关重要的影响. 理论上, 对于量子器件的

这种影响, 一般可通过求解能量量子带的方法进行研究. 求解方法通常采用薛定谔方程和泊松方程的自洽解法^[6-8], 该方法同样被用来研究基于量子线沟道的非挥发性存储器^[9,10]. 本文采用该方法研究基于硅量子点浮置栅和硅量子线沟道的三栅单电子 FET 存储器在室温下的工作特性, 为今后此类器件的实现提供了依据.

2. 器件模型和原理

图 1 为基于硅量子点浮置栅和硅量子线沟道的三栅单电子 FET 存储结构的剖面示意图. 其沟道为 SOI 基片上的 p 型硅薄层经刻蚀后形成的量子线, 宽度为 w_{wire} , 厚度为 t_{wire} , 掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$. 源极和漏极分别在纸面内外, 栅极为 Π 形三栅结构. 控制栅氧化层厚度 t_{ctrl} 和隧穿氧化层厚度 t_{tun} 分别为 4 nm 和 1.5 nm. 作为浮置栅的纳米硅量子点直径为 3 nm.

在尺寸如此小的结构中, 量子效应相当显著, 传统的通过解泊松方程的研究方法不再适用^[11], 因而

^{*} 国家重大科学研究计划项目(批准号 2006CB932202), 国家自然科学基金(批准号 90301009, 60571008)资助的课题.

[†] 通讯联系人. E-mail: kjchen@netra.nju.edu.cn

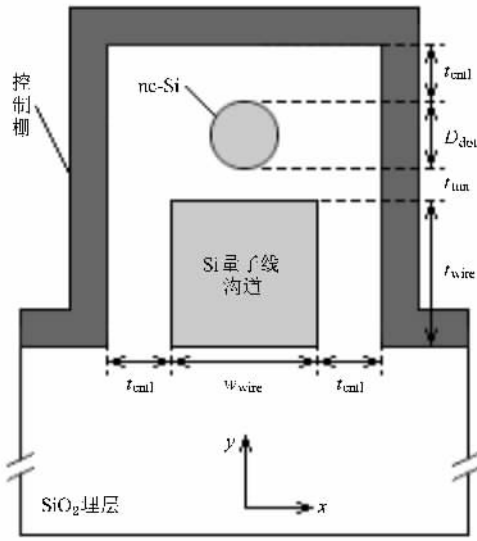


图1 硅量子点浮置栅硅量子线沟道三栅结构单电子 FET 存储结构的剖面示意图

本文采用自洽的二维薛定谔方程和泊松方程的有限元解法. 二维薛定谔方程和泊松方程的自洽解法在图1所示的二维剖面内进行, 而对于浮置栅的模拟则在三维空间内展开. 模拟温度为室温(300 K).

电势 $\Phi(x, y)$ 通过求解全剖面空间内的二维泊松方程

$$\left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} \right) \Phi(x, y) = \frac{q}{\epsilon} [n(x, y) + N_A] \quad (1)$$

获得, 其中 q 为基元电荷, ϵ 为材料的介电常数, $n(x, y)$ 和 N_A 分别为电子浓度和受主离子浓度. 二维薛定谔方程

$$\left[-\frac{\hbar^2}{2m^*} \left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} \right) - q\Phi(x, y) \right] \Psi_i(x, y) = E_i \Psi_i(x, y), \quad (2)$$

用于求解量子线沟道内第 i 个能量子带的波函数 $\Psi_i(x, y)$ 及其最小能量 $E_i(x, y)$, 其中态密度电子质量 (density-of-states electron mass)^[12] 定义为 $m^* = 6^{2/3} (m_i^2 m_l)^{1/3} = 1.084 m_0$. 电子浓度 $n(x, y)$ 通过累加所有子带电子浓度得到

$$n(x, y) = \sum_i \int_{-\infty}^{+\infty} N_i(E) f(E) |\Psi_i(x, y)|^2 dE, \quad (3)$$

其中 $f(E)$ 为 Fermi 分布函数

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)}. \quad (4)$$

考虑到量子线沟道内的二维量子限制效应(3)式中

使用了一维结构的态密度

$$N_i(E) = \frac{1}{\pi w_{\text{wire}} t_{\text{wire}}} \sqrt{\frac{2m^*}{\hbar^2}} \frac{1}{\sqrt{E - E_i}}, \quad (5)$$

事实上, 由于室温下能量高于导带边 $10kT$ 以上的子带内占据的电子数目相对可以忽略, 通常只需考虑能量介于 E_c 和 $E_c + 10kT$ 之间的所有子带.

我们以电子浓度 $n(x, y)$ 为迭代变量并采用有限元的方法求解方程(1)和(2), 迭代过程采用低松弛 (underrelaxation) 的方法^[13], 初始条件为 $n(x, y) = 0$ 收敛条件为连续两次 $n(x, y)$ 的差异在 0.1% 以内.

考虑在小源漏偏压 ($V_D = 10$ mV) 的线性响应近似条件下, 源漏电流可以表示为

$$I_D = \iint_{w_{\text{wire}} \times t_{\text{wire}}} q \mu_n \frac{V_D}{L} n(x, y) dx dy, \quad (6)$$

其中 μ_n 为沟道内电子迁移率, 近似取为常数 $300 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, L 为沟道长度, 因三栅 FET 能有效抑制短沟道效应^[14], L 取 50 nm 对于模拟是可行的.

3. 模拟结果

首先我们研究沟道截面为正方形的结构. 图2所示为不同尺寸、栅压和写入电荷条件下沟道内的电子浓度. 图2(a)和(b)所示分别为沟道尺寸为 $4 \text{ nm} \times 4 \text{ nm}$ 的同一结构在不同写入电荷条件下沟道内的电子浓度. 比较两图可以发现, 在栅压保持不变 ($V_G = 0.11 \text{ V}$) 的情况下, 当单个电子隧穿进入量子点浮置栅后, 沟道内电子浓度由 10^{18} cm^{-3} 下降到 10^{15} cm^{-3} 量级, 这主要是由写入电子对栅压的屏蔽效应引起的, 它将必然导致阈值电压的偏移. 图2(c)所示为沟道尺寸为 $8 \text{ nm} \times 8 \text{ nm}$ 的结构在栅压为阈值电压时沟道内的电子浓度, 其浓度分布不同于前者, 表现为多峰的形式, 且峰位靠近沟道边缘, 这是量子限制效应因尺寸的增大而相对减弱所致.

进一步改变编程电压, 以使更多电子被写入量子点浮置栅^[9,10]. 如图3所示, 在沟道尺寸为 $4 \text{ nm} \times 4 \text{ nm}$ 的结构中, 当写入电子数不同时, $I_D - V_G$ 关系曲线出现明显偏移, 阈值电压随写入电子数的增加而增大. 进一步计算显示, 只写入单个电子时, 阈值电压偏移量为 0.23 V , 而当写入电子数增加到6时, 阈值电压偏移量增大到 1.32 V , 可见该结构对于电荷的写入是相当敏感的.

进一步研究不同尺寸结构中阈值电压与写入电

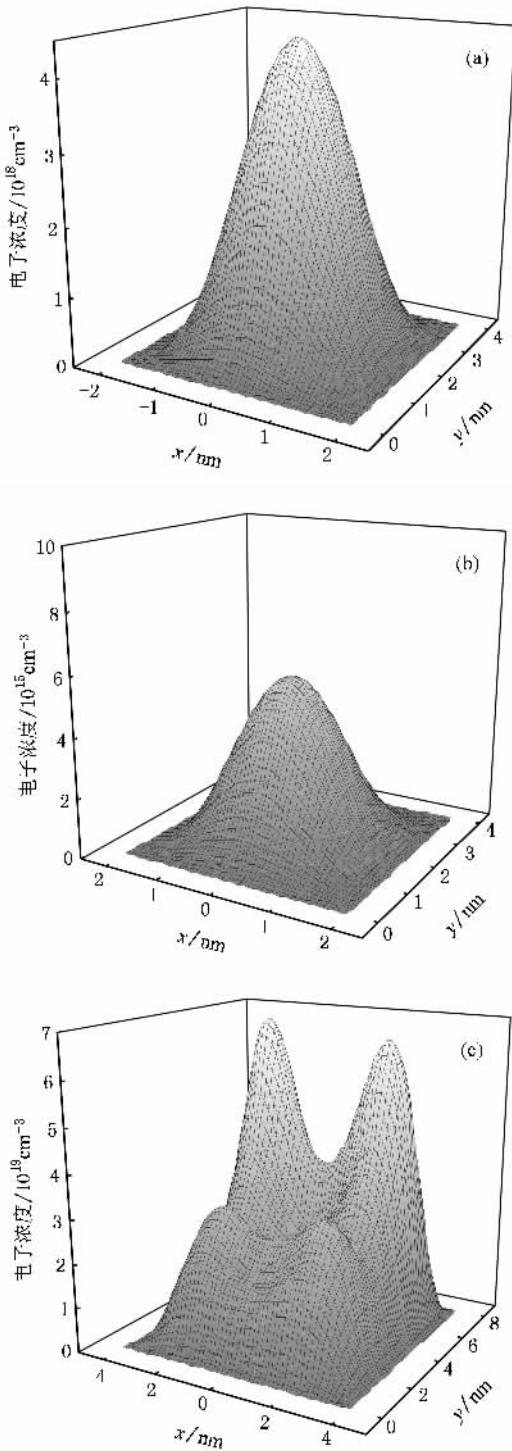


图2 (a)写入电子数为0, $V_G = V_{TH} = 0.11$ V时,尺寸为4 nm × 4 nm的沟道内的电子浓度 (b)写入电子数为1, $V_G = 0.11$ V时,尺寸为4 nm × 4 nm的沟道内的电子浓度 (c)写入电子数为0, $V_G = V_{TH} = 0.04$ V时,尺寸为8 nm × 8 nm的沟道内的电子浓度

子数的关系,如图4所示,对于不同沟道尺寸的结构,阈值电压随着写入电子数的增加而增大.研究结果还表明,在写入电荷数相同的情况下,阈值电压随

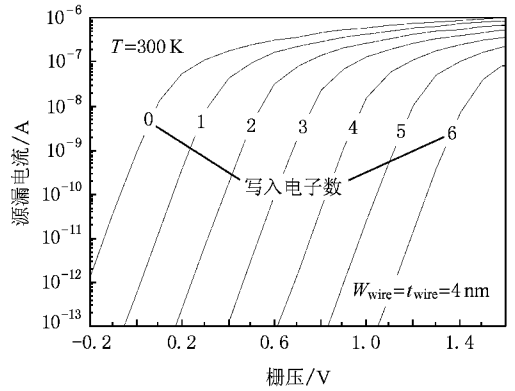


图3 写入电子数不同时的 I_D - V_G 关系曲线

沟道尺寸的减小而增大,这是量子限制效应因尺寸缩小而增强所致.当沟道尺寸减小时,增强的量子限制效应导致沟道内第一子能带最低能量的抬高以及各子能带的进一步分离,因而,为获得相当的电子浓度,需要能带进一步弯曲,从而要求施加更高的栅极电压.

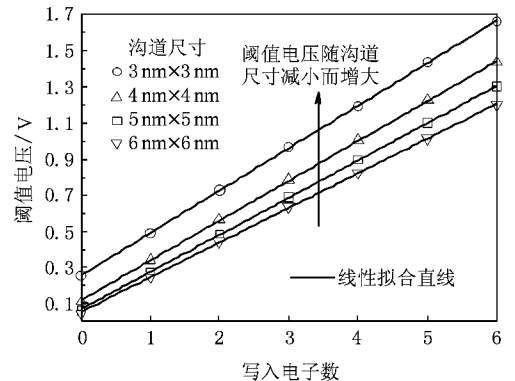


图4 沟道尺寸不同时阈值电压与写入电子数的关系曲线

在研究阈值电压与写入电荷之间的关系时,我们发现模拟结果与线性拟合直线符合得很好(如图4所示),这与Tang等人对于三角形量子线沟道的模拟结果是一致的^[10],他们还研究了沟道截面为矩形的结构,其结果显示,当浮置栅内每写入一个单位电荷时,阈值电压的增加量是不同的,其增幅随写入电荷数的增加而减小,即表现为非线性饱和趋势.本文研究的硅量子线沟道的三栅单电子FET存储结构中,对于沟道内电子而言,已写入浮置栅的电子对栅压的屏蔽效应主要表现在垂直方向上,因而,为研究阈值电压的非线性饱和趋势,只需研究沟道厚度 t_{wire} 不同的结构.因此,我们研究了沟道尺寸分别为3 nm × 3 nm和3 nm × 10 nm两种结构.

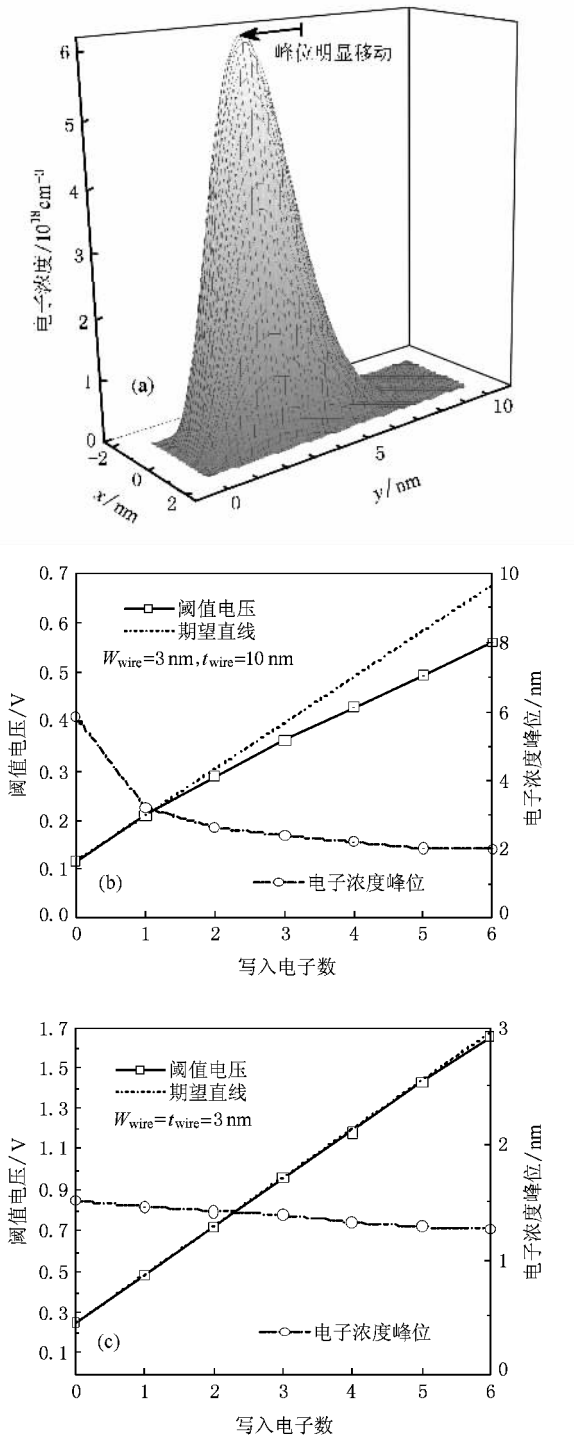


图5 (a)当写入2个电子,且 $V_G = V_{\text{TH}}$ 时,尺寸为 $3 \text{ nm} \times 10 \text{ nm}$ 沟道内的电子浓度 (b)(c)沟道尺寸分别为 $3 \text{ nm} \times 3 \text{ nm}$ 和 $3 \text{ nm} \times 10 \text{ nm}$ 时阈值电压和电子浓度峰位随写入电子数的变化

模拟结果显示,在沟道尺寸为 $3 \text{ nm} \times 10 \text{ nm}$ 的结构中,当浮置栅内写入电子时,沟道内高浓度电子分布发生明显变化,如图5(a)所示,电子浓度峰位向远离浮置栅方向移动,沟道内电子所受浮置栅内

电荷的屏蔽效应相应减弱,从而降低了阈值电压偏移量.图5(b)中,虚线为与线性关系相对应的期望直线.随着写入电子数的增加,实际关系曲线逐渐远离期望直线,呈非线性饱和趋势.而在沟道尺寸为 $3 \text{ nm} \times 3 \text{ nm}$ 的结构中,写入浮置栅的电子对沟道的影响相对小得多,实际关系曲线与期望直线符合得很好.如图5(c)所示,阈值电压与浮置栅内写入的电子数成线性关系,该结构的阈值电压偏移量能灵敏地反映出浮置栅内电子数目的变化.

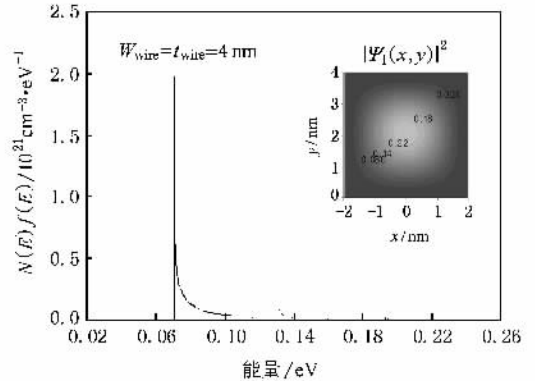


图6 当 $V_G = V_{\text{TH}}$ 时,尺寸为 $4 \text{ nm} \times 4 \text{ nm}$ 沟道内的能量子带(插图为第一子带所对应的概率幅分布)

以上结果表明,较小的沟道尺寸能有效抑制阈值电压的非线性饱和趋势.为进一步揭示其中机理,我们研究了尺寸为 $4 \text{ nm} \times 4 \text{ nm}$ 的沟道内的量子效应.图6所示为沟道内各能量子带,强量子限制效应使各子带明显分离,表现出典型的一维特征.进一步计算显示,沟道内近90%的电子占据在第一子带内,因而沟道内电子分布主要由第一子带概率幅决定.由插图可知,电子被限制在沟道中心附近,如图5(a)和(b)所示.可见,强量子限制效应能有效削弱浮置栅内电荷对沟道电子分布的影响,从而有效抑制阈值电压的非线性饱和趋势.

4. 结 论

本文采用二维薛定谔方程和泊松方程的自洽解法对基于硅量子点浮置栅和硅量子线沟道的三栅单电子FET存储结构进行了模拟,并对沟道内的量子效应进行了研究.研究发现,沟道的导通阈值电压随着尺寸的缩小而提高,并随浮置栅内存储的电子数目的增加而明显增加.然而,这样的增加趋势在受到纳米尺度沟道中高电荷密度的影响下将出现非线性

饱和趋势,而当沟道尺寸较小时,沟道内的强量子限制效应能有效地抑制这一趋势.值得一提的是,由于

沟道阈值电压偏移量能灵敏地反映出浮置栅内电子数目的变化,这为多值存储功能提供了可能.

- [1] Tiwari S , Rana F , Hanafi H , Hartstein A , Crabbe E F , Chan K 1996 *Appl. Phys. Lett.* **68** 1377
- [2] Tiwari S , Rana F , Chan K , Shi L , Hanafi H 1996 *Appl. Phys. Lett.* **69** 1232
- [3] Guo L , Leobandung E , Chou S Y 1997 *Science* **275** 649
- [4] Nakajima A , Futatsugi T , Kosemura K , Fukano T , Yokoyama N 1997 *Appl. Phys. Lett.* **70** 1742
- [5] Welser J J , Tiwari S , Reishton S , Lee K Y , Lee Y 1997 *IEEE Electron Device Lett.* **18** 278
- [6] Kojima K , Mitsunaga K , Kyuma K 1989 *Appl. Phys. Lett.* **55** 882
- [7] Ouisse T 1994 *J. Appl. Phys.* **76** 5989
- [8] Baie X , Colinge J P 1997 *Solid-State Electron* **42** 499
- [9] Lannaccone G , Trellakis A , Ravaioli U 1998 *J. Appl. Phys.* **84** 5032
- [10] Tang X H , Baie X , Colinge J P , Gustin C , Bayot V 2002 *IEEE Trans. Electron Devices* **49** 1420
- [11] Colinge J P , Alderman J C , Xiong W Z 2006 *IEEE Trans. Electron Devices* **53** 1131
- [12] Green M A 1989 *J. Appl. Phys.* **67** 2944
- [13] Trellakis A , Galick A T , Pacelli A , Ravaioli U 1997 *J. Appl. Phys.* **81** 7880
- [14] Colinge J P 2004 *Solid State Electron* **48** 897

Simulation of a triple-gate single electron FET memory with a quantum dot floating gate and a quantum wire channel^{*}

Liu Kui Ding Hong-Lin Zhang Xian-Gao Yu Lin-Wei Huang Xin-Fan Chen Kun-Ji[†]

(National Laboratory of Solid State Microstructures , Nanjing University , Nanjing 210093 , China)

(Received 3 December 2007 ; revised manuscript received 9 May 2008)

Abstract

This paper investigates a triple-gate single electron FET memory with a Si quantum dot floating gate and a Si quantum wire channel by establishing a numerical model of two-dimensional Schrödinger and Poisson equations. The electron concentration in the silicon quantum wire channel of different scales is investigated under conditions that diverse gate voltage and programming voltage are applied with a two-dimensional finite element solution. The influence of the quantum confinement effect and the electron distribution in the nano-scale channel on the structure is also investigated. Results of the simulation show that , the threshold voltage increases when the size of the channel decreases , and the voltage also increases as the number of electrons on the floating gate increases. However , a non-linear saturation tendency occurs when the number of injected electrons increases further , due to the high density of carriers in the nanoscale Si nanowire channel. Further research shows that the strong quantum confinement effect in the channel can effectively restrain the saturation tendency when the size of the channel is small enough. It 's worth mentioning that the threshold voltage shift reflects the number of electrons stored on the floating gate. This effect implies a possibility of multi-level storage.

Keywords : triple-gate single electron field-effect transistor memory , quantum mechanical effects , Schrödinger equation , Poisson equation

PACC : 6120J , 7280C , 7320D

^{*} Project supported by the National Major Fundamental Research Program of China (Grant No. 2006CB932202) , the National Natural Science Foundation of China (Grant Nos. 90301009 , 60571008) .

[†] Corresponding author. E-mail kichen@netra.nju.edu.cn