

AlGa_N 表面坑状缺陷及 Ga_N 缓冲层位错缺陷对 AlGa_N/Ga_N HEMT 电流崩塌效应的影响^{*}

席光义 任 凡 郝智彪[†] 汪 莱 李洪涛 江 洋 赵 维 韩彦军 罗 毅

(清华大学电子工程系集成光电子学国家重点实验室/清华大学信息科学与技术国家实验室, 北京 100084)

(2008 年 1 月 24 日收到 2008 年 6 月 6 日收到修改稿)

利用金属有机气相外延(MOVPE)技术生长了具有不同 AlGa_N 表面坑状缺陷和 Ga_N 缓冲层位错缺陷密度的 AlGa_N/Ga_N 高电子迁移率晶体管(HEMT)样品,并对比研究了两种缺陷对器件栅、漏延迟电流崩塌效应的影响.栅延迟测试表明,AlGa_N 表面坑状缺陷会引起栅延迟电流崩塌效应和源漏电阻的增加,而且表面坑状缺陷越多,栅延迟电流崩塌程度和源漏电阻的增加越明显.漏延迟测试显示,AlGa_N 表面坑状缺陷对漏延迟电流崩塌影响不大,而 Ga_N 缓冲层位错缺陷主要影响漏延迟电流崩塌.研究结果表明,AlGa_N 表面坑状缺陷和 Ga_N 缓冲层位错缺陷分别是引起 AlGa_N/Ga_N HEMT 栅、漏延迟电流崩塌的电子陷阱来源之一.

关键词: AlGa_N/Ga_N HEMT, 电流崩塌, 坑状缺陷, 位错缺陷

PACC: 7360L, 7280E, 6170

1. 引 言

由于 AlGa_N/Ga_N 异质结二维电子气密度高,加之 Ga_N 材料具有击穿电场强度高、电子饱和和漂移速率高等优点^[1,2],因此 Ga_N 基 HEMT 在高频大功率电子器件领域具有极高的应用价值.在过去的十几年里, Ga_N 基 HEMT 的性能得到了很大提高,目前, Ga_N 基 HEMT 材料的室温迁移率达到 2100 cm²/Vs^[3],最大输出电流达到 2.1 A/mm^[4],X 波段连续波功率密度达到 30 W/mm^[5].但是由于电流崩塌效应的存在,导致器件高频工作下输出功率下降和可靠性恶化,严重制约了 Ga_N 基 HEMT 器件的实用化进程.人们已经对电流崩塌效应进行了大量的研究,但是到目前为止,对造成电流崩塌效应的电子陷阱的来源尚无定论. Khan 等人认为 Ga_N 缓冲层内的深能级缺陷是造成高漏极电压下发生直流电流崩塌的主要原因^[6]. Binari 等人通过栅、漏延迟瞬态测试方法研究了钝化前后器件的电流崩塌效应,并指出表面态和 Ga_N 缓冲层中的深能级缺陷分别是造成栅延

迟和漏延迟电流崩塌的主要原因^[7]. Vetry 等人认为表面态俘获电子形成虚栅从而导致了电流崩塌效应^[8].另外,在关于电流崩塌效应的文献报道中,针对具体缺陷类型与电流崩塌效应的关系的研究尚不多见.

本文利用 MOVPE 技术生长了具有不同 AlGa_N 表面坑状缺陷和 Ga_N 缓冲层位错缺陷密度的样品,然后对器件进行直流和栅、漏延迟测试,对比分析了 AlGa_N 表面坑状缺陷和 Ga_N 缓冲层位错缺陷对栅、漏延迟电流崩塌效应的影响,并对产生电流崩塌的电子陷阱的来源作了进一步的讨论.

2. 实 验

本文研究的 AlGa_N/Ga_N HEMT 样品均采用 MOVPE 方法在(0001)面蓝宝石衬底上外延生长获得.三甲基镓、三甲基铝和氨气分别作为镓、铝和氮源. AlGa_N/Ga_N HEMT 外延结构包括 25 nm 低温 Ga_N 成核层、3 μm 高阻 Ga_N 缓冲层和 20—30 nm AlGa_N 势垒层.为了比较 AlGa_N 表面缺陷和 Ga_N 缓冲层位

^{*} 国家自然科学基金(批准号: 60536020, 60723002)、国家重点基础研究发展计划(973)(批准号: 2006CB302801, 2006CB302804, 2006CB302806, 2006CB921106)、国家高技术研究发展计划(863)(批准号: 2006AA03A105)、北京市科委重大计划(批准号: D0404003040321)资助的课题.

[†] E-mail: zhao@tsinghua.edu.cn

错缺陷对电流崩塌效应的影响,首先采用相同的 GaN 缓冲层生长条件,只改变 AlGaIn 生长条件获得了具有不同表面坑状缺陷密度的样品 A 和 B,然后通过改变 GaN 缓冲层生长条件获得具有不同 GaN 缓冲层位错缺陷密度的样品 C.

三个样品均采用相同的器件制作工艺,流程如下.首先使用感应耦合等离子(ICP)方法刻蚀台面实现器件隔离,然后溅射 Ti/Al/Ti/Au 多层金属薄膜并进行高温退火制作源漏电极,比接触电阻率为 $6 \times 10^{-5} \Omega \cdot \text{cm}^2$,最后采用电子束蒸发 Ni/Au 制作栅极.器件的源漏电极间距为 $5 \mu\text{m}$,栅长 $1.2 \mu\text{m}$,栅宽 $100 \mu\text{m}$.

为了表征 GaN 缓冲层的位错缺陷密度,采用双晶 X 射线衍射(XRD)测量了 ω 模式(002)和(102)面衍射峰的半高全宽(FWHM).AlGaIn 表面坑状缺陷密度由原子力显微镜(AFM)测量获得.利用 Agilent 4155C 半导体参数测试仪对器件进行直流、栅延迟(源漏电流对脉冲栅压的响应)和漏延迟(源漏电流对脉冲漏压的响应) I - V 测试以分析电流崩塌效应.器件测试均在暗室条件下进行,以避免光照的影响.为了消除脉冲测量给后续测量带来的误差,在每次测量前均采用光照方法将漏极输出电流恢复到第一次直流测试时的输出值.直流测试时栅极信号从 $+1 \text{V}$ 到 -8V 扫描,步长 1V ;漏极信号从 0V 到 10V 扫描,步长 50mV .瞬态测试时栅、漏延迟采用相同脉冲周期和宽度,分别为 5ms 和 $500 \mu\text{s}$.栅、漏延迟测试基准电压分别为 -8V 和 $+10 \text{V}$.直流及栅、漏延迟测试时序图如图 1 所示.

3. 结果与分析

三个样品的(002)和(102)面 ω 模式 XRD 衍射峰的 FWHM 如图 2 所示.样品 A 和 B 的(002)和(102)面衍射峰的 FWHM 基本相同,而样品 C 的(102)面衍射峰的 FWHM 明显大于样品 A 和 B.一般认为(002)面 ω 模式双晶摇摆曲线的 FWHM 反映材料螺型位错和混合位错密度,(102)面的 FWHM 反映材料刃型位错和混合位错密度^[9].因此,图 2 结果表明,样品 A 和 B 的 GaN 缓冲层位错缺陷密度基本相同,而样品 C 的 GaN 缓冲层位错缺陷密度(特别是刃型相关位错缺陷密度)大于其他两个样品,这与我们的设计是一致的.

图 3 所示为三个样品的 AFM 扫描图像,扫描区域为 $1 \mu\text{m} \times 1 \mu\text{m}$.样品 A、B、C 的表面均方根粗糙度

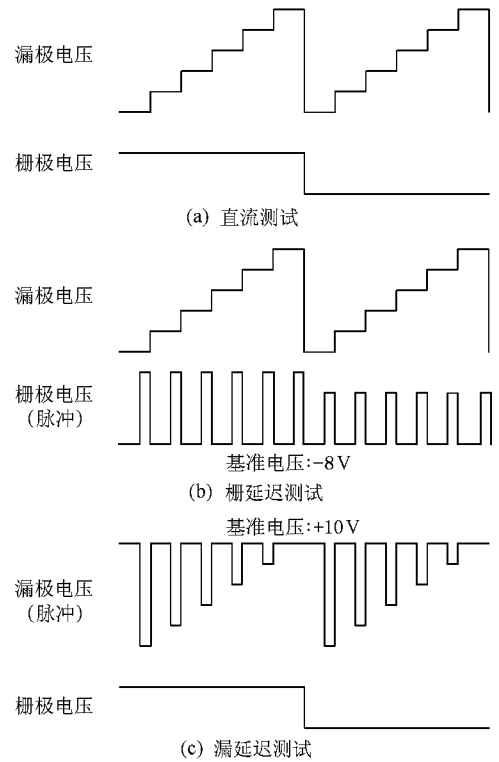


图 1 直流以及栅、漏延迟测试时序图(直流测试时栅极信号从 $+1 \text{V}$ 到 -8V 扫描,步长 1V ;漏极信号从 0V 到 10V 扫描,步长 50mV .瞬态测试时栅、漏延迟采用相同脉冲周期和宽度,分别为 5ms 和 $500 \mu\text{s}$.栅、漏延迟测试基准电压分别为 -8V 和 $+10 \text{V}$.) (a) 直流测试 (b) 栅延迟测试 (c) 漏延迟测试

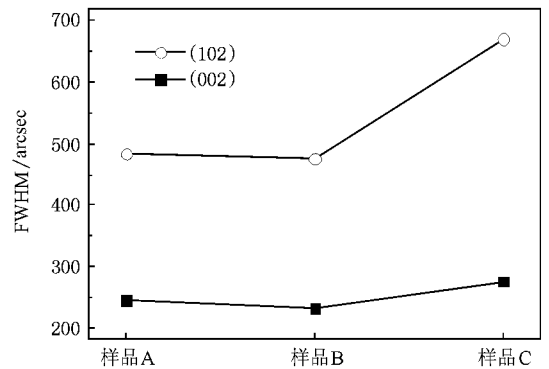


图 2 三个样品 XRD ω 扫描模式下(002)面和(102)面衍射峰的半高全宽(结果表明,样品 A 和 B 的 GaN 缓冲层位错缺陷密度基本相同,而样品 C 的 GaN 缓冲层位错缺陷密度(特别是刃型相关位错缺陷密度)大于其他两个样品)

(RMS)分别为 0.216 nm 、 0.223 nm 和 0.571 nm .为了定量比较样品的表面缺陷密度,我们统计了深度大于 0.5 nm 即一个原子层的坑状缺陷密度.结果表明,样品 B 的表面坑状缺陷密度为 $2.8 \times 10^9 \text{ cm}^{-2}$,大于样品 A 的 $1.4 \times 10^9 \text{ cm}^{-2}$,而且样品 B 表面坑状

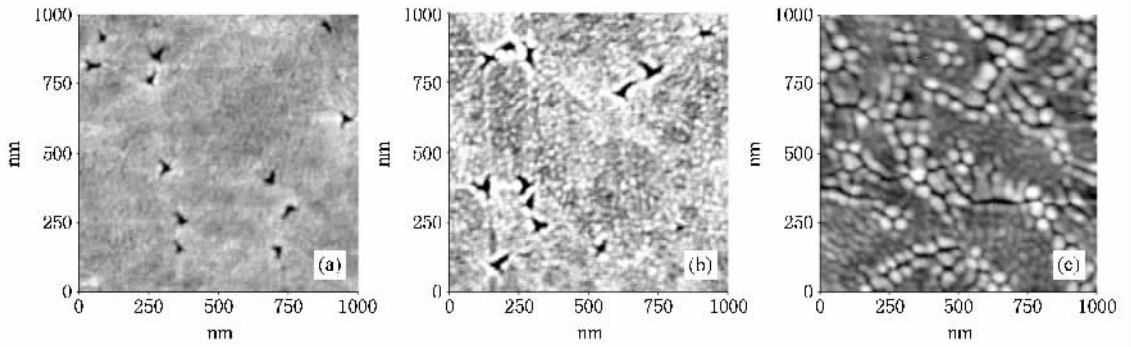


图3 三个样品表面形貌比较(AFM扫描区域为 $1\mu\text{m}\times 1\mu\text{m}$ 样品A,B,C的表面均方根粗糙度分别为 0.216nm 、 0.223nm 和 0.571nm)(a)(b)(c)分别为样品A,B,C)

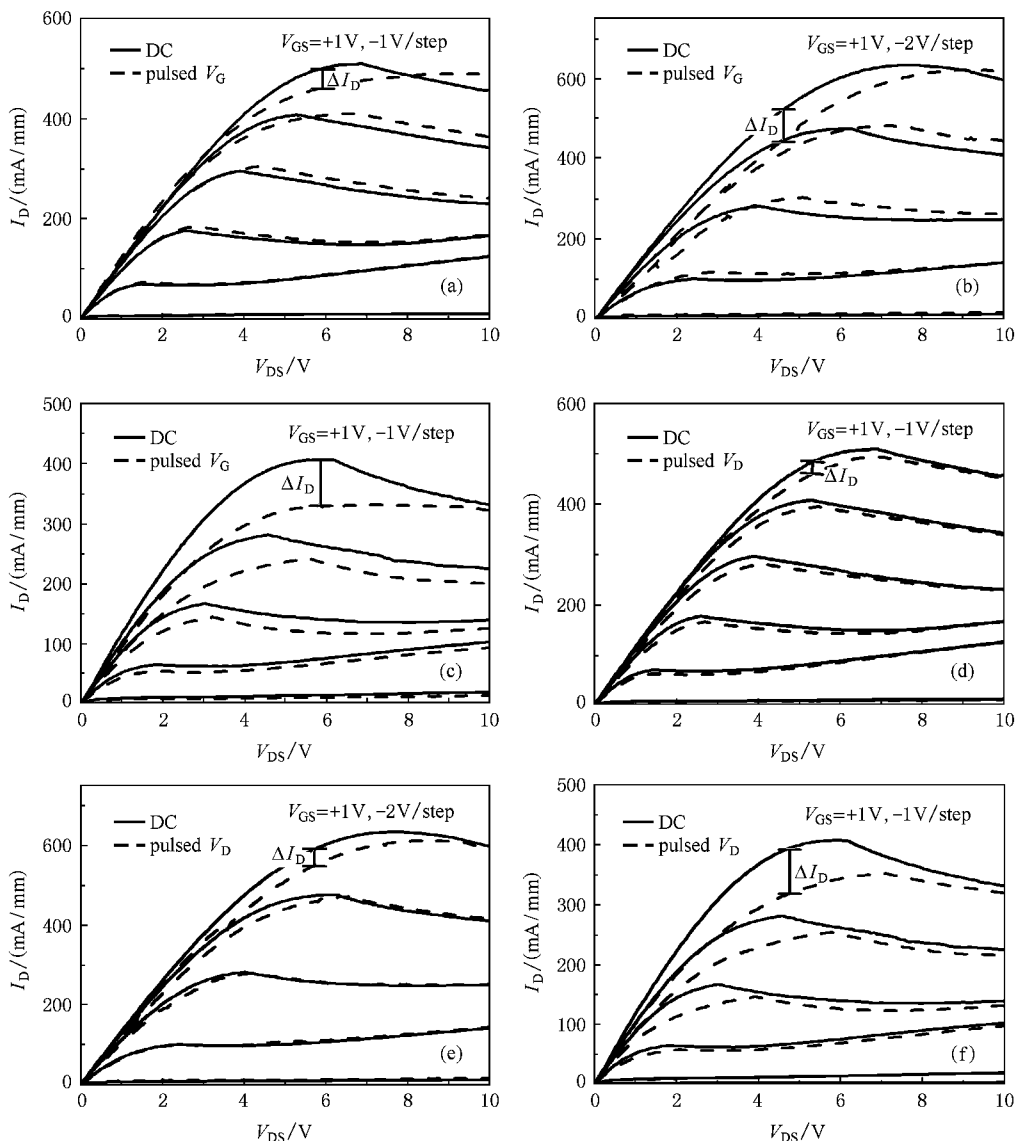


图4 直流和栅、漏延迟测试条件下 GaN HEMT I - V 输出特性曲线 (a)样品A栅延迟测试(pulsed V_G) (b)样品B栅延迟测试 (c)样品C栅延迟测试 (d)样品A漏延迟测试(pulsed V_D) (e)样品B漏延迟测试 (f)样品C漏延迟测试

缺陷的最大横向尺寸在 100 nm 左右,亦大于样品 A 的 60 nm. 样品 C 的表面坑状缺陷密度大于 $1 \times 10^{10} \text{ cm}^{-2}$,且很多坑状缺陷相互连接形成狭长的坑状缺陷带.另外,三个样品的坑状缺陷深度均小于 4 nm,远小于 AlGaIn 势垒层的厚度(20—30 nm),说明坑状缺陷仅存在于 AlGaIn 外延层表面.

器件的 I - V 测试结果如图 4 所示,其中(a),(b)(c)对比了直流测试和栅延迟测试结果(d),(e)(f)对比了直流测试和漏延迟测试结果.图 4 结果表明,样品 A、B、C 的器件均表现出不同程度的电流崩塌效应.为了定量表征电流崩塌程度的大小,定义归一化的电流崩塌参数^[10,11]

$$\Delta I = \frac{(I_{\text{Pulsed}} - I_{\text{DC}})}{I_{\text{DC}}}, \quad (1)$$

其中 I_{DC} 和 I_{Pulsed} 分别表示漏极输出电流(栅极电压 +1 V)下降程度最大处的直流和脉冲输出电流值.三个样品栅、漏延迟测试的 ΔI 如图 5 所示.

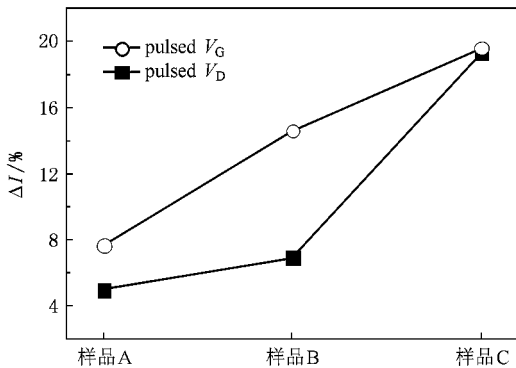


图 5 三个样品电流崩塌程度比较(电流崩塌程度大小采用归一化的电流崩塌参数 ΔI 表征,其中 ΔI 定义为漏极输出电流(栅极电压 +1 V)下降程度最大处的直流和脉冲输出电流值之差相对于直流输出电流归一化的比值)

首先比较样品 A 和 B 发现,样品 B 的栅延迟电流崩塌参数 ΔI 远大于样品 A,而漏延迟测试条件下 ΔI 差别不大.结合 AFM 测量结果,我们认为,栅延迟电流崩塌受 AlGaIn 表面坑状缺陷影响较大,因此表面坑状缺陷越多,栅延迟电流崩塌越严重,而漏延迟电流崩塌与 AlGaIn 表面坑状缺陷关系不大.然后考察样品 C,其栅延迟和漏延迟电流崩塌都比 A、B 严重.一方面,样品 C 表面大量的坑状缺陷引起明显的栅延迟电流崩塌;另一方面,既然漏延迟电流崩塌与 AlGaIn 表面坑状缺陷关系不大,同时结合 XRD 测量结果,我们认为,样品 C 的 GaN 缓冲层内存在更多的位错缺陷,尤其是刃型相关位错,这可能是导

致漏延迟电流崩塌的主要原因.

进一步分析电流崩塌的产生原因,我们认为,当施加脉冲栅电压时,因为栅延迟基准电压为 -8 V,栅极电子在强场作用下,容易被栅漏之间裸露的 AlGaIn 表面坑状缺陷俘获形成虚栅^[8],从而引起栅延迟电流崩塌,而且表面坑状缺陷越多,栅延迟电流崩塌越严重.而施加脉冲漏电压时,由于漏延迟基准电压为 +10 V,二维电子气被源漏间的强场加速后容易被 GaN 缓冲层的位错缺陷俘获,从而引起漏延迟电流崩塌,且 GaN 缓冲层位错缺陷越多,漏延迟电流崩塌越严重.另一方面,由于二维电子气离 AlGaIn 表面缺陷较远且二者之间有较高的势垒,因此 AlGaIn 表面缺陷俘获源漏电场加速的电子的概率要小得多,对漏延迟电流崩塌影响不大.

另外,与直流输出特性相比,脉冲测试时源漏电阻增大(样品 A 的栅延迟测试与直流测试相比,源漏电阻略有减小,可能由测量误差引起).为了定量比较直流和脉冲测试时源漏电阻的变化,对栅压为 0 V 时位于线性区(源漏电压介于 0—2 V 之间)的 I - V 特性曲线作线性拟合获得直流和脉冲测试时源漏电阻值,并定义归一化的源漏电阻变化率为

$$\Delta R = \frac{(R_{\text{Pulsed}} - R_{\text{DC}})}{R_{\text{DC}}}, \quad (2)$$

其中 R_{DC} 表示直流测试源漏电阻值, R_{Pulsed} 表示施加栅、漏延迟测试后源漏电阻值.三个样品的源漏电阻变化率如图 6 所示.比较样品 B 和 A 时发现,栅延迟测试时 ΔR 明显增大,但漏延迟测试 ΔR 无明显变化.由于两个样品 GaN 缓冲层内位错缺陷密度相当,所以 ΔR 的变化主要由 AlGaIn 表面坑状缺陷引起.栅延迟测试时源漏电阻的增加可以解释为,栅漏

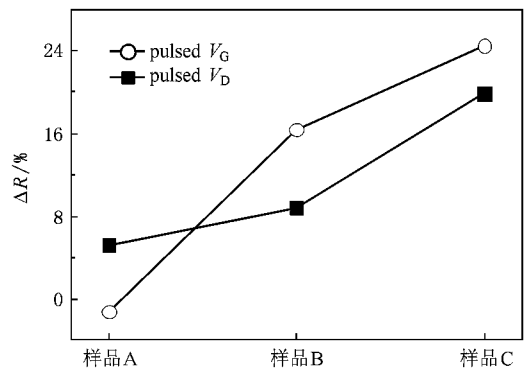


图 6 三个样品直流与栅、漏延迟测试条件下源漏电阻变化率比较(归一化的源漏电阻变化率 ΔR 定义为施加栅(漏)延迟测试后源漏电阻值与直流测试源漏电阻值之差相对于直流测试源漏电阻值归一化的比值)

电极间 AlGaIn 表面坑状缺陷俘获电子,形成虚栅^[8],导致沟道电阻增加,从而引起源漏电阻增加.但由于二维电子气离 AlGaIn 表面缺陷较远,因此 AlGaIn 表面缺陷对源漏电场加速的电子俘获概率要小得多,所以漏延迟测试时 ΔR 的差别不大.另外,样品 C 和 A、B 相比,漏延迟测试引起的源漏电阻变化率远大于样品 A、B 的变化值,这是由于 GaN 缓冲层位错缺陷俘获电子而引起沟道电阻增加,直接表现为源漏电阻的增加.栅延迟测试引起的源漏电阻变化率也大于样品 A、B 的变化值,这与样品 C 具有更多的表面坑状缺陷有关.对比图 5 和图 6 可以看出,栅、漏延迟测试源漏电阻和电流崩塌变化趋势一致,这进一步证明了 AlGaIn 表面坑状缺陷和 GaN 缓冲层位错缺陷对电子的俘获分别是造成栅、漏延迟测试

下电流崩塌效应产生和源漏电阻增加的重要原因.

4. 结 论

本文研究了 MOVPE 生长的 AlGaIn/GaN HEMT 材料的表面坑状缺陷及 GaN 缓冲层位错缺陷对电流崩塌的影响.实验研究发现,AlGaIn 表面坑状缺陷会引起栅延迟电流崩塌效应和源漏电阻的增加,而且表面缺陷越多,栅延迟电流崩塌效应和源漏电阻增加越明显,但对漏延迟电流崩塌影响不大.而 GaN 缓冲层位错缺陷是导致漏延迟电流崩塌的主要原因之一.研究结果表明,降低 AlGaIn 表面坑状缺陷密度和 GaN 缓冲层位错缺陷密度是抑制电流崩塌效应的重要途径之一.

- [1] Sghaier N, Trabelsi M, Yacoubi N, Bluet J M *et al* 2006 *Microelectronics Journal* **37** 363
- [2] Hao Y, Han X W, Zhang J C, Zhang J F 2006 *Acta Phys. Sin.* **55** 3622 (in Chinese) [郝跃、韩新伟、张进城、张金凤 2006 物理学报 **55** 3622]
- [3] Wang X L, Wang C M, Hu G X, Wang J X, Li J P 2006 *Phys. Stat. Sol. (c)* **3** 607
- [4] Chini A, Coffie R, Meneghesso G *et al* 2003 *Electron Lett.* **39** 625
- [5] Wu Y F, Saxler A, Moore M, Smith P, Sheppard S, Chavarkar P M, Wisleder T, Mishra U K, Parikh P 2004 *IEEE Electron Device Letter* **25** 117
- [6] Khan M A, Shur M S, Chen Q C, Kuznia J N 1994 *Electron.*

Lett. **20** 2175

- [7] Binari S C, Ikossi K, Roussos J A, Kruppa W, Park D, Dietrich H B, Koleske D D, Wickenden A E, Henry R L 2001 *IEEE Trans. Electron Device* **48** 465
- [8] Vetury R, Zhang N Q, Keller S, Mishra U K 2001 *IEEE Trans. Electron Device* **48** 560
- [9] Zhao D G, Yang H, Zhu J J, Jiang D S, Liu Z S *et al* 2006 *Appl. Phys. Lett.* **89** 112106
- [10] Mittereder J A, Binari S C, Klein P B, Roussos J A *et al* 2003 *Appl. Phys. Lett.* **83** 1650
- [11] Bernat J, Wolter M, Javorka P, Fox A *et al* 2004 *Solid-State Electronics* **48** 1825

Influence of pit defects on AlGaIn surface and dislocation defects in GaN buffer layer on current collapse of AlGaIn/GaN HEMTs^{*}

Xi Guang-Yi Ren Fan Hao Zhi-Biao[†] Wang Lai Li Hong-Tao Jiang Yang
Zhao Wei Han Yan-Jun Luo Yi

(State Key Laboratory on Integrated Optoelectronics/ Tsinghua National Laboratory
for Information Science and Technology , Department of Electronic Engineering ,
Tsinghua University , Beijing 100084 , China)

(Received 24 January 2008 ; revised manuscript received 6 June 2008)

Abstract

The influence of pit defects on AlGaIn surface and dislocation defects in GaN buffer layer on the current collapse of MOVPE-grown AlGaIn/GaN high electron mobility transistors (HEMTs) is studied in this paper. Pulsed gate voltage measurements show that the surface pit defects result in gate lag current collapse and increased of source/drain resistance. And the more pit defects exist , the more obvious current collapse and increased source/drain resistance are observed. Pulsed drain voltage measurements show that the drain lag current collapse , which is almost unaffected by the surface pit defects , can be associated with the dislocation defects in GaN buffer layer. Our experimental results indicate that pit defects on AlGaIn surface and dislocation defects in GaN buffer layer can be one of the origins of gate lag and drain lag current collapse , respectively.

Keywords : AlGaIn/GaN HEMT , current collapse , pit defects , dislocation defects

PACC : 7360L , 7280E , 6170

^{*} Project supported by the National Natural Science Foundation of China (Grant Nos. 60536020 and 60723002) , the “ 973 ” Major State Basic Research Project of China (Grant Nos. 2006CB302801 , 2006CB302804 , 2006CB302806 and 2006CB921106) , the “ 863 ” High Technology Research and Development Program of China (Grant No. 2006AA03A105) , and Major Project of Beijing Municipal Science and Technology Commission (Grant No. D0404003040321).

[†] E-mail : zbhao@tsinghua.edu.cn