

漂移区表面阶梯掺杂 LDMOS 的击穿电压模型

李 琦 张 波 李肇基

(电子科技大学 IC 设计中心 成都 610054)

(2007 年 6 月 25 日收到, 2007 年 7 月 23 日收到修改稿)

提出表面阶梯掺杂 (SD Step Doping on surface) LDMOS 的二维击穿电压模型. 基于求解多区二维 Poisson 方程, 获得 SD 结构表面电场的解析式. 借助此模型, 研究其结构参数对击穿电压的影响, 计算优化漂移区浓度和厚度与结构参数的关系, 给出获得最大击穿电压的途径. 数值结果、解析结果和试验结果符合较好. 漂移区各区和衬底电场相互调制, 在漂移区中部产生新的峰值, 改善电场分布. 高掺杂区位于表面, 降低了正向导通电阻. 结果表明: SD 结构较常规结构击穿电压从 192 V 提高到 242 V, 导通电阻下降 33%.

关键词: 阶梯掺杂, 模型, 优化, 调制

PACC: 7340Q, 0420J

1. 引 言

高压集成电路是把高压器件和控制电路集成到单个芯片上不仅提高了系统的可靠性、稳定性, 而且减小了体积、功耗和成本^[1]. 高压器件常采用横向双扩散 MOSFET (LDMOS), 为承受高的击穿电压, 需满足 RESURF (降低表面电场) 原理^[2,3]. 最初变掺杂技术是为提高击穿电压作为一种缓变结引入的^[4]. 近年来, 大量的实验和数值仿真表明, 变掺杂技术显著改善了功率器件击穿电压和导通电阻的折衷性能. Hardikar 利用不同大小的掩模窗口进行了试验研制, 结果表明变掺杂大大提高了器件击穿电压, 且随着漂移区浓度的提高, 器件性能进一步改善^[5]; He 等提出了表面线性变掺杂 n^- 层 LDMOS, 其导通电阻从常规器件的 23Ω 降到 12Ω , 击穿电压从 180 V 提高到 245 V^[6]; Chen 等研究了优化变掺杂对智能功率集成电路性能的影响^[7]; Merchant 等在 $0.1 \mu\text{m}$ 的硅层上实现了超过 700 V 的 SOI 高压器件^[8]; Tadikonda 等研制了变掺杂 IGBT, 发现其不仅改善了 IGBT 的击穿和闭锁特性, 而且增大了安全工作区^[9]. 目前变掺杂结构的优化主要是通过数值仿真获得, 其理论模型的研究进展缓慢, 国内外众多的理论模型大部分是关于均匀漂移区结构^[10-13]. 对于硅基器件而言, 衬底耗尽层与漂移区直接相连, 建立反映纵向电场调制的变掺杂结构的二维模型显得尤为必要.

本文通过求解多区 SD 功率器件的二维 Poisson 方程, 建立了其表面电场和击穿电压模型. 基于此模型, 研究了器件结构参数对击穿电压的影响, 计算了优化漂移区浓度和厚度与结构参数的关系, 给出了优化漂移区厚度与浓度的关系, 获得最高击穿电压的优化途径. 数值结果、解析结果和试验结果符合较好. 该模型对器件设计者具有实际的指导意义. 结果表明: 与常规结构相比, SD 击穿电压提高 26%, 导通电阻下降 33%, 改善了击穿电压和导通电阻的折衷性能.

2. 结构和模型

图 1 是 SD LDMOS 结构图. 漂移区浓度和厚度为 N_e 和 t_e , 漂移区表面沿 $x = L_0, L_1, \dots, L_i, \dots, L_n$

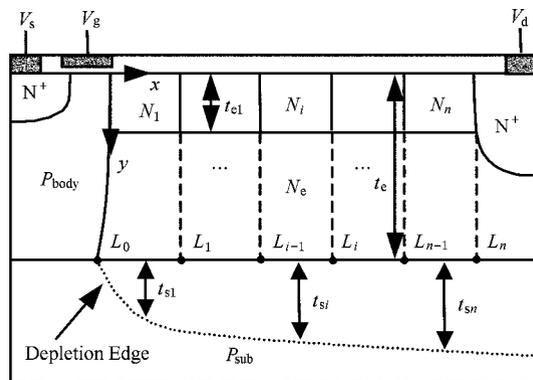


图 1 SD LDMOS 结构

分为 n 个区, 掺杂浓度从源端至漏端分别为 $N_1, \dots, N_i, \dots, N_n$, 厚度为 t_{el} . 漂移区长度为 N^+ 漏端与 P_{body} 阱之间的距离 $L_d = L_n - L_0$, 衬底掺杂浓度为 P_{sub} . 耗尽层深度分别为 $t_{s1}, \dots, t_{si}, \dots, t_{sn}$. ϵ_{si} 为硅的相对介电常数. 在反向偏置时, 栅极和源极分别接地, 漏极加正电压 V_d .

阶梯掺杂漂移区表面各区电势为 $\varphi_i(x, y)$ ($L_{i-1} \leq x \leq L_i, 0 \leq y \leq t_{el}$) 其中 $i = 1, \dots, n$. 漂移区本底电势为 $\phi(x, y)$ ($0 \leq x \leq L_d, t_{el} \leq y \leq t_e$). 器件的边界条件为

$$\left. \frac{\partial \varphi_i(x, y)}{\partial y} \right|_{y=0} = 0, \quad i = 1, \dots, n, \quad (1)$$

$$\left. \frac{\partial \phi(x, y)}{\partial y} \right|_{y=t_e} = -\frac{2\phi(x, t_e)}{t_{si}}, \quad L_{i-1} \leq x \leq L_i, \quad i = 1, \dots, n, \quad (2)$$

$$\varphi_{i-1}(L_{i-1}, 0) = \varphi_i(L_{i-1}, 0), \quad \frac{\partial \varphi_{i-1}(L_{i-1}, y)}{\partial x} \Big|_{y=0} = \frac{\partial \varphi_i(L_{i-1}, y)}{\partial x} \Big|_{y=0}, \quad (3)$$

$$\varphi_i(x, t_{el}) = \phi(x, t_{el}), \quad \left. \frac{\partial \varphi_i(x, y)}{\partial y} \right|_{y=t_{el}} = \left. \frac{\partial \phi(x, y)}{\partial y} \right|_{y=t_{el}}, \quad i = 1, \dots, n, \quad (4)$$

$$\varphi_i(L_0, 0) = 0, \varphi_n(L_n, 0) = V_d, \quad (5)$$

其中 (1) 式考虑表面纵向电场远小于横向电场^[10]. (2) 式基于漂移区和衬底界面处的纵向电场和耗尽层厚度的关系. (3) 式表示第 $i-1$ 区和第 i 区界面上横向电场和电势的连续性. (4) 式表示漂移区表面和本底界面上纵向电场和电势的连续性. (5) 式为外加电压.

把漂移区本底和表面电势进行 Taylor 展开

$$\varphi_i(x, y) = \varphi_i(x, 0) + \frac{\partial \varphi_i(x, 0)}{\partial y} y + \frac{\partial^2 \varphi_i(x, 0)}{2\partial y^2} y^2, \quad i = 1, \dots, n, \quad (6)$$

$$\phi(x, y) = \phi(x, t_{el}) + \frac{\partial \phi(x, t_{el})}{\partial y} (y - t_{el}) + \frac{\partial^2 \phi(x, t_{el})}{2\partial y^2} (y - t_{el})^2. \quad (7)$$

把 (1)–(7) 代入 Poisson 方程中可以得到漂移区表面电势 $\varphi_i(x, 0)$ 和表面电场 $E_i(x, 0)$:

$$\varphi_i(x, 0) = \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} + \left(V_i - \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right)$$

$$\times \frac{\sinh((x - L_{i-1})/t_i)}{\sinh((L_i - L_{i-1})/t_i)} + \left(V_{i-1} - \frac{qN_{i-1}^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right) \times \frac{\sinh((L_i - x)/t_i)}{\sinh((L_i - L_{i-1})/t_i)}, \quad (L_{i-1} \leq x < L_i), \quad (8)$$

$$E_i(x, 0) = \left(V_i - \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right) \frac{\cosh((x - L_{i-1})/t_i)}{t_i \sinh((L_i - L_{i-1})/t_i)} - \left(V_{i-1} - \frac{qN_{i-1}^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right) \times \frac{\cosh((L_i - x)/t_i)}{t_i \sinh((L_i - L_{i-1})/t_i)}, \quad (L_{i-1} \leq x < L_i), \quad (9)$$

其中,

$$N_i^{\text{eff}} = N_i + \frac{K_i}{t_e^2 + t_e t_{si}} ((t_e - t_{el})^2 + t_{si}(t_e - t_{el})),$$

$$K_i = -\frac{q(N_i - N_e)}{\epsilon_0 \epsilon_{si}}, \quad t_i = \sqrt{\frac{t_e^2 + t_e t_{si}}{2}}.$$

采取一级近似

$$t_{sn} = \sqrt{\left(1 + \frac{N_e}{P_{sub}} \right) \left(\frac{N_n - N_e}{N_e} t_{el} + t_e \right)^2 + \frac{\epsilon_0 \epsilon_{si} V_d}{qP_{sub}}} - \left(\frac{N_n - N_e}{N_e} t_{el} + t_e \right)$$

和

$$t_{si} \approx t_{(i+1)} \sqrt{2L_{n-1}(2L_n - 1)}.$$

V_i 为边界 L_i 处的表面电势, 可以通过把 (3) 式代入 (8)–(9) 式中获得, 其中 $V_0 = 0, V_n = V_d$.

当 $n = 1$ 且 $N_1 = N_e$ 时, 即为常规结构^[10]:

$$\varphi(x, 0) = \frac{qN_e t_1^2}{\epsilon_0 \epsilon_{si}} + \left(V_d - \frac{qN_e t_1^2}{\epsilon_0 \epsilon_{si}} \right) \frac{\sinh(x/t_1)}{\sinh(L_d/t_1)} - \frac{qN_e t_1^2}{\epsilon_0 \epsilon_{si}} \frac{\sinh((L_d - x)/t_1)}{\sinh(L_d/t_1)}, \quad (10)$$

当各区有相同的长度和浓度梯度时, 要达到最大击穿电压, 阶梯掺杂各区电场峰值需要满足小于等于临界击穿电场 E_c , 即

$$E_i(L_i, 0) \leq E_c.$$

把 (9) 式代入上式时, 可以得到各区的优化浓度 N_i 和最大击穿电压 V_b 为

$$N_i = \frac{(2i - 1) \tanh(0.5\Delta L/t_i) \epsilon_0 \epsilon_{si} E_c}{q t_i}, \quad (11)$$

$$V_b = 2 \sum_{i=1}^n \tanh(0.5\Delta L/t_i) E_c t_i. \quad (12)$$

3. 结果与讨论

器件发生击穿时通常在表面. 表面电场沿漂移区长度方向积分即为横向耐压, 当发生击穿时, 即为横向击穿电压. 使用半导体仿真软件 MEDICI 对相同结构进行数值仿真, 以验证解析模型的准确性.

图 2 为 SD 和均匀漂移区表面电场和电势沿漂移区分布的解析和数值结果, 可以看到二者符合较好. 在不同杂质浓度的各区分界处有一定偏差, 这是因为在模型的求解中忽略的结曲率半径, 场板的边缘效应以及各区杂质扩散等因素的影响, 但是对击穿电压和参数优化的分析影响很小. 对于均匀漂移区, 漂移区源漏端 $P_{\text{body}}N_1$ 结和 N_nN^+ 结处电场远大于其他位置, 且沿漂移区长度急剧下降, 在漂移区中心部分达到极小值, 很明显, 整个漂移区的电场分布是严重非均匀的. 器件的击穿电压因边界的高峰值电场而受到限制. 对于非优化的常规结构, 因电场分布的非对称性加剧, 击穿电压还会大大下降. 当 $n = 2$ 时, 与常规结构类似, 在漂移区源漏端有较高的电场峰值, 同时在 N_1 区和 N_2 区电场的相互作用下, 在中部 N_1N_2 结处出现新的电场峰值, 在两个峰值之间电场逐渐下降达到最低点. 当 $n = 5$ 时, 在 5 个区边界处出现 5 个明显的电场峰值, 其中漂移区源漏端最高, 中间略低, 在整个漂移区长度内, 电场变化较平缓, 均匀, 其结果是导致更高的击穿电压. 表面掺杂浓度阶梯变化的作用降低了 $P_{\text{body}}N_1$ 结和 N_nN^+ 处的电场, 同时在漂移区中部引入新电场峰值, 提高了漂移区中部的电场, 改善表面电场分布, 有利于在实现高耐压的同时降低导通电阻, 且随着阶梯数 n 的增加, 漂移区源漏端电场下降, 表面电

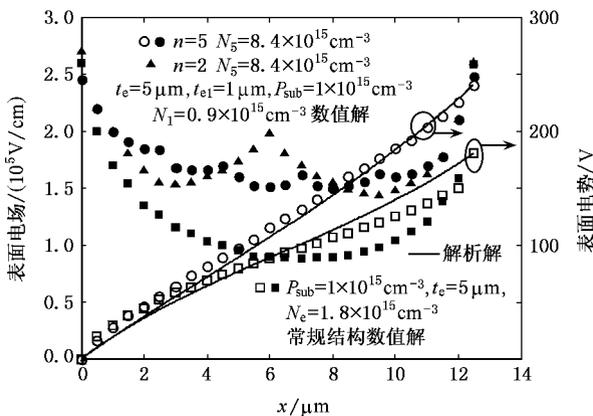


图 2 SD LDMOS 表面电场和电势沿漂移区分布

场更加均匀, 进一步改善击穿特性. 均匀漂移区结构表面电势在漂移区源端上升较快, 漏端上升较缓, 同时说明了表面电场分布的不均匀性. 作为对比, SD 结构的表面电势分布近似为一条直线, 说明电场分布平缓, 接近理想的电场分布, 从而可获得很高的击穿电压.

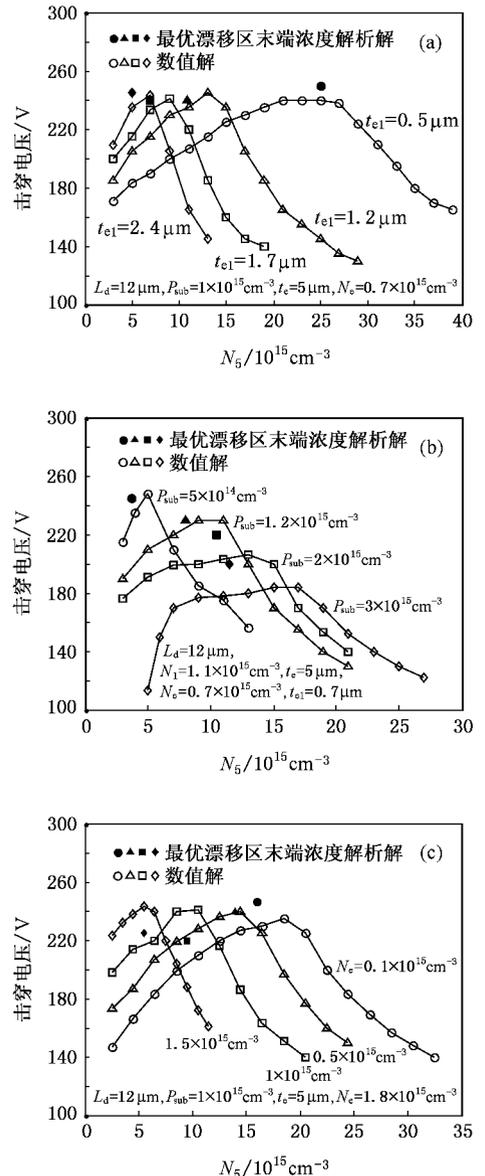


图 3 击穿电压随漂移区漏端浓度 N_5 的变化 (a) 不同 t_{el} (b) 不同 P_{sub} (c) 不同 N_e

图 3 为击穿电压随漏端浓度 N_5 的变化. 图 3 (a) 中, 当 N_5 较小时表面较高电场峰值出现在漏端, 击穿电压随着 N_5 的增加而增大; N_5 较高时较高的峰值电场转移到源端, 击穿电压随着 N_5 的增加而降低. 故存在最优漂移区末端浓度 N_5 , 使源漏

结同时击穿,器件具有最大表面击穿电压.最优 N_5 由源漏端电场相等且小于等于临界击穿电场 E_c 时求解(9)式获得,近似取 $E_c \approx 2.1 \times 10^5$ V/cm.可以看到解析结果和数值结果符合较好,一定误差来自于 E_c 的选取,更加精确的 E_c 随结两端杂质浓度的变化而发生较小的改变^[14].最优 N_5 随表面层厚度 t_{el} 的增加而降低,这是由于SD结构同样要满足总漂移区浓度和厚度的乘积被限制于一定范围, t_{el} 增加,所以 N_5 降低,这与常规结构类似^[11].当 t_{el} 较小时,最优 N_5 范围较大; t_{el} 为 $2.4 \mu\text{m}$ 时,最优 N_5 约为 $6 \times 10^{15} \text{cm}^{-3} - 8 \times 10^{15} \text{cm}^{-3}$, t_{el} 为 $0.5 \mu\text{m}$ 时,最优 N_5 约为 $20 \times 10^{15} \text{cm}^{-3} - 28 \times 10^{15} \text{cm}^{-3}$,所以 t_{el} 较小时,器件具有较好的工艺容差,这在器件设计中是非常有利的.图 3(b)中,最优 N_5 随着衬底浓度 P_{sub} 的增加而增大,这是因为当 P_{sub} 较大时,漂移区中用来和衬底产生作用的电荷增加,结果和横向源漏结作用的电荷相应减少,为了满足表面电场最优条件,所以需 N_5 进一步增大.随着 P_{sub} 的增大,最大击穿电压降低,这是由纵向击穿电压随衬底浓度的降低而增大所致,在常规结构中有相同的现象^[13]. P_{sub} 是一个很重要的参数,在很大程度上决定着器件可达到

的最大击穿电压.图 3(c)中随着漂移区本底浓度 N_e 的增加,最优 N_5 降低,其原因与图 3(a)的分析相同, N_e 同样为漂移区总杂质浓度的一部分.

图 4 为击穿电压与漂移区厚度 t_e 的关系.在图 4(a)中,当 t_e 较小时,总漂移区浓度和厚度的乘积小于其最优范围,所以随着厚度的增大,击穿电压增大,当 t_e 较大时,乘积超出了最优范围,故击穿电压迅速下降,同时漂移区逐渐发生部分耗尽,横向和纵向有效耐压长度同时降低.最优 t_e 随着 N_e 的增加而降低;当 N_e 为 $0.1 \times 10^{15} \text{cm}^{-3}$,优化 t_e 为 $24 \mu\text{m}$;当 N_e 为 $1.5 \times 10^{15} \text{cm}^{-3}$,优化 t_e 下降为 $6 \mu\text{m}$.在最大击穿电压之后, N_e 较小时,击穿电压随 t_e 增加下降较缓,这是由于总漂移区浓度和厚度的乘积增加较慢所致.在图 4(b)中,最优 t_e 随着 P_{sub} 的降低而减小; P_{sub} 为 $2.5 \times 10^{15} \text{cm}^{-3}$,优化 t_e 为 $11.5 \mu\text{m}$; P_{sub} 降低到 $0.1 \times 10^{15} \text{cm}^{-3}$,优化 t_e 同时减小到 $5 \mu\text{m}$.在器件设计中,为了提高器件所能达到的最大击穿电压,需要采用较小的 P_{sub} ,但是为了降低正向导通电阻,需要提高优化的总漂移区电荷数,这又要求 P_{sub} 较高,所以在器件优化中,为满足要求, P_{sub} 要折衷考虑.

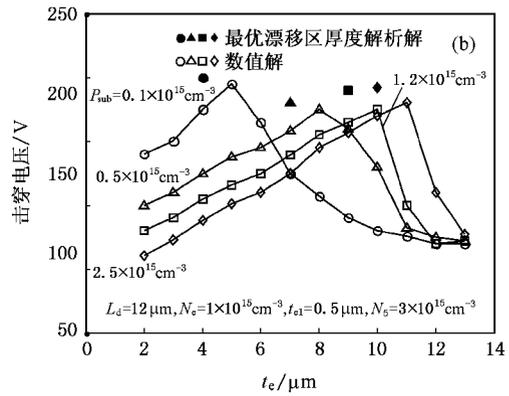
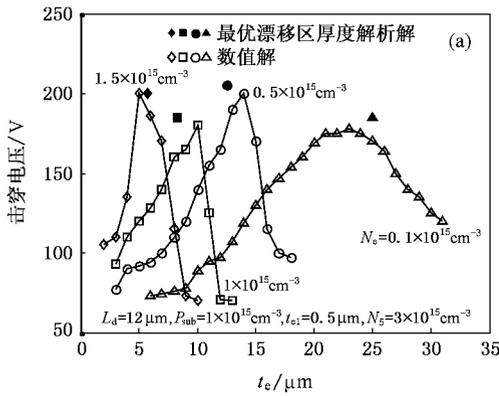


图 4 击穿电压随漂移区厚度 t_e 的变化 (a)不同 N_e (b)不同 P_{sub}

图 5 为优化漂移区厚度 t_e 与 N_5 的关系.左边曲线为常规结构,解析结果和数值结果符合相当好.随着 N_5 的增加,优化 t_e 降低,二者的乘积满足 RESURF 原理: $N_e \cdot t_e \approx 1 \times 10^{12} \text{cm}^{-2}$.漂移区越厚,纵向耐压长度越长,器件的击穿电压也越高.在器件设计中,为了获得高的击穿电压,往往采用较大的 t_e ,但是根据 RESURF 原理,较高的 t_e 其总漂移区浓度较低,这将带来器件的正向导通电阻较大的弱点.对于SD结构,优化 t_e 随 N_5 的增加近似线性下降,当

优化 t_e 从 $28 \mu\text{m}$ 减小到 $14 \mu\text{m}$ 时,均匀结构 N_e 从 $0.2 \times 10^{15} \text{cm}^{-3}$ 上升为 $1 \times 10^{15} \text{cm}^{-3}$,而SD的 N_5 从 $1.1 \times 10^{15} \text{cm}^{-3}$ 上升为 $6 \times 10^{15} \text{cm}^{-3}$,这是因为对SD结构来说,漂移区浓度的改变仅发生在表面薄层内,故需要更大的变化才能满足其 RESURF 条件.

从以上的讨论中,知道在器件优化设计中,为了获得高的击穿电压,器件表面电场应尽可能平坦均匀.当表面电场峰值小于等于临界击穿电场,器件可以达到最大的击穿电压.在结构参数的优化中,为了

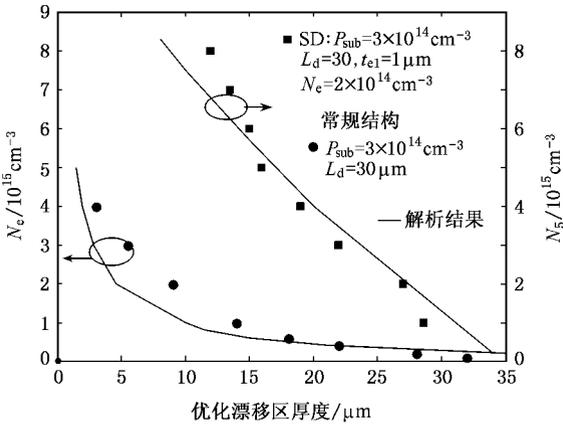


图 5 优化漂移区厚度随漂移区漏端浓度的变化

获得高击穿电压和小的导通电阻, 结构参数必须综合考虑, 达到设计要求, 并具有很好的工艺容差, 保证器件可靠的工作于安全区。

器件的击穿电压取决于横向击穿电压 BV_{lat} 和漏端纵向击穿电压 BV_{ver} 的极小值。 BV_{lat} 可以由表面电场的电离积分得到

$$\sum_{i=1}^n \int_{L_{i-1}}^{L_i} 1.8 \times 10^{-35} E_i^7(x, \rho) dx = 1.$$

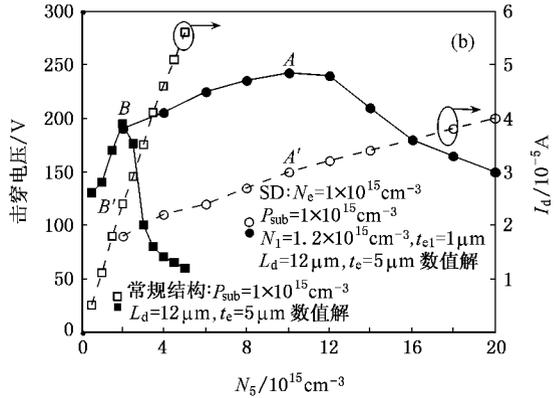
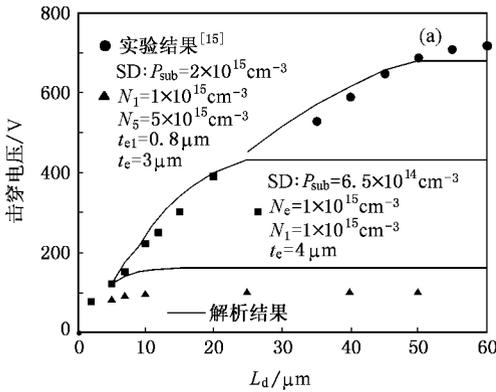


图 6 (a) 击穿电压与漂移区长度 (b) 击穿电压和漏电流与 N_5 的关系

4. 结 论

本文基于二维 Poisson 方程, 建立了 SD 结构表面电场和击穿电压模型。其机理是通过表面掺杂浓度的阶梯变化, 在漂移区中部引入新的电场峰值, 提高漂移区中部电场, 改善表面电场分布, 提高击穿电

BV_{ver} 由突变 pn 结的电离积分获得。

图 6(a) 为击穿电压与漂移区长度的关系。可见当 L_d 很小时耐压很低。从 (9) 式可以计算, 此时表面峰值电场位于源端并随外加电压升高而急剧升高, 很快发生击穿。随着 L_d 的增加, 峰值电场由源向漏端移动, 表面电场趋于均匀, 击穿电压随之提高, $L_d - V_b$ 曲线近似为线性。当 L_d 增加到一定程度时, 表面击穿变得困难, 电场峰值移向体内, 击穿电压由纵向决定, V_b 变得和 L_d 无关系, $L_d - V_b$ 曲线趋于饱和。随着漂移区厚度的增加, 趋于饱和的击穿电压也增大, 主要是由于器件的纵向耐压长度增大, 解析结果、数值结果和试验结果符合较好。图 6(b) 为击穿电压和漏电流与漂移区漏端浓度 N_5 (常规结构为 N_e) 的关系。可以看到对于均匀漂移区结构最大击穿电压和正向漏电流分别为 B 点的 192 V 和 B' 点的 2.4×10^{-5} A, 而 SD 结构为 A 点的 242 V 和 A' 点的 3.2×10^{-5} A, 较常规结构击穿电压上升了 26%, 同时导通电阻下降了 33%, 很大程度改善击穿电压和导通电阻的折衷关系, 缓解了器件在击穿电压和导通电阻上的矛盾。

压较高的掺杂位于表面, 降低导通电阻。研究了器件结构参数对击穿电压的影响, 计算了优化漂移区浓度和厚度与结构参数的关系, 给出了优化漂移区厚度与浓度的关系, 获得最高击穿电压的优化途径。数值结果、解析结果和试验结果符合较好。该模型对器件设计者具有实际的指导意义。

- [1] Baliga B J 1986 *IEEE Transaction on Electron Devices* **33** 1936
- [2] Appels J ,Vaes H 1979 *IEDM Tech Digest* 238
- [3] Baliga B J 1991 *IEEE Transaction on Electron Devices* **38** 1568
- [4] Stengl R ,Gosele U 1985 *IEDM* 154
- [5] Hardikar S ,Tadikonda R ,Green D W *et al* 2004 *IEEE Transaction on Electron Devices* **51** 2223
- [6] He J ,Zhang X ,Wang Y Y 2001 *Microelectronics Journal* **32** 969
- [7] Chen X B ,Fan X F 2001 *Proceeding of SSICT* **2** 22
- [8] Merchant S ,Arnold E ,Baumgart H *et al* 1991 *ISPSD* 31
- [9] Tadikonda R ,Hardikar S ,Green D W *et al* 2006 *IEEE Transaction on Electron Devices* **53** 1740
- [10] Han S Y ,Kim H W ,Chung S K 2000 *Microelectronics Journal* **31** 685
- [11] He J ,Zhang X 2001 *Microelectronics Journal* **32** 655
- [12] Fang J ,Qiao M ,Li Z J 2006 *Acta Phys. Sin.* **55** 3656 (in Chinese)
- [方 健、乔 明、李肇基 2006 物理学报 **55** 3656]
- [13] Dejan K ,Georges C ,Slavko A 1996 *Solid-State Electronics* **39** 1353
- [14] Sze S M 1981 *Physics of Semiconductor Devices* (New York :Wiley) p70
- [15] Wildi E J ,Gray P V ,Chow T *et al* 1982 *IEDM* **28** 268

A new analytical model of breakdown voltage for the SD LDMOS

Li Qi Zhang Bo Li Zhao-Ji

(IC Design Center ,University of Electronic Science & Technology ,Chengdu 610054 ,China)

(Received 25 June 2007 ; revised manuscript received 23 July 2007)

Abstract

In this paper ,a novel analytical model for breakdown voltage of SD LDMOS is developed . Based on the 2-D Poisson 's solution ,the model gives the analytical solutions of the surface potential and electrical field distributions as functions of the structure parameters and drain bias ;and the dependence of breakdown voltage on structure parameters is calculated . An effective way to attain the optimum high-voltage devices is also proposed . All analytical results were verified by simulation results obtained by MEDICI and previous experimental data ,showing the validity of the present model . As a result of the modulation of the drift region and substrate ' field ,the on-resistance is decreased and new electrical field peak are produced inside the drift region which improves the surface electrical field distribution and increases the breakdown voltage . The SD structure led to a significant improvement of breakdown voltage of about 26% and a reduction of on-resistance of about 33% compared to the conventional structure .

Keywords : step doping , model , optimization , modulation

PACC : 7340Q , 0420J