

# 动态应力下超薄栅氧化层经时 击穿的可靠性评价\*

栾苏珍 刘红侠 贾仁需

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2007 年 9 月 5 日收到, 2007 年 11 月 30 日收到修改稿)

实验发现动态电压应力条件下, 由于栅氧化层很薄, 高电平应力时间内隧穿入氧化层的电子与陷落在氧化层中的空穴复合产生中性电子陷阱, 中性电子陷阱辅助电子隧穿. 由于每个周期的高电平时间较短(远远低于电荷的复合时间), 隧穿到氧化层的电子很少, 同时低电平应力时间内一部分电荷退陷, 形成的中性电子陷阱更少. 随着应力时间的累积, 中性电子陷阱达到某个临界值, 栅氧化层突然击穿. 高电平时形成的陷阱较少和低电平时一部分电荷退陷, 使得器件的寿命提高.

关键词: 超薄栅氧化层, 斜坡电压, 经时击穿

PACC: 7750, 7360H, 7340

## 1. 引言

自从金属-氧化物-半导体场效应晶体管(MOSFET)发明至今,  $\text{SiO}_2$  作为性能良好的栅绝缘介质材料, 一直得到广泛的使用和研究<sup>[1-5]</sup>. 随着 MOS 器件沟道长度的不断缩小, 栅氧化层厚度也必须按比例缩小. 栅氧化层厚度已经从 50 nm 降低到目前的 1 nm 左右, 而器件的工作电压只是从 5 V 减小到 90 nm 工艺条件下的 1 V. 这使得加在氧化层中的电场强度急剧增加, 导致栅泄漏电流增强、电路静态功耗加大, 同时可能引起栅氧化层击穿, 其可靠性也会降低<sup>[6]</sup>. 虽然作为可替代  $\text{SiO}_2$  的栅介质材料<sup>[7,8]</sup> 已经得到了广泛的研究, 但由于工艺条件的限制和  $\text{SiO}_2$  得天独厚的优越性, 一直到目前的 65 nm 技术节点, 互补型 MOS 器件还是采用  $\text{SiO}_2$  作为栅介质, 而此时的  $\text{SiO}_2$  厚度为 1 nm, 接近由于工艺不平整度导致的厚度极限 0.7 nm<sup>[1]</sup>. 在如此厚度情况下, 超薄栅氧化层在发生硬击穿前发生多次软击穿, 甚至没有硬击穿出现. 由于实验中采用直流应力条件相对容易操作, 过去的文献中对超薄栅氧击穿特性的研究主要采用直流应力. 然而实际电路中, 栅介质通常

被偏置在动态应力下. 目前, 对动态电压应力下超薄栅的击穿特性和器件性能的退化尚缺乏详细的讨论.

本文研究了单极性动态电压应力下 n 型 MOSFET (nMOSFET) 超薄栅氧化层厚度  $\text{SiO}_2$  的击穿特性, 包括斜坡电压应力下器件的栅电流变化和动态电压应力下经时击穿特性, 分析了动态电压应力下器件的失效和退化机理. 单极性应力条件下超薄栅氧化层击穿时间的提高, 主要是由于高电平时陷落的电子较少, 低电平时一部分电荷退陷. 最后给出了高低电平时间对寿命提高的影响.

## 2. 器件和实验

实验样品是采用标准互补型 MOS 工艺制造的 nMOSFET, 器件栅长  $L = 0.18 \mu\text{m}$ , 栅宽  $W = 10 \mu\text{m}$ , 栅氧化层均经过氮化退火处理. 测试仪器为 HP4156B 型精密半导体参数分析仪. 所有实验均在室温条件下、电屏蔽的暗箱里进行. 为深入了解单极性电压应力, 把器件的漏、源和衬底接地 ( $V_d = V_s = V_{\text{sub}} = 0 \text{ V}$ ) 然后对其栅极施加单极性电压应力, 其应力波形如图 1(a) 所示. 作为比较, 图 1(b) 给出了

\* 国家自然科学基金(批准号: 60206006)、教育部新世纪优秀人才支持计划(批准号: NCET-05-0851)和国防预研基金(批准号: 51308040103)资助的课题.

恒定电压应力(CVS)示意图.这里  $V_g$  为栅电压,  $T$  为电压应力周期.高电平时间  $t_{on}$  内器件 50% 失效时间  $t_{50\%}$  表示只在高电平电压下器件达到失效所需要的时间.占空比  $\eta$  表示矩形波信号每个周期内高电平时间与周期  $T$  的比值,即

$$\eta = \frac{t_{on}}{T} \times 100\% .$$

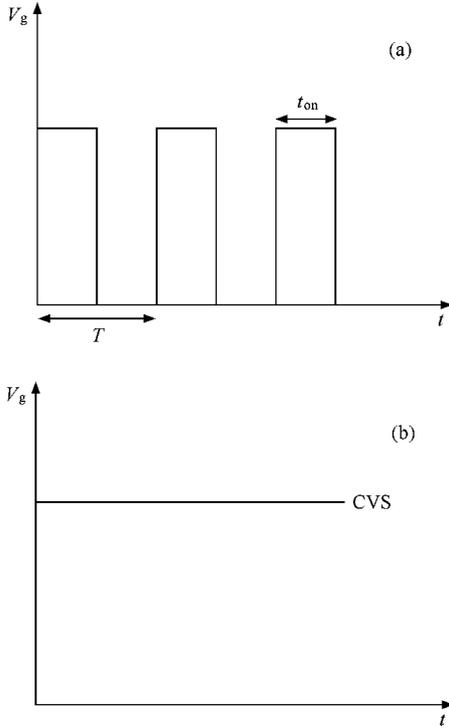


图1 电压应力波形图 (a)单极性电压应力 (b)CVS

### 3. 实验结果及分析

对器件进行了斜坡电压应力试验,器件栅上施加标准的斜坡电压  $V_{ramp} = 0-5$  V. 图 2(a) 给出了占空比  $\eta = 50\%$ , 频率  $f = 100$  Hz 时得到的栅电流随电压的变化曲线.从图 2(a) 可以看出,与厚栅  $\text{SiO}_2$  相比,超薄栅  $\text{SiO}_2$  的击穿电压较低而击穿电场强度较高.厚栅  $\text{SiO}_2$  的击穿是突发的,击穿段曲线相当陡峭,而超薄  $\text{SiO}_2$  击穿电压范围分布较宽.在图 2(b) 的 nMOSFET 栅电压倒数的自然对数坐标系中,超薄  $\text{SiO}_2$  器件的栅电流与横坐标呈线性关系,明显不同于厚栅氧化层器件的电流.对曲线拟合可以得到简化的栅电流表达式

$$I_g = A \exp(-B/E_{ox}).$$

由此可知,强反型加在栅上的电压与电场强度成正比.这与厚栅氧化层器件栅电流的表达式有所不同.这是由于栅氧化层非常薄,加上表面粗糙,使得实际的能带结构与厚栅氧化层相比有较大变化.由于镜像力的作用,  $\text{Si}/\text{SiO}_2$  界面的静势垒高度比理论值  $3.15$  eV 低.对于超薄栅氧化层 MOS 结构,由于  $\text{Si}/\text{SiO}_2$  界面的相互交错,最薄处的厚度甚至小于  $1$  nm<sup>[1]</sup>.由于镜像力的影响,能带中的  $\text{SiO}_2$  势垒已经不是规则的方势垒.因此,超薄栅氧化层栅电流不是由单一的隧穿引起,势垒高度降低使得电子更容易翻越势垒到达栅极.工艺造成  $\text{Si}/\text{SiO}_2$  界面的不平整度,使电子可以通过最薄的地方渗透到栅极.

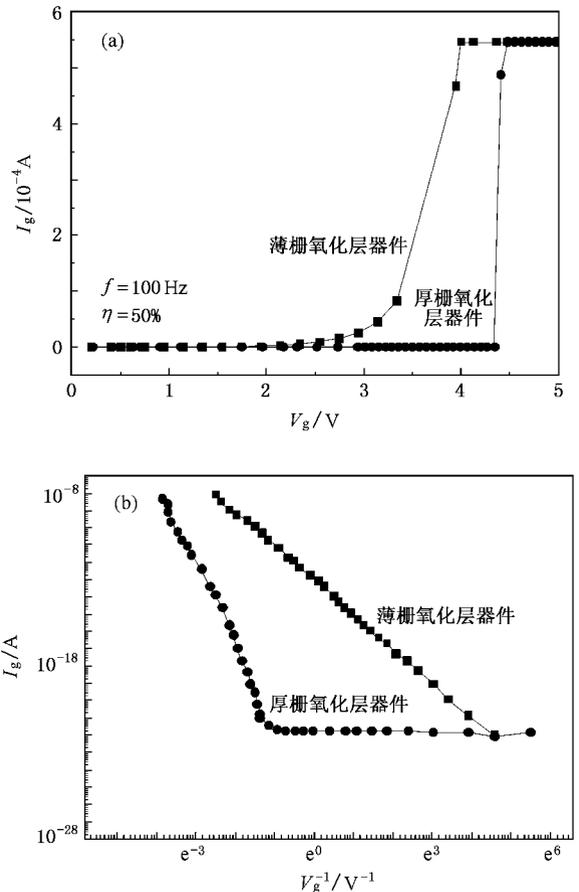


图2 器件的栅电流  $I_g$  随栅电压  $V_g$  的变化特性 (a)  $V_{ramp}$  测试曲线 (b)  $I_g$  与  $V_g^{-1}$  的关系

图 3 给出了不同应力条件下栅电流随应力时间的变化规律.从图 3 可以看出,对超薄  $\text{SiO}_2$  施加 CVS 随着时间的增加,栅的击穿不是突然出现,而是经历了软击穿,也称之为累计击穿.这是一个渐进的硬击穿过程.这个过程可以解释如下:在最初的时间里,栅电流主要由电子的直接隧穿和电子翻越

SiO<sub>2</sub> 势垒产生.随着时间增加,电子和 SiO<sub>2</sub> 中的原子发生碰撞,在 SiO<sub>2</sub> 中产生的缺陷增加,在缺陷的辅助下,使得电子更容易穿过栅氧化层到达栅极,每个缺陷都会形成一个电流通道,电流将逐渐增大.对栅氧化层施加单极性应力,随着时间延长,栅介质突然击穿.对这种现象,用上述理论解释显然不合适,可以用氧化层中产生的中性电子陷阱来解释.对于本文中的超薄栅氧化层,由于氧化层很薄,电子隧穿距离非常短,氧化层中陷落的空穴处于不稳定状态,很容易与衬底隧穿进入氧化层的电子复合,当电子和空穴在氧化层中复合时会产生新的中性电子陷阱.中性电子陷阱的缺陷能级降低了电子的隧穿势垒,使大量电子可以通过氧化层,在氧化层中形成很多电流通道,栅电流急剧增大.由于每个应力周期的高电平时间  $t_{on}$  很短 ( $t_{on} = 10 \mu s$ ) 远远小于氧化层中电荷陷落时间  $\tau$  ( $\tau = 0.1 s$ ),有效陷落电荷量很少,因此产生的中性电子陷阱很少.此外,低电平时间内,部分陷落电荷退陷.随着时间的增加,若干应力周期内总时间  $t_{total}$  内应力的共同作用,中性电子陷阱逐渐累积,达到某一临界密度后栅氧化层被突然击穿.

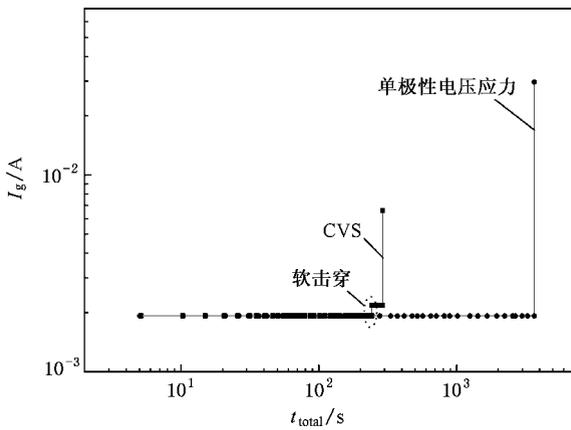


图 3 不同应力条件下栅电流随应力时间的变化. 单极性电压应力的条件为  $V_g = 3 V$ , 占空比  $\eta = 50\%$ , 栅宽  $W = 10 \mu m$ , 栅长  $L = 0.18 \mu m$

图 4 给出了单极性电压应力经时击穿特性的韦布尔分布曲线.从测量得到的曲线可以看出,当栅氧化层超薄时外推得到的器件寿命都在 30 a 以上.从图 4 可以看到,单极性电压应力的韦布尔分布曲线的斜率  $\beta$  比 CVS 曲线的斜率稍微大一些.从韦布尔分布曲线还可以看到,提高频率比提高占空比对提高器件寿命的影响更明显.

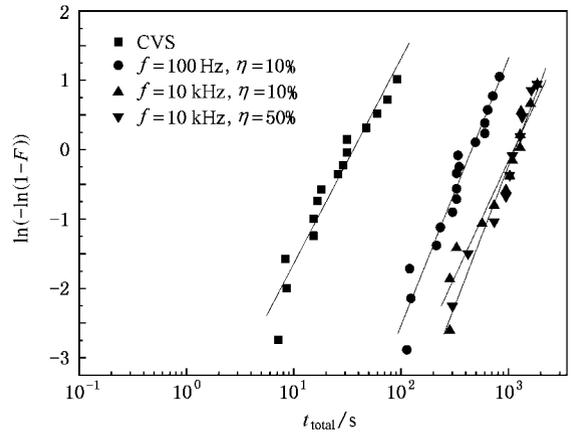


图 4 在不同的占空比和频率下,栅电压  $V_g = 3 V$  时栅氧化层经时击穿特性的韦布尔分布. 纵坐标中的  $F$  为失效度

图 5 (a) 为超薄栅氧化层的应力引起的泄漏电流 (SILC) 随应力时间的变化曲线. 作为比较, 图 5 (b) 给出了厚栅氧 SILC 特性曲线. 对于超薄栅器件, 随着时间的增加 CVS 和单极性电压应力测量得到

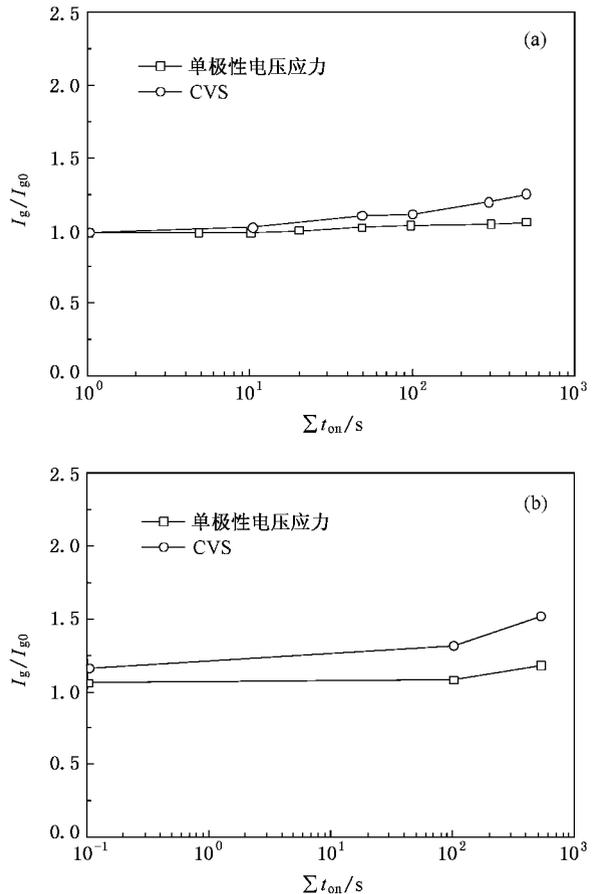


图 5 CVS 和动态电压应力条件下的 SILC 特性.  $I_{g0}$  为  $V_g = 2.5 V$  时测得的栅电流,  $I_g$  为  $V_g = 3 V$  时测得的栅电流. (a) 超薄 SiO<sub>2</sub> 层 (b) 厚 SiO<sub>2</sub> 层

的 SILC 差额比厚栅氧的 SILC 小. 厚  $\text{SiO}_2$  的两种应力的 SILC 差几乎是超薄  $\text{SiO}_2$  的 SILC 差的两倍.

图 6 给出了随着高电平时间  $t_{\text{on}}$  的增加, 不同占空比的失效时间曲线. 从图 6 可以看出, 随着高电平应力时间  $t_{\text{on}}$  的增加, 单极性应力下的击穿时间越来越接近 CVS 的击穿时间. 为了进一步理解, 图 7 给

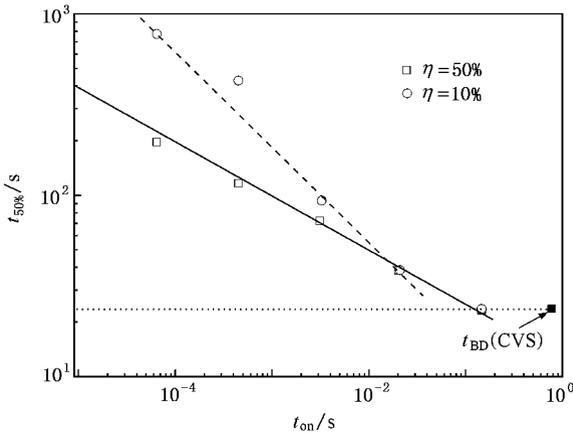


图 6 当栅电压  $V_g = 3 \text{ V}$  时超薄栅氧化层击穿时间随  $t_{\text{on}}$  的变化

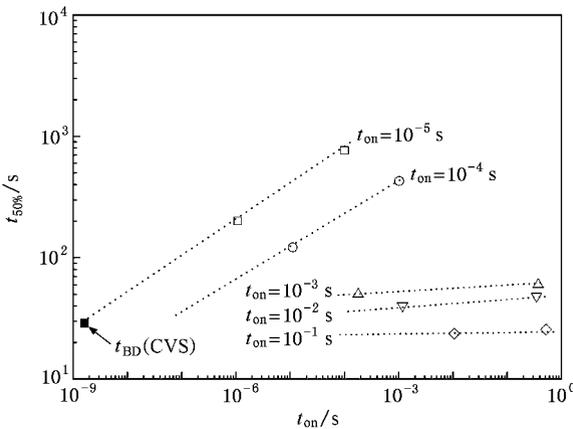


图 7 当栅电压  $V_g = 3 \text{ V}$ , 每个周期内  $t_{\text{on}}$  不同时, 击穿时间  $t_{\text{BD}}$  随  $t_{\text{off}}$  的变化

出了击穿时间  $t_{\text{BD}}$  随低电平应力时间  $t_{\text{off}}$  的变化曲线, 并给出了高低电平时间对击穿时间影响的关系. 当高电平应力时间  $t_{\text{on}} < 10^{-3} \text{ s}$  时, 电子在栅氧化层中的陷落所需时间远远大于该时间, 因此陷落的电荷很少. 此外, 由于超薄栅氧化层, 有限的反型层电子一部分通过渗透穿过栅氧化层或越过  $\text{SiO}_2$  势垒进入栅极, 提供陷落的电子减少, 因此每个应力周期中, 在较短的高电平时间内形成的中性电子陷阱很少, 薄栅氧化层击穿时间相对较长. 随着高电平时间  $t_{\text{on}}$  的增加, 击穿时间越来越接近 CVS 的薄栅氧化层击穿时间. 每个应力周期中, 当高电平时间一定时, 低电平时间就显得很重要. 从图 7 可以看出, 随着低电平时间的增加, 薄栅氧化层击穿时间增加. 高电平应力时形成的中性电子陷阱, 在低电平时间开始退陷. 每个周期中低电平应力时间  $t_{\text{off}}$  越长, 退陷的电荷越多, 中性电子陷阱减少, 击穿时间增加. 因此, 我们可以认为, 相比于 CVS 击穿, 单极性应力击穿时间的提高部分是由于低电平时退陷引起的.

## 4. 结 论

本文通过与 CVS 比较, 研究了单极性电压应力条件下超薄栅  $\text{nMOSFET}$  的击穿特性. 在动态应力条件下, 超薄  $\text{SiO}_2$  有更高的寿命; 在高频率、低占空比时, 器件的寿命更长; SILC 退化较小. 在单极性应力条件下, 可靠性的提高是高电平时陷落的电荷较少和低电平时退陷共同作用的结果. 实验表明, 每个周期的高电平应力时间  $t_{\text{on}}$  小于电荷陷落所需时间  $\tau$ , 超薄栅氧化层中陷落的电子较少, 形成的中性电子陷阱更少, 此时低电平应力时间  $t_{\text{off}}$  内电荷的退陷对寿命的提高起着关键作用.

- [ 1 ] Muller D A, Sorsch T, Moccio S, Baumann F H, Evans-lutterodt K, Tmp G 1999 *Nature* **399** 758
- [ 2 ] Stathis J H, Linder B P 2003 *Microelectron. Reliab.* **43** 1353
- [ 3 ] Wang Y G 2005 *Acta Phys. Sin.* **54** 3884 ( in Chinese ) [ 王彦刚 2005 物理学报 **54** 3884 ]
- [ 4 ] Weinberg Z A 1982 *J. Appl. Phys.* **53** 5025

- [ 5 ] Monsieur F 2002 *IRPS* **40** 45
- [ 6 ] Taur Y, Buchanan D A, Chen W 1997 *Proc. IEEE* **85** 486
- [ 7 ] Buchanan D A 1999 *IBM J. Res. Dev.* **43** 245
- [ 8 ] Wilk G D, Wallace R M, Anthony J M 2001 *J. Appl. Phys.* **89** 5234

# The dynamic reliability of ultra-thin gate oxide and its breakdown characteristics<sup>\*</sup>

Luan Su-Zhen Liu Hong-Xia Jia Ren-Xu

(*Key Laboratory for Wide Band-gap Semiconductor Materials and Devices of Ministry of Education ,  
School of Microelectronics , Xidian University , Xi'an 710071 , China* )

( Received 5 September 2007 ; revised manuscript received 30 November 2007 )

## Abstract

The experiment result shows that under unipolar voltage stress , electrons tunneling into ultra-thin gate oxide during on-time will recombine with the trapped holes , and neutral electron traps would be generated. These electron traps would assist electrons tunneling into gate oxide. It is proposed that the characteristic time  $\tau$  for the charge to be trapped in  $\text{SiO}_2$  is longer than the on-time  $t_{\text{on}}$  of unipolar stress. During the on-time few charges are trapped and during the off-time some trapped charges will be detrapped , thus very few neutral electron traps are generated. With the stress time increasing , the density of neutral electron traps would reach a critical value , and then the gate oxide would break down abruptly. The increase in unipolar breakdown time  $t_{\text{BD}}$  is attributed to fewer charge trapping during the on-time and charge detrapping during the off-time.

**Keywords** : ultra-thin gate oxide , ramp voltage , time dependent dielectric breakdown

**PACC** : 7750 , 7360H , 7340

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China ( Grant No. 60206006 ) , the Program for the New Century Excellent Talents in University of Ministry of Education , China ( Grant No. NCET-05-0851 ) and the Advanced Research Foundation for National Defence of China ( Grant No. 51308040103 ).