

4H-SiC 射频 MESFET 中陷阱参数的提取方法*

吕红亮¹⁾ 张义门¹⁾ 张玉明¹⁾ 车 勇²⁾ 王悦湖¹⁾ 陈 亮¹⁾

1) 西安电子科技大学微电子学院 教育部宽禁带半导体重点实验室 西安 710071)

2) 武警工程学院军械运输系 西安 710086)

(2007 年 5 月 9 日收到 2007 年 7 月 18 日收到修改稿)

针对 4H-SiC 射频 MESFET 中的陷阱效应,采用解析的方法建立陷阱模型,分析了陷阱效应对器件带来的影响,阐述了陷阱的陷落-发射机理,提取了时间常数、陷阱浓度等相关参数.得到的模拟结果能够较好的反映实验结果.

关键词:碳化硅,深能级陷阱,频率偏移

PACC: 2560, 7210, 7250, 7280

1. 引 言

碳化硅(SiC)材料具有禁带宽、高击穿电场、高载流子漂移速度以及高热导率等优良的物理化学性能和电学性质,成为当前最具发展潜力的第三代半导体材料之一.在高温、高频、大功率器件等方面具有重要的应用前景.基于 4H-SiC 的射频 MESFET 具有击穿电压大、功率性能优越、耐高温等优势,有望在射频功率器件领域中,尤其是移动通信基站、相控阵雷达系统等方面发挥巨大的作用^[1].

受限于碳化硅半绝缘衬底工艺的影响,早期 SiC MESFET 是在更容易获得的导通型衬底上制造的,小尺寸器件可以得到相当好的结果^[2],但对于更大尺寸的晶体管,由于互联线和压焊引入的电容造成寄生损失,功率密度和增益有所减小.为了避免这些问题,目前大多数 4H-SiC MESFET 器件采用半绝缘衬底.然而,在半绝缘衬底上制备的新型 SiC MESFET 其功率密度却远没有想象中的那么高^[3],而且器件特性与其早期的 MESFET 相比,出现了直流 $I-V$ 特性的电流滞后、膝电压偏移、射频特性的频率偏移等不稳定性现象,这很大程度上限制了微波功率输出特性^[4].

这种不稳定性主要是由陷阱引起的^[5,6].研究表明,半绝缘衬底中的钋是造成陷阱的主要原因.关于陷阱的位置和来源也有所报道^[7,8].目前,半绝缘衬

底是通过较高浓度的金属深能级(比如钋,能级 = 1.1 eV, $1 \times 10^{16} \text{ cm}^{-3}$)补偿浅能级中心得到.在高电场时,热载流子有可能注入衬底,从而产生衬底深能级的“陷落效应”.

在建立陷阱模型的基础上,可以通过对器件高频和瞬态特性的分析得到器件中的陷阱特性.本文采用解析的方法建立 $I-V$ 模型和高频模型,分析了陷阱效应对器件带来的影响,阐述了陷阱的陷落-发射机理,提取了时间常数、陷阱浓度等相关参数,得到的模拟结果能够较好地反映实验结果,且有利于器件大信号的精确建模.

2. 模 型

SiC MESFET 的典型器件结构如图 1 所示.电子在陷阱能级上的陷落和发射过程与器件的偏置电压

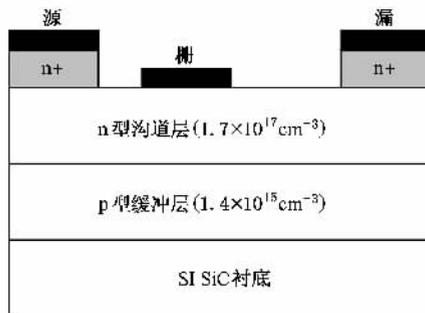


图 1 SiC MESFET 器件截面图

* 国家重点基础研究发展计划(973)项目(批准号 51327010101)和国家自然科学基金(批准号 60606022)资助的课题.

及频率有关.处于禁带中央附近的类受主能级陷阱在俘获电子后呈负电性.根据电中性条件,在沟道底部会产生一个带正电的附加耗尽区.随着漏极电压增大,靠近沟道漏极的费米能级接近陷阱能级.此时,电子从陷阱能级向导带跃迁截面增大.电子发射过程减小了附加耗尽区的宽度,从而使漏极电流增大^[5].

陷阱浓度的变化可以表示为以下形式:

$$N_t = N_0 \exp(-\beta(V_D - V_{Don})), \quad (1)$$

N_t 是 n 型沟道与缓冲层界面上被占据的陷阱浓度,

$$I_D(V_G, V_D) = I_P \frac{[\chi(u_d^2 - u_0^2) - \chi(u_d^3 - u_0^3) - \chi(u_{id}^3 - u_0^3)] \sqrt{1 + n_c/N_t}}{1 + \chi(u_d^2 - u_0^2)}, \quad (4)$$

其中, V_p 是器件的夹断电压.式中为简化而给出的 I_P , Z 可以表示为

$$I_P = \frac{q^2 n_c^2 \mu_0 W a^3}{6 \epsilon L},$$

$$V_p = \frac{q n_c a^2}{2 \epsilon},$$

$$Z = \frac{q n_c \mu_0 a^2}{2 \epsilon L v_s}.$$

u_d 是漏端耗尽层宽 h_d 相对于沟道厚度 a 的归一化系数, u_0 是源端耗尽层宽 h_0 相对于沟道厚度 a 的归一化系数,而 u_{id} (u_0) 则表示考虑了陷阱效应的归一化系数:

$$u_0(V_G) = \frac{h_0}{a} = \frac{1}{a} \sqrt{\frac{2 \epsilon}{q n_c} (V_G + V_{bi})} = \sqrt{\frac{V_G + V_{bi}}{V_p}}, \quad (5)$$

$$u_d(V_G, V_D) = \frac{h_d}{a} = \frac{1}{a} \sqrt{\frac{2 \epsilon}{q N_D} (V_D + V_G + V_{bi})} = \sqrt{\frac{V_D + V_G + V_{bi}}{V_p}}, \quad (6)$$

$$u_0(V_G) = \frac{h_0}{a} = \frac{1}{a} \sqrt{\frac{2 \epsilon}{q n_c} V_{bi}} = \sqrt{\frac{V_{bi}}{V_p}}, \quad (7)$$

$$u_{id}(V_G, V_D) = \frac{h_{id}}{a} = \frac{1}{a} \sqrt{\frac{2 \epsilon}{q n_c} (V_D + V_{bi})} = \sqrt{\frac{V_D + V_{bi}}{V_p}}, \quad (8)$$

$$V_{bi} = \frac{kT}{q} \ln(n_c N_t / n_i^2), \quad (9)$$

V_{bi} 是栅极的肖特基内建电势, V_{bi} 是陷阱引起的内

V_{Don} 是陷落的电子开始向导带发射时的漏极电压. V_{Don} 与栅极电压相关.根据文献中给出的 $I-V$ 测量曲线^[4], V_{Don} 可以通过拟合得到,其表达式为

$$V_{Don} = a_0 + a_1 V_G + a_2 V_G^2, \quad (2)$$

式中 a_0, a_1, a_2 分别为拟合参数.由于电子陷落和发射导致的附加电流可以表示为

$$I_t = q v_{sat} N_0 W a [1 - \exp(-\beta(V_D - V_{Don}))]. \quad (3)$$

碳化硅 MESFET 的基本电流-电压特性采用三段式模型^[9].考虑陷阱的影响,漏极电流可以表示为

建电势, n_i 是本征载流子浓度, ϵ 是介电常数, q 是电子电量, k 是玻尔兹曼常数, T 是温度, μ_n 是低场迁移率, d 是沟道厚度, W 是器件宽度, L 是栅长, n_c 是沟道电子浓度,其大小等于沟道掺杂浓度 N_d 、碰撞离化产生的载流子以及陷阱发射载流子之和.

在饱和区, $V_{DS} = V_{DS,sat} = q n_c d^2 (2 \epsilon) - V_{bi} + V_{GS}$.考虑到载流子速度饱和,沟道靠近漏极一段的饱和电流可以表示为 $I_D = q N_d v_{sat} W d (1 - u_s)$.其中, v_{sat} 是载流子饱和速度, u_s 是此时漏极附近耗尽层厚度与沟道厚度的归一化数值.

陷阱的陷落和发射时间常数 t_d 取决于陷阱的位置和自身特性,也可以通过电流滞后现象得到.发射时间可以表示为

$$t_d = 1 / \left(\sigma_n v_{th} N_c \exp\left(-\frac{E_c - E_t}{kT}\right) \right), \quad (10)$$

其中 σ_n 是俘获截面,热速度 $v_{th} = (3kT/m_c^*)^{1/2}$, m_c^* 是电子有效质量. E_c 和 E_t 是导带和陷阱能级.发生频率偏移的峰值频率可以表示为

$$f_p = \frac{1}{2\pi t_d}. \quad (11)$$

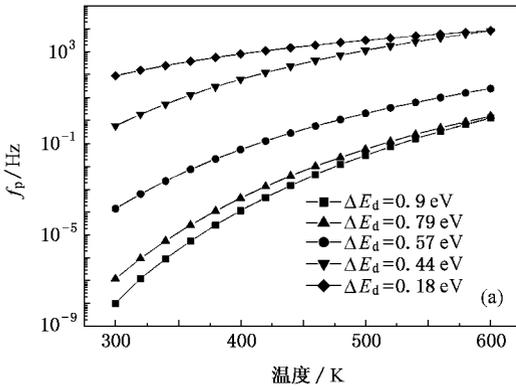
3. 模拟结果

文献 10 测量得到半绝缘衬底 MESFET 器件中的五种主要的陷阱能级和俘获截面如表 1 所示.其中 $\Delta E_d = E_c - E_t$ 代表测量得到的陷阱能级.根据 (10) 和 (11) 式,计算得到 300 K 和 600 K 条件下,峰值频率和陷阱的时间常数如图 2 所示.

表 1 测量得到的五种陷阱能级和俘获截面^[10]

$\Delta E_d/\text{eV}$	0.18	0.44	0.57	0.79	0.9
σ/cm^2	5.2×10^{-17}	7.8×10^{-15}	2.89×10^{-16}	1.3×10^{-15}	9.0×10^{-15}

可以看到, 在 300 K 温度下, 五种陷阱对应的时



间常数在 0.28 到 1.3×10^7 s 之间, 峰值频率在 1×10^{-8} 到 88.66 Hz 之间, 对器件的频率特性影响并不显著, 但在 600 K 温度下, 五种陷阱对应的时间常数在 1.95×10^{-5} 到 0.1265 s 之间, 峰值频率高达 1×10^4 Hz 左右, 对器件的频率特性影响比较大。

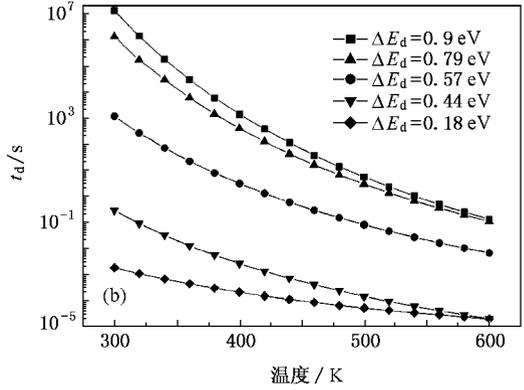


图 2 陷阱时间参数的计算结果 (a) f_p , (b) t_d

由于存在多个陷阱能级, 器件特性也同时受到多个陷阱能级及其对应的时间常数的影响, 这在瞬态模型当中尤其重要. 但由于实验的限制, 碳化硅 MESFET 中多个陷阱能级及其对应的陷阱浓度目前尚没有测量结果. 因此, 无法一一在模型中加以考虑. 我们将问题简化为单一陷阱能级或双陷阱能级的情况来考虑.

图 3 显示了计算得到归一化退化电流与实验值^[11]的比较. 图中实心符号代表实验值, 虚线代表单个陷阱能级造成的电流退化情况, 而实线代表引入两个陷阱能级反映的电流退化情况, 后者能够更好的与实验符合. 其中用到的时间常数分别为 300 s 和 6 s. 事实上正如前面已经提到的, 碳化硅器件中陷阱的种类较多, 模拟时简化为一个陷阱能级的影响是不准确的, 而简化为两个陷阱能级的影响能够与实测结果符合得非常好.

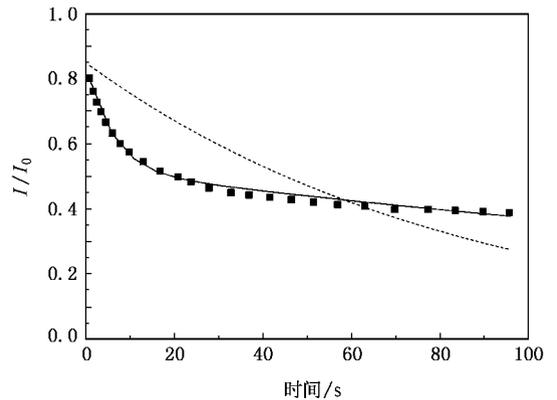


图 3 器件电流退化过程的仿真

将上述时间常数和峰值频率的求解方法与器件的特性结合, 可以进一步明确器件中起作用的陷阱, 提取参数以用来对频率特性进行计算. 结合实测器件特性^[4], 得到器件中的陷阱参数如表 2 所示, $I-V$ 曲线模拟结果如图 4 所示.

表 2 器件中的陷阱参数表

符号	N_0/cm^{-3}	β	a_0/V	a_1	a_2/V^{-1}
数值	3.5×10^{15}	0.36	6.24	1.29	0.03

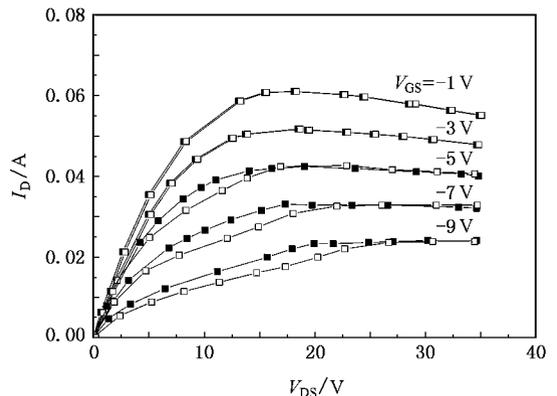


图 4 陷阱效应对器件 $I-V$ 特性的影响

图中实心符号代表器件的 5 条 $I-V$ 曲线的测量

顺序是从栅极电压为 -1 V 向 -9 V 变化, 而空心符

号则代表测量顺序是从栅极电压为 -9 V 向 -1 V 变化, 实线则代表采用上述模型仿真得到的结果. 可以看到, 电流有明显的滞后现象. 这一现象可以解释为: 位于衬底和沟道界面或缓冲层里的陷阱在空悬的时候可看作是一个离化的深能级施主, 当较高的漏极电压来临, 沟道和缓冲层可看作一个深度反偏的 pn 结. 这时, p 型缓冲层完全耗尽, 电子在大电场的作用下注入衬底. 这使得衬底和缓冲层中出现一个带负电的耗尽区, 根据电中性原理, 将在沟道底部形成一个正的耗尽区. 该耗尽区所产生的作用类似于一个寄生栅极, 它使得沟道中的电流下降. 从图中可以看出, 当栅压接近夹断电压的时候, 电流滞后的现象更为明显了, 这与前面的分析也是一致的. 当负

向栅压增大, 电流更多的从沟道底部流过, 对寄生栅极则更为敏感.

4. 结 论

本文建立了碳化硅器件陷阱效应解析模型, 用此模型对器件的直流 $I-V$ 特性和瞬态退化电流进行仿真, 并进一步对器件的陷阱参数进行分析, 得到陷阱浓度为 $3.5 \times 10^{15}\text{ cm}^{-3}$. 模拟结果符合陷阱作用的机理, 与相关文献的测试数据有很好的一致性. 用这一方法提取陷阱参数可以不必考虑不同的器件工艺和陷阱引入过程, 只需对器件端特性进行测试分析, 是一种准确有效的陷阱提取方法.

- | | |
|---|--|
| [1] Clarke R C , Palmour J W 2002 <i>Proceedings of the IEEE</i> 90 987 | [7] Augustine G , McD Hogbood H , Balakrishna V 1997 <i>Phys. Stat. Solid. B</i> 202 137 |
| [2] Moore K E , Weitzel C E 1997 <i>IEEE Electron Device Letter</i> 18 69 | [8] Mitchel W C , Saxler A , Perrin R 2000 <i>Proc. Materials Science Forum</i> 338-342 21 |
| [3] Gassoumi M , Dermoul I 2004 <i>24th International Conference on Microelectronics</i> p417 | [9] Lü H L , Zhang Y M 2004 <i>IEEE Transactions on Electron Devices</i> 51 1065 |
| [4] Sghaier N , Bluet J M 2003 <i>IEEE Transactions on Electron Devices</i> 50 297 | [10] Gassoumi M , Dermoul I 2004 <i>24th International Conference on Microelectronics</i> 2 417 |
| [5] Mukherjee S S , Islam S S 2003 <i>Semiconductor Device Research Symposium</i> p366 | [11] Noblanc O , Armodo C 2000 <i>Mater. Sci. Forum</i> 338-342 1247 |
| [6] Achtziger N , Witthuhn W 1997 <i>Appl. Phys. Lett.</i> 71 110 | |

The extraction method for trap parameters in 4H-SiC MESFETs *

Lü Hong-Liang¹⁾ Zhang Yi-Men¹⁾ Zhang Yu-Ming¹⁾ Che Yong²⁾ Wang Yue-Hu¹⁾ Chen Liang¹⁾

1) *Microelectronics Institute , Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices of the Ministry of Education , Xidian University , Xi 'an 710071 , China)*

2) *Engineering College of Armed Police Force , Xi 'an 710086 ,China)*

(Received 9 May 2007 ; revised manuscript received 18 July 2007)

Abstract

The small signal equivalent circuit of SiC MESFETs has been studied and the parasitic and intrinsic elements have been extracted with both numerical and analytical methods. The trapping-emission mechanism is discussed in detail. The proposed model is valuable for the optimization of the device design and processing.

Keywords : silicon carbide , deep level trap , frequency dispersion

PACC : 2560 , 7210 , 7250 , 7280

* Project supported by the State Key Development Program for Basic Research of China (Grant No. 51327010101) and the National Natural Science Foundation of China (Grant No. 60606022).