

通孔尺寸对铜互连应力迁移失效的影响*

吴振宇† 杨银堂 柴常春 李跃进 汪家友 刘 彬

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2007 年 6 月 30 日收到, 2007 年 9 月 18 日收到修改稿)

在 200°C 温度下进行了 700 h 双层铜互连 ($M1/M2$) 的应力迁移加速老化试验, 结合有限元分析和聚焦离子束 (focused-ion-beam, 简称 FIB) 技术研究了通孔直径分别为 500 和 350 nm 的铜互连应力诱生空洞失效现象, 探讨了应力诱生空洞的形成机理, 并分析了通孔尺寸对铜互连应力迁移的影响. 结果表明, $M1$ 互连应力和应力梯度在通孔底部边缘处达到极大值. 应力梯度在应力诱生空洞成核过程中起主导作用, 由张应力产生的过剩空位在应力梯度作用下沿 Cu $M1$ /SiN 界面作扩散运动并在应力梯度极大值处成核生长成空洞. 由于 $M1$ 互连应力沿横向方向变化较快, 因此应力诱生空洞的横向生长速率较大. 当通孔直径增大时, 互连应力和应力梯度值增大, 并导致应力诱生空洞的生长速率上升.

关键词: 铜互连, 应力迁移, 应力诱生空洞, 失效

PACC: 6630, 6570, 6170Q

1. 引 言

随着集成电路向着高密度化和高性能化方向发展, 电路特征尺寸不断缩小, 互连层数不断上升. 由于 Cu 的电阻率较低, 抗电迁移和应力迁移能力强, 且其镶嵌制造工艺的兼容性好、成本低, 因此 Cu 互连已取代 Al 互连成为新型主导互连技术. 新的互连结构和工艺, 如 Cu 电镀 (electro-copper plating, ECP) 和化学机械抛光 (chemical-mechanical polishing, CMP) 等, 以及新的互连材料, 如低 k 介质、阻挡层和覆盖层材料等, 也相继被开发并应用于集成电路互连技术, 从而大大提高了集成电路的性能, 但也由此引发了一系列的互连可靠性问题^[1-3]. 应力诱生空洞是铜互连失效的重要现象之一, 多发生在通孔附近和金属连线边缘, 与互连结构、应力、应力梯度、金属/介质界面的粘附性以及互连材料的微观结构密切相关, 其失效的物理机理至今尚未明确^[4-6]. 现有研究表明, 由于绝缘介质和铜之间的热失配, 在 ECP 工艺退火后会在金属连线中产生热机械应力, 在应力作用下, 互连线中的过剩空位扩散、成核、生长并在互连线中产生空洞, 从而引起互连电阻增大甚至造成互连线断裂^[7-9]. 互

连线中张应力集中的区域被认为是空位积聚成核并生长产生空洞的位置^[10,11]. 此外, 应力迁移还与互连结构和测试温度等密切相关^[12-15].

本文主要研究通孔尺寸对铜互连应力迁移的影响, 用有限元分析的方法模拟计算不同通孔尺寸下的三维互连应力分布, 用 FIB 技术分析 200°C 下铜互连 ($M1$ /通孔/ $M2$) 的失效现象. 结果表明, 应力迁移与互连结构以及制造工艺过程密切关联, $M1$ 互连线应力和应力梯度在通孔拐角底部处达到极大值, 并导致该位置出现应力诱生空洞失效. 当通孔尺寸缩小时应力和应力梯度减小, 应力诱生空洞的生长速率也随之下降.

2. 实验方法

图 1 给出了铜互连样品的结构示意图. 铜互连样品双镶嵌制作工艺过程如下: 1) 淀积第一层层间介质层 (inter-metal dielectrics, IMD1), 包括 50 nm 的 SiN 和 800 nm 的 SiO₂ 材料. IMD1 淀积完成后由干法刻蚀形成 $M1$ 沟槽; 2) 以物理气相淀积 (physical vapor deposition, PVD) 方法制作约 20 nm 厚的 Ta 阻挡层和 120 nm 的 Cu 种子层后用 ECP 工艺制作互连线

* 西安应用材料创新基金 (批准号: XA-AM-200501) 资助的课题.

† E-mail: wuzhenyu@xidian.edu.cn

$M1$; 3) 淀积 50 nm 的 SiN 作为 $M1$ 覆盖层. IMD2 为 800 nm SiO_2 /50 nm SiN/800 nm SiO_2 , 由化学气相淀积(chemical vapor deposition, CVD)方法制作, 其中 SiN 作为 $M2$ 沟槽刻蚀停止层. 制作通孔和 $M2$ 沟槽; 4) 以 PVD 方法制作约 20 nm 厚的 Ta 阻挡层和 120 nm 的 Cu 种子层, 用 ECP 工艺制作互连线 $M2$. 其中, 通孔直径分别为 500 和 350 nm, $M1$ 和 $M2$ 互连线的宽度为 800 nm. 为了方便讨论, 将 Cu $M1$ 顶端/SiN 界面记作 VM1 界面, 该界面的中线记作 VML. 将 Cu $M2$ 顶端/SiN 界面记作 VM2 界面. 将 VML 上 Cu $M1$ 端点记作坐标轴轴原点. 将 VML 上通孔拐角处的两个位置分别记作 VMP1 和 VMP2.

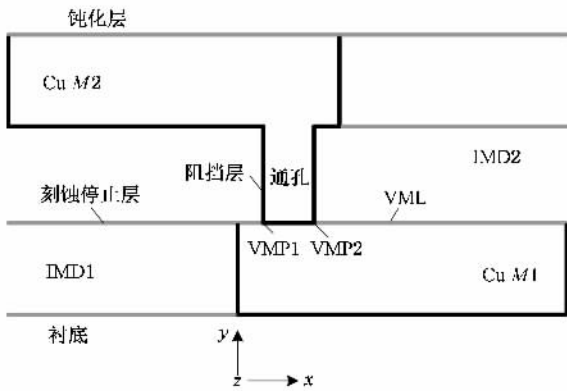


图 1 铜互连测试样品横截面结构示意图

将实验样品用丙酮超声清洗后密封在石英管中, 真空度约 1×10^{-4} Pa. 在 200℃ 温度下烘烤样品 700 h, 温度稳定性优于 $\pm 1^\circ\text{C}$. 将样品浸没在 HF 酸中约 3 min 以减薄表面钝化介质层并用聚焦离子束分析仪(FEI FIB 201)观察互连中的失效情况. 测量空洞尺寸并与烘烤时间相除得到平均空洞生长速率.

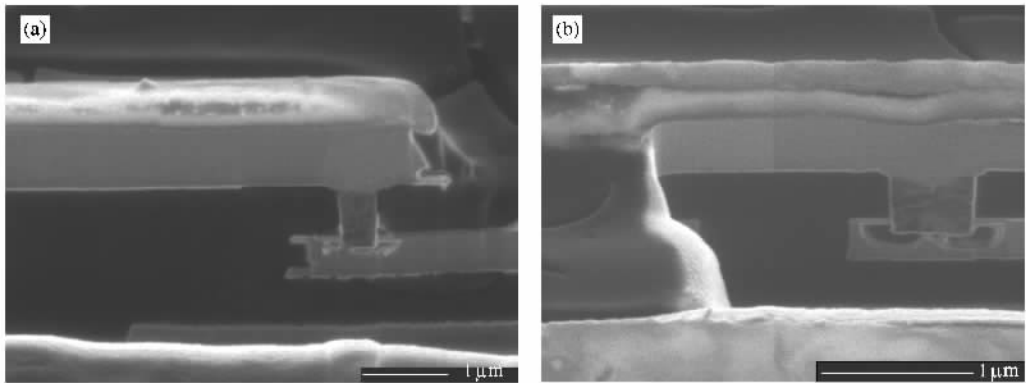


图 2 Cu 互连样品横截面应力诱生空洞失效 FIB 照片 (a) 通孔直径 500 nm, 观察倾角 44.6° (b) 通孔直径 350 nm, 观察倾角 38.5°

表 1 互连应力分布计算所用参数^[4,17]

材料	CTE($10^{-6} \text{ } ^\circ\text{C}^{-1}$)	杨氏模量/GPa	泊松比
Cu	17.4	125	0.34
Ta	6.5	185.7	0.342
SiN	0.8	312	0.26
SiO_2	2.61	130	0.278

用 ABAQUSTM 有限元分析软件模拟计算不同结构互连中的三维应力分布. 铜互连有限元应力分析结构模型建立过程如下: 互连结构模型的结构尺寸取实际工艺参数值. 由于 Cu $M2$ 和通孔在实际 ECP 工艺中是同时完成的, 因此采用四面体网格来划分此不规则单元. 同理 Ta 阻挡层也采用四面体网格. 其他规则柱状单元采用六面体网格划分. 模型中假定每种材料均为各向同性的塑性材料, 材料性能参数如表 1 所示. 选取 400℃ 作为零应力温度^[16], 施加荷载条件为 400 到 200℃ 的温度变化.

3. 结果与讨论

图 2 示出了不同通孔尺寸的 Cu 互连样品应力诱生空洞失效 FIB 横截面分析照片. 从图 2 中可以看出, 在通孔内部和 $M2$ 互连中均未观察到空洞出现, 而在通孔直径为 500 和 350 nm 的互连的 VMP1 和 VMP2 位置均出现应力诱生空洞. 通孔直径为 500 nm 的互连空洞大小约 $1.01 \times 10^{-2} \mu\text{m}^3$, 空洞生长速率约为 $1.43 \times 10^4 \text{ nm}^3/\text{h}$. 通孔直径为 350 nm 的互连空洞大小约 $6.98 \times 10^{-3} \mu\text{m}^3$, 空洞生长速率约为 $9.86 \times 10^3 \text{ nm}^3/\text{h}$. 可见, 不同通孔尺寸下的铜互连应力诱生空洞位置相同, 而空洞生长速率随通孔直径的增大而上升. 此外, 在互连线末端还观察到

晶须的出现. 由于 Cu/SiN 界面的扩散激活能比铜晶界低^[18], 且 CMP 工艺引入的界面缺陷进一步降低了该界面的扩散激活能, 从而导致空位更易沿此路径进行扩散运动, 同时此界面上的空位形成能也较低, 因此当应力条件满足时该界面上更容易发生应力迁移失效, 这与观察到的失效现象也是一致的. 需指出的是, 失效试验前未观察到互连中存在任何空洞.

图 3 给出了不同通孔尺寸互连的静态张应力分布. 计算得到通孔直径 500 nm 的互连应力值为 190—900 MPa, 显著高于通孔直径 350 nm 的互连应

力值(150—700 MPa). 从图 3 中可以看出, 不同通孔尺寸的互连静态张应力分布相似, 在通孔内部达到最大值, 在 VML 线上通孔拐角底部附近 VMP1 和 VMP2 位置处分别出现极大值, VM1 界面的应力和应力的变化也均高于 VM2 界面. 应力分析结果还表明, 在 VMP1 和 VMP2 附近应力沿 y 方向比 x 方向变化慢, 且通孔尺寸对应力沿 y 方向变化的影响也较小, 同时由于沿 Cu M1/SiN 界面的空位主导扩散路径也是横向的, 从而使空位的横向扩散占主导因素, 因此应力诱生空洞和晶须的生长主要表现为横向生长(见图 2).

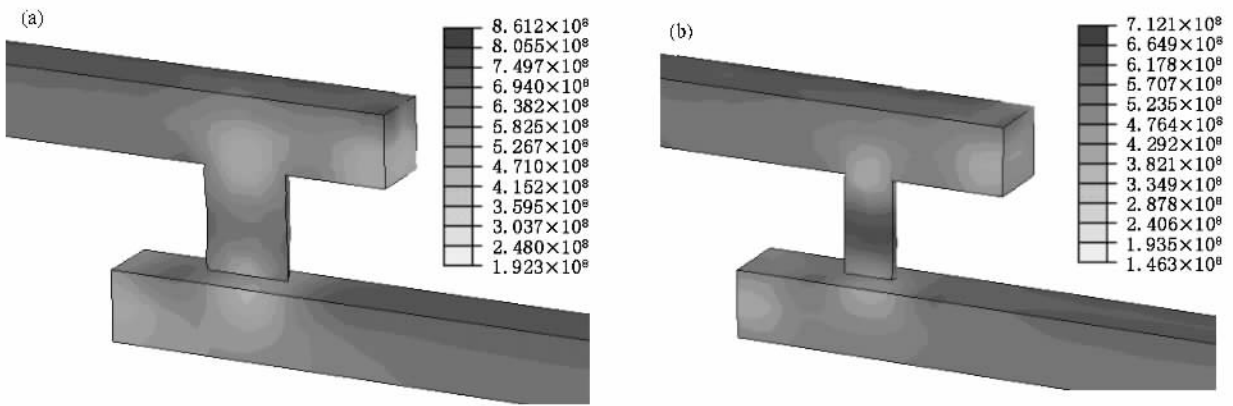


图 3 不同通孔尺寸下铜互连中的张应力分布 (a)500 nm (b)350 nm

为了进一步分析应力和应力梯度在应力诱生空洞成核和生长中的作用, 分别计算了互连应力和应力梯度在 VML 线上的分布情况. 图 4 给出了不同通孔尺寸的互连 VML 线上应力沿 x 方向变化的情况. 可见, 不同通孔尺寸的互连其 VML 线上的应力分布模式类似. 应力在 VML 线上的 VMP1 和 VMP2 附近达到极大值, 而在 VMP1 和 VMP2 的中间区域达到最小值. 同时, 互连应力随通孔尺寸的增大而上升. 通孔直径为 350 nm 时互连应力极值约为 500 MPa, 而通孔直径为 500 nm 时互连应力极值约为 650 MPa. 此外, 在 VML 线上 VMP2 右侧, 互连应力值较大, 与 VMP2 处的应力极大值接近.

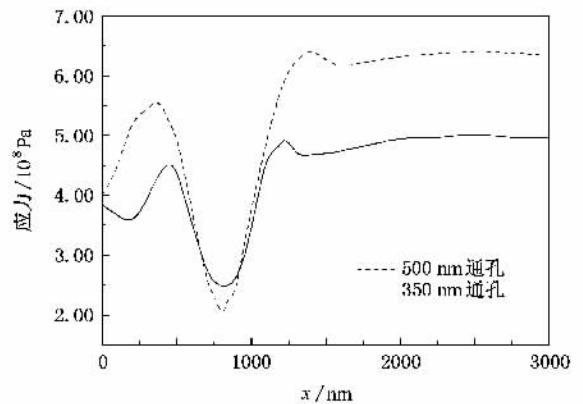


图 4 不同通孔尺寸下互连张应力在 VML 上的分布

图 5 给出了不同通孔尺寸的铜互连 VML 上的应力梯度分布. 可见, 通孔尺寸不同的互连 VML 线上的应力梯度分布类似, 均在 VML 线上 VMP1, VMP2 位置处发生急剧变化. 应力梯度的绝对值在 VMP1 和 VMP2 位置处达到极大值, 并随通孔尺寸的增大而上升. 500 nm 通孔互连 VML 上的应力梯度极值约为 1.1 MPa/nm, 而 350 nm 通孔互连的应力梯度约为 0.8 MPa/nm. 在远离通孔的互连区域,

应力分布比较均匀, 且应力梯度值较低, 一般小于 0.01 MPa/nm.

由上述分析可知, 由于 VM1 界面上的扩散激活能和空位形成能较低, 且应力和应力梯度值较大, 因此在 VM1 界面上更容易产生应力诱生空洞. 互连张应力是空位形成的主要驱动力, 张应力集中的区域空位密度较大, 并沿应力梯度方向聚集、成

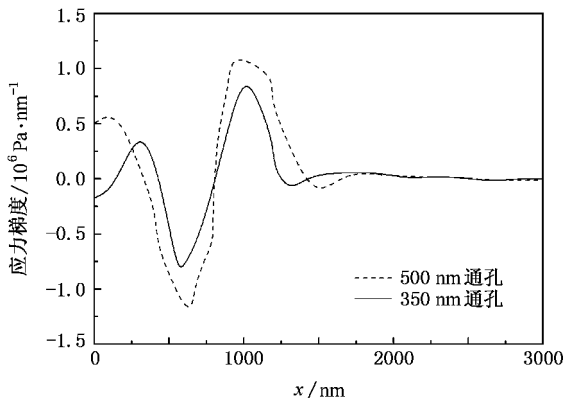


图5 不同通孔尺寸下铜互连 VML 上的应力梯度分布

核与生长。在通孔直径为 500 nm 的互连中, VMP1 和 VMP2 处的应力和应力梯度值均显著高于通孔直径 350 nm 的互连, 因此通孔直径为 500 nm 的铜互连的应力诱生空洞的生长速率更大。虽然通孔内部的应力较大, 但两种尺寸的互连通孔内部均未观察到空洞, 这可能是由于通孔内部扩散阻挡层和 Cu 的黏附性较好, 导致通孔内部的空位扩散激活能较高, 从而阻止了空位在通孔中的积聚成核。这与图 2 观察到的阻挡层完整的情况也是一致的。

在 VML 线上, 不同通孔直径下铜互连的应力和应力梯度的极大值和观察到的应力诱生空洞的位置完全一致。但由于 VMP2 右侧 VML 线上的应力梯度值很小而应力值较大, 同时实验中并未在 VML 线右侧观察到空洞失效, 因此本文认为应力梯度在应力诱生空洞的成核过程中占主导地位。此外, 由 M1 互连 CMP 工艺和通孔刻蚀工艺在 VMP 位置处引入的界面态缺陷也可能是 VMP 处空洞产生的原因之一。由于界面态缺陷的存在降低了该处空位扩

散激活能和空位形成能, 使得互连中的过剩空位更易于沿应力梯度方向扩散并在 VMP 处积聚、成核并生长, 从而导致 VMP 处出现应力诱生空洞。一些提高该扩散激活能的方法, 如采用覆盖层材料等, 如 CoWP 等, 可以提高铜互连的抗应力迁移能力^[19]。

对比应力和空洞生长速率的分析结果, 可以推测空洞形成和生长过程如下: 由于互连张应力的存在引起该处互连金属化学势的变化, 从而产生过剩空位, 空位在应力梯度的作用下沿主导扩散路径作扩散运动并在应力梯度极大值处成核生长成空洞, 空洞生长速率由过剩空位的数量和应力梯度的大小共同决定, 而应力梯度在应力诱生空洞的形成过程中起主导作用。当互连通孔尺寸增大时, 由于应力和应力梯度值增大导致互连应力诱生空洞的生长速率上升。

4. 结 论

本文研究了铜互连应力诱生空洞的形成机理, 并分析了通孔尺寸对铜互连应力迁移的影响。应力仿真结果表明, 不同通孔尺寸的互连其应力和应力梯度均在通孔下方边缘处达到极大值, 且互连应力和应力梯度值随通孔尺寸的增大而上升。失效分析表明, 应力迁移失效主要发生在位于通孔正下方的 M1 互连顶部区域。应力梯度是应力诱生空洞成核与生长的主要驱动力, 决定了应力诱生空洞的位置。由于横向应力变化较快, 且主导扩散路径为 Cu/SiN 界面, 从而导致空洞横向生长速率较大。随着互连通孔尺寸的增大, 互连应力和应力梯度增大, 应力诱生空洞生长速率也随之上升。

- [1] Rosenberg R, Edelstein D C, Hu C K, Rodbell K P 2000 *Annu. Rev. Mater. Sci.* **30** 229
- [2] Wang Y Y, Kang J F 2002 *Chinese Journal of Semiconductor* **23** 1121 (in Chinese) 王阳元、康晋峰 2002 *半导体学报* **23** 1121
- [3] Wang H, Zhu J J, Wang G H, Bruynseraede C, Maex K 2005 *Acta Elec. Sin.* **33** 1516 (in Chinese) 汪 辉、朱建军、王国宏、Bruynseraede C, Maex K 2005 *电子学报* **33** 1516
- [4] Weide-Zaage K, Dalleau D, Danto Y, Fremont H 2007 *Microelectronics Reliability* **47** 319
- [5] Matsuea T, Hanabusab T, Ikeuchia Y, Kusakab K, Sakatac O 2006 *Vacuum* **80** 836

- [6] Li Baozhen, Sullivan T D, Lee T C, Badami D 2004 *Microelectronics Reliability* **44** 365
- [7] Shi L T, Tu K N 1994 *Appl. Phys. Lett.* **65** 1516
- [8] Gan D, Wang G, Ho P S 2002 *IEEE Interconnect Technology Conference Proceedings* 271
- [9] Lim Y K, Arijit R, Pey K L, Tan C M, Seet C S, Lee T J, Vigar D 2005 *IEEE International Reliability Physics Symposium Proceedings* 203
- [10] Aoyagi M 2005 *J. Vac. Sci. Technol. B* **23** 2384
- [11] Federspiel X 2004 *IEEE International Reliability Physics Symposium Proceedings* 623

- [12] Ogawa E T , Mcpherson J W , Rosal J A , Dickerson K J , Chiu T C , Tsung L Y , Jain M K , Bonifield T D , Ondrusek J C , McKee W R 2002 *IEEE International Reliability Physics Symposium Proceedings* 312
- [13] Wang R C J , Lee C C , Chen L D , Wu K , Chang-Liao K S 2006 *Microelectronics Reliability* **46** 1673
- [14] Shao W , Gan Z H , Mhaisalkar S G , Chen Z , Li H Y 2006 *Thin Solid Films* **504** 298
- [15] Gan Z H , Shao W , Mhaisalkar S G , Chen Z , Li H Y 2006 *Thin Solid Films* **504** 161
- [16] Rhee S H , Du Y , Ho P S 2003 *J. Appl. Phys.* **93** 3926
- [17] Paik J M , Park H , Joo Y C 2004 *Microelectronic Engineering* **71** 348
- [18] Lloyd J R , Lane M W , Liniger E G , Hu C K , Shaw T M , Roserberg R 2005 *IEEE Transactions on Device and Materials Reliability* **5** 113
- [19] Gambino J P , Johnson C L , Therrien J E , Hunt D B , Wynne J E , Smith S , Mongeon S A , Pokrinchak D P , Levin T M 2006 *IEEE Transaction on Device and Materials Reliability* **6** 197

The effect of via size on the stress migration of Cu interconnects *

Wu Zhen-Yu[†] Yang Yin-Tang Chai Chang-Chun Li Yue-Jin Wang Jia-You Liu Bin

(Key Laboratory of Ministry of Education for Band-Gap Semiconductor Materials and Devices ,
School of Microelectronics , Xidian University , Xi 'an 710071 , China)

(Received 30 June 2007 ; revised manuscript received 18 September 2007)

Abstract

Accelerated stress-migration testing under 200°C of Cu (*M1/M2*) interconnects has been done for 700 h. Finite element analysis and focused-ion beam techniques have been used to study the stress-induced voiding in the Cu interconnects with vias of 500 and 350 nm in diameter. The voiding mechanism and the effect of via size on the stress migration have been studied. The results show that peak values of stress and stress gradient in *M1* lines are reached underneath the edge of vias. The stress gradient shows crucial effect on the voiding process. The vacancies introduced by thermo-mechanical stress diffuse along Cu *M1*/SiN interfaces under the force of stress gradient and nucleate at the peak values of the stress gradient. The void grows faster along the length direction because the stress in *M1* lines changes faster horizontally. The stress and stress gradient increase with increasing via diameter , leading to a faster voiding rate.

Keywords : Cu interconnect , stress migration , stress-induced voiding , failure

PACC : 6630 , 6570 , 6170Q

* Project supported by the Xi 'an-Applied Materials Innovation Fund (Grant No. XA-AM-200501).

[†] E-mail : wuzhenyu@xidian.edu.cn