

高 k 介质异质栅全耗尽 SOI MOSFET 二维解析模型*

栾苏珍[†] 刘红侠 贾仁需 蔡乃琼

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2007 年 10 月 24 日收到, 2007 年 12 月 4 日收到修改稿)

为了研究高介电常数(高 k)栅介质材料异质栅中绝缘衬底上的硅和金属-氧化物-硅场效应晶体管的短沟道效应, 为新结构器件建立了全耗尽条件下表面势和阈值电压的二维解析模型. 模型中考虑了各种主要因素的影响, 包括不同介电常数材料的影响, 栅金属长度及其功函数变化的影响, 不同漏电压对短沟道效应的影响. 结果表明, 沟道表面势中引入了阶梯分布, 因此源端电场较强, 同时漏电压引起的电势变化可以被屏蔽, 抑制短沟道效应. 栅介电常数增大, 也可以较好的抑制短沟道效应. 解析模型与数值模拟软件 ISE 所得结果高度吻合.

关键词: 异质栅, 绝缘衬底上的硅, 阈值电压, 解析模型

PACC: 7330, 7340R, 7215N

1. 引 言

当金属-氧化物-半导体场效应晶体管(MOS)的特征尺寸进入纳米领域时, 短沟道效应(short channel effect, 简称 SCE)、漏致势垒降低效应(drain induced barrier lowering, 简称为 DIBL)等成为超大规模集成电路(ultra-large-scale-integrate circuit, 简称 ULSI)的严重限制性因素^[1,2]. 与体硅互补金属氧化物半导体(complementary metal-oxide-silicon, 简称 CMOS)技术相比, 薄膜全耗尽绝缘衬底上的硅和金属氧化物-硅场效应晶体管(silicon-on-insulator, metal-oxide-silicon field effect transistor, 简称 SOI MOSFET)表现出较好的电特性^[3-6], 如结电容减小、载流子迁移率增大、电流驱动能力提高、跨导增强和 SCE 较小. 然而, 为了提高器件的性能, 薄膜厚度必须减小到 10 nm 左右. 如此薄的硅膜不仅工艺上实现不易, 而且较浅的源漏结使寄生电阻增大. Long 等人^[7]提出的异质栅(dual-material gate, 简称 DMG)结构可以同时提高输运效率和抑制短沟道效应. DMG MOSFET 由于两种栅电极材料的功函数不同,

在沟道中产生阶梯电势. 这样源端电场可以加强, 载流子在沟道中加速更快, 同时漏压引起的电势变化可以被屏蔽, 以抑制短沟道效应. 异质栅全耗尽 SOI MOSFET 在当今 CMOS 设计中似乎是一种不错的选择^[8,9]. 此外, 随着 MOS 晶体管的不断缩小, 为了获得良好的性能, 栅氧化层厚度也要相应的缩小, 而对于纳米尺度的 MOS 器件, 其氧化层厚度必须低于 3 nm, 如此薄的氧化层会导致直接隧穿等一系列问题. 所以, 选取一种高 k 材料来代替传统的 SiO_2 层, 以提高栅氧化层的物理厚度就成为必然. 关于高 k 材料已经进行了大量的报道, 既包括实际的测试, 也包括各种数值模型^[10]. 本文的主要目的就是利用二维模型来研究高 k 栅介质 DMG SOI MOSFET 这种新结构在抑制短沟道效应方面的优势. 通过求解二维泊松方程, 为高 k 介质异质栅 SOI MOSFET 建立全耗尽条件下的解析模型. 模型中计算了两种金属栅下 SOI 硅膜中的表面势分布, 并分析了异质栅抑制短沟道效应如 DIBL、阈值电压漂移等特性. 模型中还给出了栅介质介电常数对 SCE 的影响. 二维数值模拟器 ISE 用来验证模型的正确性.

* 国家自然科学基金(批准号: 60206006), 教育部新世纪优秀人才支持计划(批准号: NCET-05-0851)和国防预研究基金(批准号: 51308040103)资助的课题.

[†] E-mail: szluan@mail.xidian.edu.cn

2. 表面势模型

图 1 中给出了高 k 栅介质 DMG 全耗尽 SOI MOSFET 的结构示意图, 栅金属 M_1 和 M_2 的长度分别为 L_1, L_2 . 其中材料 1 的功函数比材料 2 的大, 这

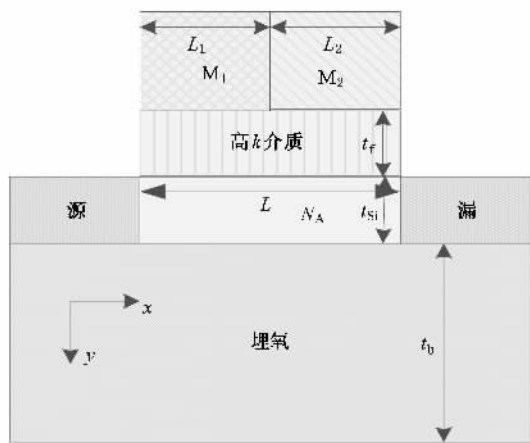


图 1 DMG SOI MOSFET 结构示意图

样最小表面势出现在 M_1 下, 即 M_1 下的阈值电压高. 假设沟道区掺杂均匀, 氧化层中的固定电荷对沟道电势的影响可以忽略. 强反型开启前, 硅膜中两个区域里电势分布的泊松方程可以表示为

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{Si}}, \quad (1)$$

$$0 \leq x \leq L, 0 \leq y \leq t_{Si}$$

其中 N_A 是沟道中的掺杂浓度, ϵ_{Si} 是硅的介电常数, t_{Si} 是硅膜厚度, L 为器件的沟道长度. 垂直方向上的电势, 如 y 方向上, 可以用抛物线函数近似描述, 则二维泊松方程可以简化为

$$\phi(x, y) = \phi_s(x) + c_1(x)y + c_2(x)y^2, \quad (2)$$

$\phi_s(x)$ 是沿沟道方向的表面势, 任意常数 $c_1(x), c_2(x)$ 仅是 x 的函数.

与常规 SOI MOSFET 不同, DMG SOI MOSFET 的栅由两种不同的金属构成, 因此对其分成两个区域进行讨论. 两个栅的平带电压分别为

$$\begin{aligned} V_{FB1} &= \phi_{MS1} = \phi_{M1} - \phi_{Si}, \\ V_{FB2} &= \phi_{MS2} = \phi_{M2} - \phi_{Si}, \end{aligned} \quad (3)$$

其中 ϕ_{M1}, ϕ_{M2} 分别是金属 1 和 2 的功函数. 半导体的功函数 $\phi_{Si} = \chi_{Si} + E_g/2q + \phi_F$, 其中 $\phi_F = V_1 \ln(N_A/n_i)$ 是硅的费米势, E_g 是禁带宽度, χ_{Si} 是电子亲和势, V_1 是热电势, n_i 为本征载流子浓度.

由于栅被分成两个区域, 电势可以写为

$$\begin{aligned} \phi_1(x, y) &= \phi_{s1}(x) + c_{11}(x)y + c_{12}(x)y^2, \\ 0 \leq x \leq L_1, 0 \leq y \leq t_{Si}, \end{aligned} \quad (4)$$

$$\begin{aligned} \phi_2(x, y) &= \phi_{s2}(x) + c_{21}(x)y + c_{22}(x)y^2, \\ L_1 \leq x \leq L_2, 0 \leq y \leq t_{Si}. \end{aligned} \quad (5)$$

在两个区域里分别求解泊松方程, 边界条件如下:

1) 前栅和背栅硅/栅氧界面处的电通量分别连续, 即

$$\begin{aligned} \left. \frac{d\phi_1(x, y)}{dy} \right|_{y=0} &= \frac{\epsilon_f}{\epsilon_{Si}} \frac{\phi_{s1}(x) - V'_{gs1}}{t_f}, \\ \left. \frac{d\phi_2(x, y)}{dy} \right|_{y=0} &= \frac{\epsilon_f}{\epsilon_{Si}} \frac{\phi_{s2}(x) - V'_{gs2}}{t_f}, \end{aligned} \quad (6)$$

$$\begin{aligned} \left. \frac{d\phi_1(x, y)}{dy} \right|_{y=t_{Si}} &= \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{V'_{SUB} - \phi_B(x)}{t_b}, \\ \left. \frac{d\phi_2(x, y)}{dy} \right|_{y=t_{Si}} &= \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{V'_{SUB} - \phi_B(x)}{t_b}, \end{aligned} \quad (7)$$

其中, ϵ_f 是高 k 材料介电常数, t_f 是栅介质厚度. $V'_{gs1} = V_{gs} - V_{FB1f}, V'_{gs2} = V_{gs} - V_{FB2f}, V_{FB1f}, V_{FB2f}$ 分别是加在金属 1, 2 上的平带电压, t_b 是埋氧的厚度, $\phi_B(x)$ 是沿埋氧和硅界面的电势. $V'_{SUB} = V_{SUB} - V_{FBb}$, 其中 V_{SUB} 是衬底电压, V_{FBb} 是背栅的平带电压.

2) 两种金属界面处的电势和电通量连续, 可以得到

$$\phi_1(L_1, 0) = \phi_2(L_1, 0), \quad (8)$$

$$\left. \frac{d\phi_1(x, y)}{dx} \right|_{x=L_1} = \left. \frac{d\phi_2(x, y)}{dx} \right|_{x=L_1}. \quad (9)$$

3) 源端、漏端的边界条件分别如下:

$$\begin{aligned} \phi_1(0, 0) &= \phi_{s1}(0) = V_{bi}, \\ \phi_2(L_1 + L_2, 0) &= \phi_{s2}(L_1 + L_2) \\ &= V_{bi} + V_{ds}, \end{aligned} \quad (10)$$

源极和体硅的内建势 $V_{bi} = (E_g/2) + V_1 \ln(N_A/n_i)$. 通过边界条件 (6) — (10) 可以得到 $c_{11}(x), c_{12}(x), c_{21}(x)$ 和 $c_{22}(x)$ 的表达式. 将其代入到 (4) 和 (5) 式中, 然后代入 (1) 式, 可以得到如下表达式:

$$\begin{aligned} \frac{d^2 \phi_{s1}(x)}{dx^2} - \alpha^2 \phi_{s1}(x) &= \beta_1, \\ \frac{d^2 \phi_{s2}(x)}{dx^2} - \alpha^2 \phi_{s2}(x) &= \beta_2, \end{aligned} \quad (11)$$

$$\text{其中 } \alpha^2 = \frac{\chi C_b C_{Si} + C_f C_{Si} + C_b C_f}{t_{Si}^2 C_{Si} (2C_{Si} + C_b)},$$

$$\beta_1 = \frac{qN_A}{\epsilon_{Si}} - 2V'_{gs1} \frac{C_f (C_{Si} + C_b)}{t_{Si}^2 C_{Si} (2C_{Si} + C_b)}$$

$$-2V'_{\text{SUB}} \frac{C_b}{t_{\text{Si}}^2(2C_{\text{Si}} + C_b)},$$

$$\beta_2 = \frac{qN_A}{\epsilon_{\text{Si}}} - 2V'_{\text{gs2}} \frac{C_f(C_{\text{Si}} + C_b)}{t_{\text{Si}}^2 C_{\text{Si}}(2C_{\text{Si}} + C_b)}$$

$$-2V'_{\text{SUB}} \frac{C_b}{t_{\text{Si}}^2(2C_{\text{Si}} + C_b)},$$

其中 $C_{\text{Si}} = \epsilon_{\text{Si}}/t_{\text{Si}}$, $C_f = \epsilon_f/t_f$, $C_b = \epsilon_{\text{ox}}/t_b$.

方程(11)为二阶常微分方程,其解的形式如下:

$$\phi_{\text{Si}}(x) = A \exp(\alpha x) + B \exp(-\alpha x) - \beta_1/\alpha^2, \quad (12)$$

$$\phi_{\text{Si}}(x) = C \exp[\alpha(x - L_1)] + D \exp[-\alpha(x - L_1)] - \beta_2/\alpha^2, \quad (13)$$

利用边界条件(8)–(10)可以求得系数 A, B, C 和 D ,

$$A = \chi[(V_{\text{bi}} - \sigma_2 + V_{\text{ds}}) - \chi(V_{\text{bi}} - \sigma_1) - (\sigma_1 - \sigma_2) \cosh(\alpha L_2)](1 - \gamma^2),$$

$$B = [(V_{\text{bi}} - \sigma_1) - (V_{\text{bi}} - \sigma_2 + V_{\text{ds}})\gamma + (\sigma_1 - \sigma_2) \cosh(\alpha L_2)\gamma](1 - \gamma^2),$$

$$C = A \exp(\alpha L_1) + (\sigma_1 - \sigma_2)/2,$$

$$D = B \exp(\alpha L_2) + (\sigma_1 - \sigma_2)/2,$$

其中 $\gamma = \exp[-\alpha(L_1 + L_2)]$, $\sigma_1 = -\beta_1/\alpha^2$, $\sigma_2 = -\beta_2/\alpha^2$.

从(12)式中可以得到前沟道的最小表面势及其位置,即

$$\phi_{\text{Si, min}} = 2\sqrt{AB} + \sigma_1, \quad (14)$$

$$x_{\text{min}} = \ln(B/A)/2\alpha, \quad (15)$$

沿沟道的电场决定了电子通过沟道的输运速度,金属栅 1 和 2 下的电场分别为

$$E_1(x) = A\alpha \exp(\alpha x) - B\alpha \exp(-\alpha x), \quad (16)$$

$$E_2(x) = C\alpha \exp[\alpha(x - L_1)] - D\alpha \exp[-\alpha(x - L_1)]. \quad (17)$$

3. 二维阈值电压模型

阈值电压 V_{TH} 是金属栅下面的半导体表面呈现强反型、出现导电沟道时所需加的栅源电压.在全耗尽 SOI 中,前沟道导通而背沟未开启时的电压.因此阈值电压定义为 $\phi_{\text{S, min}} = 2\phi_{\text{F}}$ 时的栅源电压.在 DMG 结构中,从上面的分析中得到 $\phi_{\text{Si, min}} = 2\phi_{\text{F}}$.假设 $C_b \ll C_f, C_{\text{Si}}$, 通过(14)式可以得到阈值电压的表达式:

$$V_{\text{TH}} = \frac{-\eta + \sqrt{\eta^2 - 4\sigma\xi}}{2\sigma}, \quad (18)$$

其中 $\sigma = 1/\gamma - \sinh^2[\alpha(L_1 + L_2)] - 2 + \gamma$,

$$\eta = V_{\text{bi}}(1 - 1/\gamma) + \sinh^2[\alpha(L_1 + L_2)] \cdot (4\phi_{\text{F}} - 2u) - V_{\text{bi2}}(1 - \gamma),$$

$$\xi = V_{\text{bi}}V_{\text{bi2}} - \sinh^2[\alpha(L_1 + L_2)] \cdot (2\phi_{\text{F}} - u)^2,$$

$$V_{\text{bi1}} = V_{\text{bi}}(1 - \gamma) + V_{\text{ds}} - (u - \nu) \cdot \cosh(\alpha L_2) - \nu + u\gamma,$$

$$V_{\text{bi2}} = V_{\text{bi}}(1/\gamma - 1) - V_{\text{ds}} + (u - \nu) \cdot \cosh(\alpha L_2) + \nu - u/\gamma,$$

$$u = C_b V'_{\text{SUB}}/C_f - qN_A t_{\text{Si}}/C_f - V_{\text{FB1}},$$

$$\nu = C_b V'_{\text{SUB}}/C_f - qN_A t_{\text{Si}}/C_f - V_{\text{FB2}}.$$

4. 结果与分析

在亚 100 nm 以下的硅基集成电路技术中,为了抑制通过超薄栅介质 SiO_2 的直接隧穿电流和多晶硅栅电极的耗尽效应,往往采用金属栅/高 k 栅结构. HfO_2 是众多高 k 材料中最有希望的一种,其介电常数为 20—25.文中如果没有特别指明,采用的高 k 材料均为 HfO_2 ,其介电常数为 20.栅电极采用功函数不同的金属材料,并使它们横向接触.对于 nMOS 器件,靠近源端的栅极功函数 ϕ_{M1} 大于靠近漏端的金属功函数 ϕ_{M2} , $\phi_{\text{M1}} = 4.77$ eV (如 TiN), $\phi_{\text{M2}} = 4.10$ eV (如 Ti).为了突出异质金属栅和高 k 栅介质堆叠栅结构对表面势和阈值电压的影响,沟道采用低掺杂 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$.源漏掺杂浓度为 $N_D = 1 \times 10^{20} \text{ cm}^{-3}$.等效栅氧厚度(EOT)为 1 nm,高 k 栅介质的物理厚度随介电常数的变化而调整.硅膜厚度为 20 nm,埋氧化层为 SiO_2 ,其厚度为 200 nm.图 2 给出了沟道长宽为 90 nm/1 μm 高 k 栅介质 DMG SOI MOSFET 沿前沟道方向的表面势,作为比较同时给出了栅介质为 SiO_2 和单金属栅电极(功函数为 4.77 eV)器件的表面势分布.从图 2 中可以看出,DMG 结构的表面势存在一个阶梯,这是因为两种栅材料的功函数不连续造成的.高 k 栅介质材料的最小表面势较低,这意味着其阈值电压较高.此外,由于高 k 介质的存在,使得金属 2 的屏蔽作用增强.给定沟道长度下, L_1/L_2 比值的变化对表面势也有影响,如图 3 所示.金属栅 1 比例增大,最小表面势降低,台阶电势高度增加,阈值电压增大.这主要因为金属栅 1 的功函数较大,对器件的影响较大.因此金属栅 1 通常称为“控制栅”.金属栅 2(屏蔽栅)主要用来“吸收”漏电压,其长度的增加只会使漏电压对源极的

影响减小, 阈值电压不会增大. ISE 模拟得到的表面电势在漏端略微下降, 可能是由于漏端杂质扩散引起的.

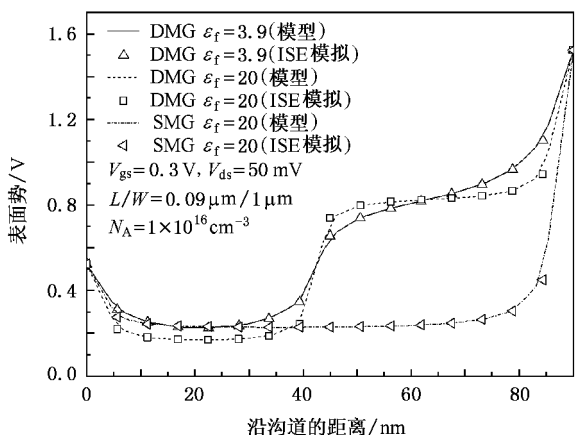


图 2 高 k 栅介质 DMG 和 SMG 全耗尽 SOI MOSFET 沿沟道方向的表面势分布

图 4 给出了 DMG 和单栅 (single-material-gate, 简

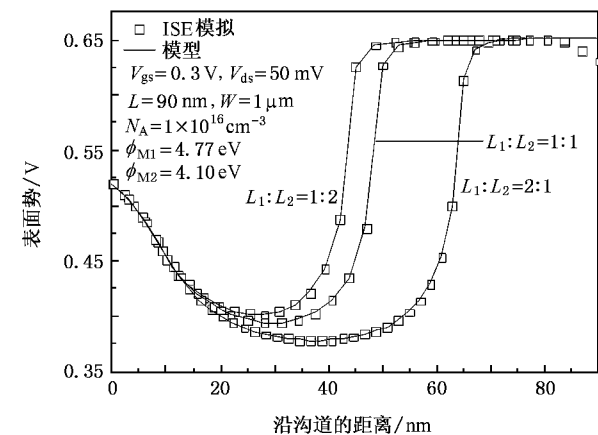
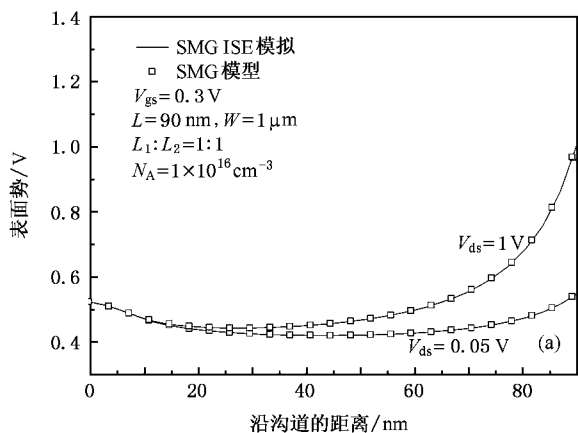


图 3 高 k 栅介质全耗尽 DMG SOI MOSFET 不同 L_1 和 L_2 比值对表面势的影响

称 SMG) 结构不同漏压下的电势分布. 由于 DMG 的存在, 金属栅 1 下的电势分布几乎不受漏电压的影响, 最小电势点的漂移几乎为零. 采用 DMG 结构可以消除 SCE 和 DIBL 效应的影响, 器件可以进一步缩小.

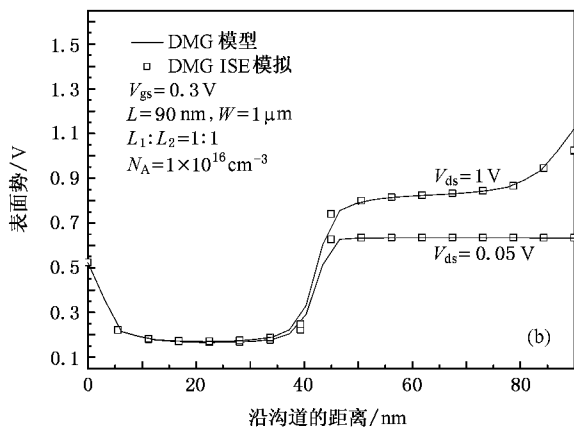


图 4 不同漏压下高 k 栅介质材料 SOI MOSFET 的表面势分布 (a) SMG (b) DMG

图 5 给出了不同功函数差金属栅下的表面电场沿沟道方向的变化. 从图中可以看出 DMG 器件中沟道电场有两个峰, 源端的电场较高, 漏端电场有所降低, 因此在提高电子速度的同时, 还可以降低热电子效应. 随着两种金属功函数差的增大, 源端电场增大, 电子从源极注入沟道的速度增大, 从而驱动电流、跨导及截止频率提高. 功函数的变化对漏端电场影响不大.

上面主要考察了异质栅对器件性能的影响, 下面将给出栅介电常数变化对 SOI 器件的影响. 栅绝缘介质介电常数的增加将使栅介质层的物理厚度增

加, 于是阈值电压增大, 如图 6 所示. 介电常数在 3.9 到 20 之间时, 阈值电压增加迅速. 当介电常数增加到 20 后, 阈值电压增加趋于饱和. 介电常数并不是越大越好, 高介电常数栅介质器件的关态泄漏电流增加. 因此介电常数 20 左右应该是最优选择, 如本文采用的 HfO_2 .

图 7 给出了不同沟长下的阈值电压漂移. 其中阈值电压漂移定义为短沟道阈值电压与沟长 200 nm 的阈值电压的偏离. 从图中可以看出, DMG 结构存在逆短沟道效应, 高 k 介电材料结构的逆短沟道效应更明显.

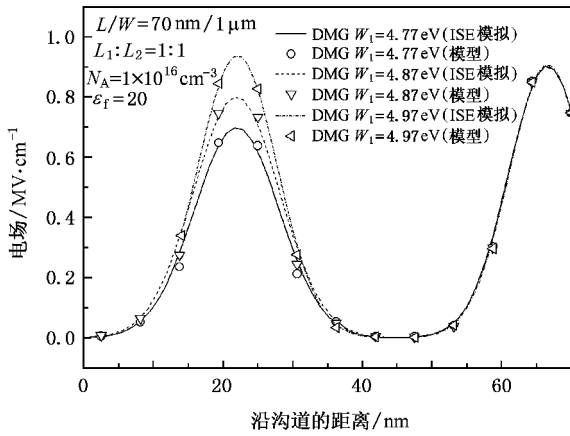


图5 高 k 栅介质 DMG SOI MOSFET 的电场随功函数差的变化

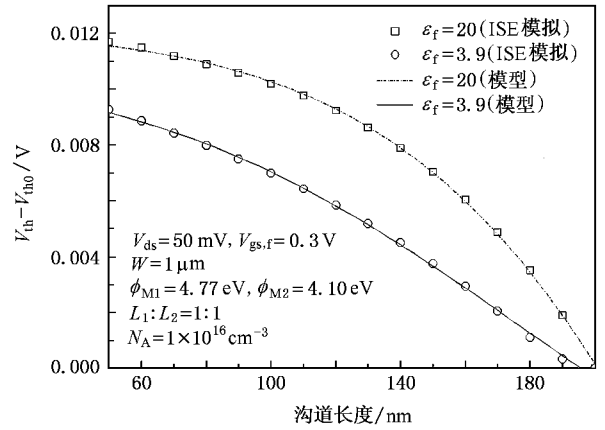


图7 不同沟道长度 DMG SOI MOSFET V_{th} 的漂移

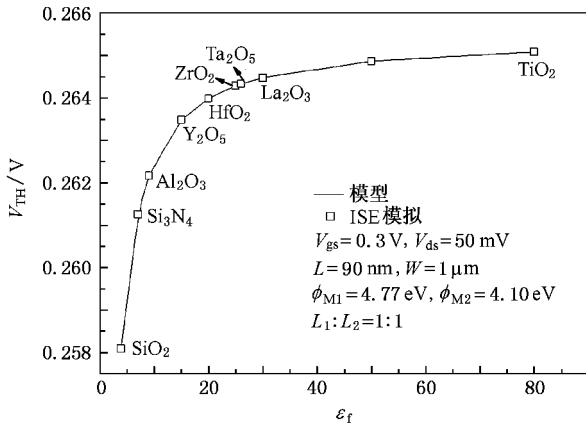


图6 DMG SOI MOSFET 阈值电压随栅介质介电常数的变化

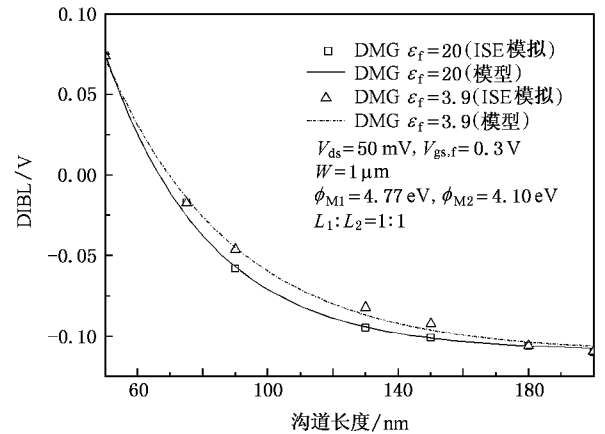


图8 DMG SOI MOSFET DIBL 随沟道长度的变化

图8中给出了该新型结构的DIBL随沟道长度的变化,DIBL表示为 $\Delta V_{TH} / \Delta V_{ds}$.其中 $\Delta V_{TH} = \Delta V_{TH} |_{V_{ds}=0.05} - \Delta V_{TH} |_{V_{ds}=2}$.很明显,高 k 介质器件表现出更好的抑制DIBL能力.在沟道长度缩小到一定尺度,由于异质栅影响更加明显,两种结构的DIBL抑制力相差很小.图2—8计算得到的模型结果和ISE数值模拟得到的结果吻合得很好.

5. 结 论

文中给出了一种新型结构——采用高 k 栅介

质材料,DMG全耗尽SOI MOSFET,并对其建立了二维数值解析模型.表面势和阈值电压模型结果表明,DMG结构可以较好的抑制SCE和DIBL效应,同时可以提高载流子的输运效率.两种金属栅功函数差和长度不同对表面势的影响也不同.控制栅功函数越大,长度越长,阈值电压越大.采用高 k 材料也可以使阈值电压增大,同时DIBL抑制能力更强.DMG结构结合高 k 栅介质,器件表现出较好的逆SCE.模型结果和二维数值模拟器ISE得到的结果高度吻合.

- [1] Chaudhry A , Kumar M J 2004 *IEEE Trans . Devices Mater . Rel .* **4** 99
- [2] Colinge J P 1993 *Silicon-on-Insulator Technology* (Boston : Kluwer Academic Publishers) p5
- [3] Shanhidi G , Ajmera A , Assaderaghi F , Bolam R , Bryant A , Coffey M , Hovel H , Lasky J , Leobandung E , Lo H S , Maloney M , Moy D , Rausch W , Sadana D , Schepis D , Sherony M , Sleight J W , Wagner L F , Wu K , Davari B , Chen T C 1999 *International SOI Conference* 1
- [4] Hu C 1998 *International SOI Conference* 1
- [5] Kumar M J , Orouji A A 2005 *IEEE Tran . Electron Devices* **52** 1568
- [6] Saxea M , Haldar S , Gupta M 2004 *Solid State Electron* **48** 1169
- [7] Long W , Ou H , Kuo J M 1999 *IEEE Trans Electron Devices* **46** 865
- [8] Trivedi V P , Fossum J G 2005 *IEEE Electron Device Lett .* **26** 26
- [9] Adan A O , Higashi K , Fukushima Y 1999 *IEEE Trans Electron Devices* **46** 729
- [10] Liu X Y , Kang J F , Sun L 2002 *IEEE Electron Device Lett .* **23** 270

2-D analytical modeling of dual material gate fully depleted SOI MOSFET with high- k dielectric *

Luan Su-Zhen[†] Liu Hong-Xia Jia Ren-Xu Cai Nai-Qiong

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices of Ministry of Education ,
School of Microelectronics , Xidian University , Xi 'an 710071 , China)

(Received 24 October 2007 ; revised manuscript received 4 December 2007)

Abstract

A 2-D analytical model for the surface potential and threshold voltage in fully depleted dual-material gate (DMG) SOI MOSFETs with high- k dielectric is developed to investigate the short-channel effects (SCEs). Our model takes into account the effects of the length of the gate metals and their work functions , the applied drain biase , and the gate dielectric constant . We demonstrate that the surface potential in the channel region exhibits a stepped potential variation by the gate near the drain , resulting in suppressed SCEs . With dielectric constants increasing , this novel device shows inverse SCEs . The derived analytical models are in good agreement with the results of the two-dimensional device simulator ISE .

Keywords : dual-material gate , silicon-on-insulator , threshold volatage , analytical model

PACC : 7330 , 7340R , 7215N

* Project supported by the National Natural Science Foundation of China (Grant No. 60206006) , Program for the New Century Excellent Talents in University of Ministry of Education , China (Grant No. NCET-05-0851) and the National Defense Pre-Research Foundation of China (Grant No. 51308040103) .

[†] E-mail : szluan@mail.xidian.edu.cn