

高 k 栅介质对肖特基源漏超薄体 SOI MOSFET 性能的影响^{*}

栾苏珍[†] 刘红侠 贾仁需 蔡乃琼 王 瑾

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2007 年 11 月 20 日收到, 2007 年 12 月 3 日收到修改稿)

研究了高 k 栅介质对肖特基源漏超薄体 SOI MOSFET 性能的影响. 随着栅介质介电常数增大, 肖特基源漏 (SBSD) SOI MOSFET 的开态电流减小, 这表明边缘感应势垒降低效应 (FIBL) 并不是对势垒产生影响的主要机理. 源端附近边缘感应势垒屏蔽效应 (FIBS) 是 SBSBD SOI MOSFET 开态电流减小的主要原因. 同时还发现, 源漏与栅是否对准, 高 k 栅介质对器件性能的影响也不相同. 如果源漏与栅交叠, 高 k 栅介质与硅衬底之间加入过渡层可以有效地抑制 FIBS 效应. 如果源漏偏离栅, 采用高 k 侧墙并结合堆叠栅结构, 可以提高驱动电流. 分析结果表明, 来自栅极的电力线在介电常数不同的材料界面发生两次折射. 根据结构参数的不同可以调节电力线的疏密, 从而达到改变势垒高度, 调节驱动电流的目的.

关键词: 高 k 栅介质, 肖特基源漏 (SBSD), 边缘感应势垒屏蔽 (FIBS), 绝缘衬底上的硅 (SOI)

PACC: 7330, 4225G, 7220

1. 引 言

随着器件尺寸的进一步缩小, 进入到纳米尺度范围时, 为保证栅对沟道有很好的控制, SiO_2 层的厚度必须小于 1.5 nm. 在这样的尺度下, 由于直接隧穿电流随介质层厚度的减小而呈指数性增加, 由此带来了栅对沟道控制的减弱和器件功耗的增加^[1, 2]. 采用高介电常数 (简称高 k) 材料, 在保证对沟道有相同控制能力的条件下, 介电常数的增加将使栅介质的物理厚度增大, 栅与沟道间的直接隧穿电流大大减小^[3]. 然而, 大多数高 k 材料的热稳定性都很差. 后序工艺中的高温退火和源漏区离子注入激活, 会导致高 k 栅介质结晶或表面损伤, 使器件性能变差. 肖特基源漏金属-氧化物-半导体场效应晶体管 (MOSFET) 能很好地解决上述问题^[4]. 与常规 MOSFET 不同, 肖特基源漏 (Schottky barrier source/drain, SBSBD) MOSFET 用肖特基金属代替了高掺杂的 pn 结做 MOSFET 的源漏, 其工艺比离子注入简单, 可以在低温下实现. 同时, 肖特基接触可以有效

地减小器件大幅度降低时困扰常规 MOSFET 的短沟效应和寄生的双极效应^[5-7], 有利于改进器件的特性. 对于采用高 k 栅介质的亚 100 nm 的常规 MOSFET, 已进行了大量的实验及理论研究. 边缘感应的势垒降低 (fringing induced barrier lowering, FIBL) 效应是引起高 k 栅介质 MOSFET 性能退化的主要原因^[8-10]. 肖特基源漏 MOSFET 对源端势垒变化极其敏感. 采用高 k 栅介质对 SBSBD MOSFET 的性能影响是否和常规 MOSFET 一样, 还是存在其他的退化机理, 这正是本文要探讨的. 此外, 针对实际中可能存在的不同器件结构 (栅和源漏是否对准), 理论上解释了器件性能退化的原因, 并且给出了提高器件性能的改进措施.

2. 器件结构

图 1 给出了高 k 栅介质 SBSBD SOI MOSFET 的结构示意图. 采用沟道长度 $L = 45 \text{ nm}$, 沟道宽度 $W = 1 \mu\text{m}$ 的 n-MOSFET , 衬底 p 型掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$. 为了排除多晶硅耗尽对器件性能的影响, 采

^{*} 国家自然科学基金 (批准号: 60206006) 教育部新世纪优秀人才支持计划 (批准号: NCET-05-0851) 资助的课题.

[†] E-mail: szluan@mail.xidian.edu.cn

用功函数位于硅禁带中央的金属栅电极,其功函数 $\Phi_M = 4.6$ eV. 栅介质的等效栅氧化层厚度(EOT)固定为 1 nm,其物理厚度随介电常数调节. 源漏为金属硅化物,肖特基势垒高度 $\Phi_{t0} = 0.2$ eV,超薄体(ultra-thin body, UTB)SOI 可以有效地降低肖特基接触电阻. 图中给出了采用高 k 栅介质可能存在的效应. 在高 k 栅介质对肖特基源漏超薄体 SOI MOSFET 性能影响的研究过程中,作者考虑了通过肖特基势垒的热电流和量子隧穿电流,同时还考虑了镜像力导致的势垒降低效应,通过耦合求解,得出器件的各种电特性.

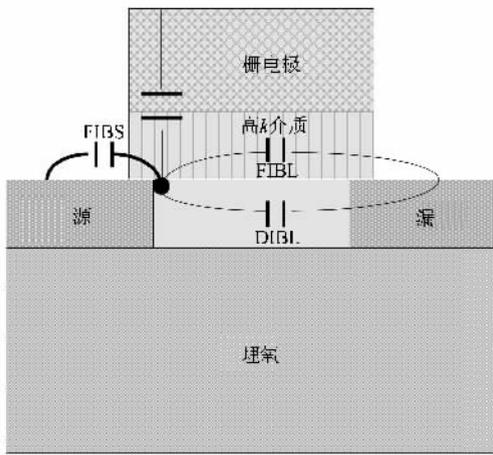


图 1 高 k 栅介质的 SBSD UTB SOI MOSFET 结构示意图

3. 结果和分析

3.1. 高 k 栅介质对器件的影响

图 2 给出了栅介质介电常数不同时得到的器件转移特性. 从图中可以看出,随着栅介质介电常数增大,SBSD MOSFET 的开态电流严重退化. 介电常数越大,退化越严重. 高介电常数($\epsilon = 100$)器件的开态电流仅为 SiO_2 栅介质器件开态电流的 46%. 而常规 MOSFET 中,随着介电常数的增大,由于边缘感应的势垒降低(FIBL)效应,源漏的驱动电流增大^[9]. 这表明,SBSD MOSFET 中,对肖特基势垒变化起决定作用的并不是 FIBL. 为了解释这种“反常”现象,图 3 给出了不同介电常数栅介质 SBSD UTB SOI MOSFET 电势沿沟道方向的分布(图中电势考虑了镜像力导致的势垒降低效应). 从图中可以看出随着介电常数增加,源端肖特基势垒增加. 这种现象可以用边缘致势垒屏蔽(fringing induced barrier shielding, FIBS)^[11]

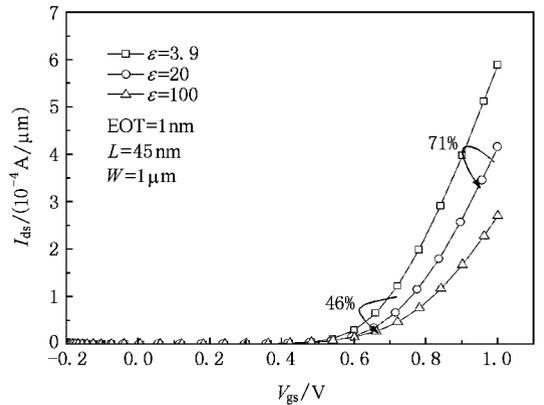


图 2 栅自对准结构不同介电常数栅介质 SBSD UTB SOI MOSFET 的转移特性

来解释. 源电极和沟道通过高 k 栅介质中的电力线相互电容耦合对 A 点的电势产生影响,使横向电场对势垒的影响减弱. 介电常数越大,这种影响越明显,势垒越高,从而开态电流越小. 此外,当栅介质介电常数很小时(如 $\epsilon = 3.9$),栅氧化层很薄(物理厚度 1 nm),肖特基势垒也很薄,对电子几乎是“透明”的,隧穿电流很大,这也是驱动电流大的原因之一. 栅介质介电常数较大时(如 $\epsilon = 100$),介质层很厚,肖特基势垒也变厚,势垒对电子不再是“透明”的,隧穿电阻限制了器件的驱动电流. 从图 3 还可以看到,随着介电常数增加,沟道中的电势反而降低. 这是因为栅介质介电常数很小时,栅氧很薄,肖特基势垒很薄,靠近源端一侧沟道中的电荷密度很高. 当介电常数较低时,这些电荷产生一个相当高的自洽电势,使沟道电势增加,阻碍驱动电流的增加. 以前的研究往往只考虑靠近势垒的电势的变化而忽略了沟道电势变化,因而高估了驱动电流.

图 4 给出了栅与源漏各种对准情况下的转移特性曲线. 当栅和源漏偏离(offset)时,驱动电流最大,栅和源漏交叠(overlap)时,电流退化最严重. 为了从理论上阐述这种现象,图 5 中给出了上述情况的电势分布, L_{of} 、 L_{ov} 分别为源漏与栅偏离和交叠时的距离. 从图中可以看出,源漏偏离栅介质时,肖特基势垒最低,而源漏和栅交叠时,肖特基势垒最高. 可以这样理解:源漏与栅交叠时,FIBS 对势垒影响很大;而当源漏偏离栅介质时,源漏通过高介电常数栅介质和沟道的电容耦合渐弱,边缘感应的势垒降低效应(FIBL)开始起作用,势垒进一步降低,驱动电流增加.

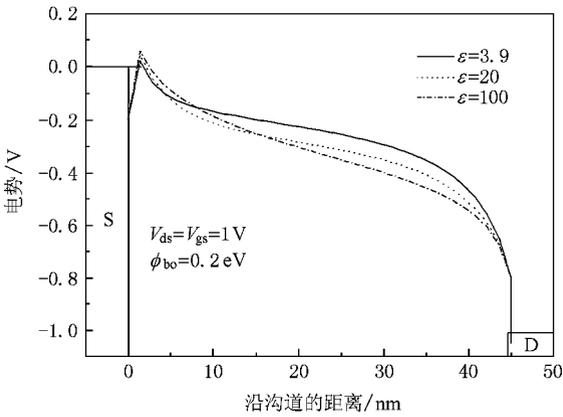


图 3 栅自对准结构不同介电常数栅介质 SB UTB SOI MOSFET 沿沟道的电势分布

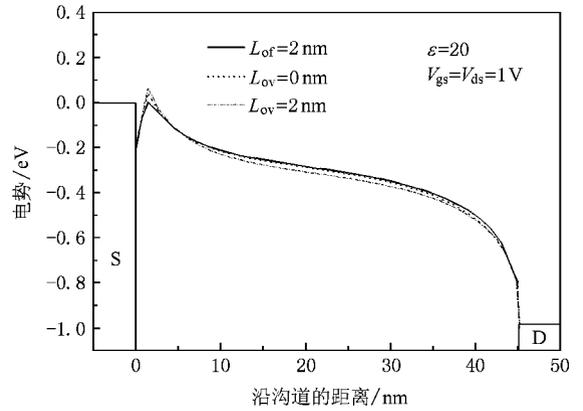


图 5 高 k 栅介质不同栅对准结构 SBSD UTB SOI MOSFET 沿沟道的电势分布

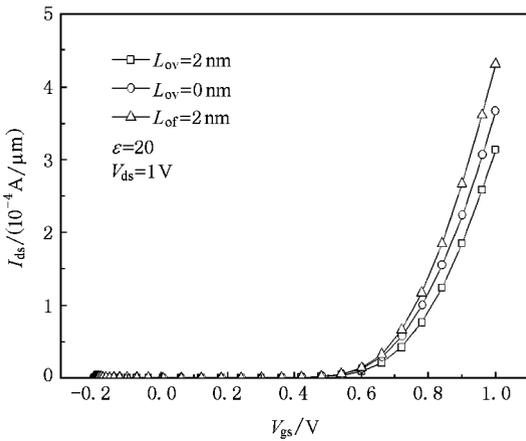


图 4 高 k 栅介质不同栅对准结构 SB UTB SOI MOSFET 的转移特性曲线

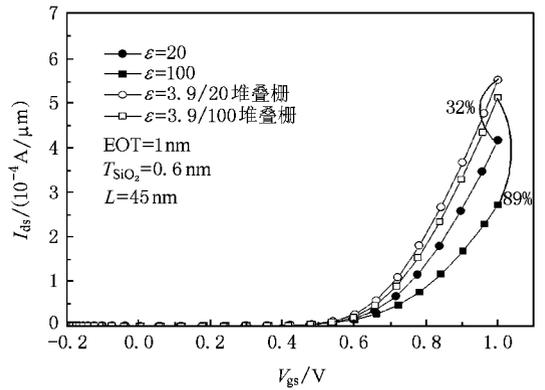


图 6 堆叠栅结构 SBSD UTB SOI MOSFET 的转移特性曲线

3.2. 多层栅介质堆叠结构 (stack gate)

常规 MOSFET 器件在高 k 介质和硅衬底之间增加一层 SiO_2 做为界面层, 可以有效的提高驱动电流, 肖特基源漏 MOSFET 是否可以采取相同的方法来提高性能, 图 6 给出了高 k 材料和 SiO_2 做为界面层堆叠栅的转移特性曲线, SiO_2 层厚度 $T_{\text{SiO}_2} = 0.6 \text{ nm}$. 从图中可以看出, 栅介质介电常数为 20 的堆叠栅器件比仅有高 k 介质的器件开态电流提高了 32%, 介电常数为 100 的堆叠栅结构的开态电流提高了 89%, 这说明界面层的引入确实能提高 SBSD MOSFET 的驱动电流.

为了进一步证实该方法的有效性, 图 7 给出了各种栅对准结构不同界面层厚度对驱动电流的影响. 从图中可以看出, 对于栅与源漏交叠的结构, 界

面层的引入极大的提高了驱动电流, 界面层越厚, 开态电流越大. 从前面的分析可以知道, 栅与源漏交叠结构开态电流退化主要是由 FIBS 效应引起的. 采用 SiO_2 作为过渡层, 可以有效的降低源极通过高 k 材料和沟道的电容耦合, FIBS 效应减弱, 源端势垒降低, 开态电流增加. 栅与源漏相同交叠长度的结构, 随着界面层厚度增加, 开态电流增加. 这一点从实际势垒高度表达式也可以解释

$$\phi_b = \phi_{b0} - \Delta\phi_t - \Delta\phi_i, \quad (1)$$

$\Delta\phi_t$ 是隧穿引起的势垒降低, $\Delta\phi_i$ 表示镜像力带来的势垒降低, ϕ_{b0} 是源-体平带时的势垒高度. $\Delta\phi_t$ 和 $\Delta\phi_i$ 都依赖于横向电场 E_y ,

$$\Delta\phi_t = \frac{1}{q} \left[\frac{3q\hbar(\ln 2)}{4\sqrt{2m^*}} \right]^{2/3} (E_y)^{2/3}, \quad (2)$$

$$\Delta\phi_i = \left(\frac{q}{4\pi\epsilon_s} \right)^{1/2} (E_y)^{1/2}, \quad (3)$$

$$E_y = GV_{gs}^*/t_{ox}, V_{gs}^* = V_{gs} - V_{sb0}, \quad (4)$$

G 为和结构有关的因子. 从上面的公式可以看出, 等效栅氧厚度一定 ($EOT = 1 \text{ nm}$), 界面层厚度增加, 堆叠栅的物理厚度减小, E_s 增加, 从而实际势垒高度降低, 开态电流增加. 然而, 对于源漏偏离栅结构的器件, 增加界面层对驱动电流的影响并不明显, 这也进一步证实造成这种结构驱动电流退化的并不是 FIBS.

3.3. 高 k 材料侧墙对器件的影响

对超薄体 SOI 器件, 往往采用凹陷沟道实现 UTB 结构, 这样既有利于抑制短沟道效应又不增大源漏区串联电阻, 然而这种工艺不是自对准工艺, 栅和源漏会有一定的间距, 这样器件的驱动电流就会减小. 在常规高 k 栅介质 MOSFET 中采用高 k 材料做侧墙, 器件驱动电流得到很大的提高^[9]. 图 8 给出了堆叠栅结构高 k 材料做侧墙的器件结构. 从图中可以看出, 高 k 侧墙的存在使源极和沟道的电容耦合效应加强, 即 FIBS 效应增强, 器件的驱动电流下降.

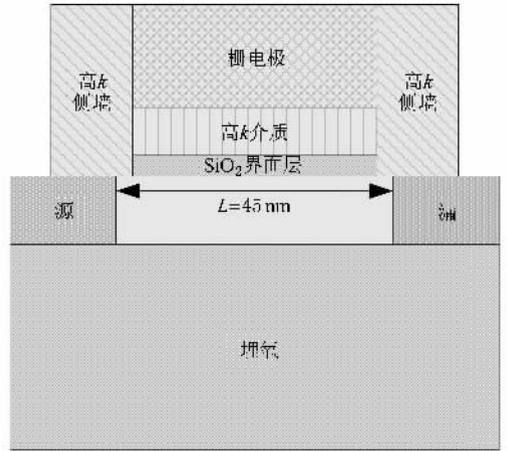


图 8 采用高 k 材料侧墙堆叠栅结构 SBSD UTB SOI MOSFET 示意图

通过堆叠栅的界面发生第一次折射, 折射后的电力线可以到达高 k 侧墙和 SiO_2 界面, 发生第二次折射, 从而源端附近偏离栅的区域内电力线密集, 电场增大(后面我们将给出更为直观的图像进行说明). 此外, 从图 9 还可以看出, 当界面层厚度达到一定程度时(如 0.4 nm 时), 随着栅与源漏间距减小, 开态电流并不是单调增加, 间距为 2 nm 时开态电流最大.

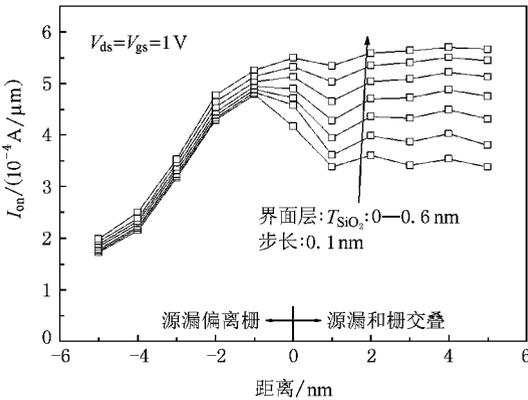


图 7 各种栅对准结构不同界面层厚度 SBSD UTB SOI MOSFET 的开态电流

为了证实这种猜测是否正确, 图 9 给出了采用高 k 侧墙各种栅对准情况下不同界面层厚度的开态电流. 从图中可以看出, 对于源漏偏离栅结构的器件, 随着界面层厚度增加, 开态电流也增加, 这与猜测不符. 这表明, 高 k 材料侧墙的引入, 并没有发生 FIBS 效应. 为了解释这种现象, 图 10 给出了源漏和栅偏离 2 nm 不同界面层厚度源端附近的电势分布. 从图中可以看到, 随着界面层厚度增加, 势垒高度降低. 这是因为, 随着界面层厚度增加, FIBS 减弱, 同时高 k 材料侧墙的引入, 来自栅电极的边缘电力线

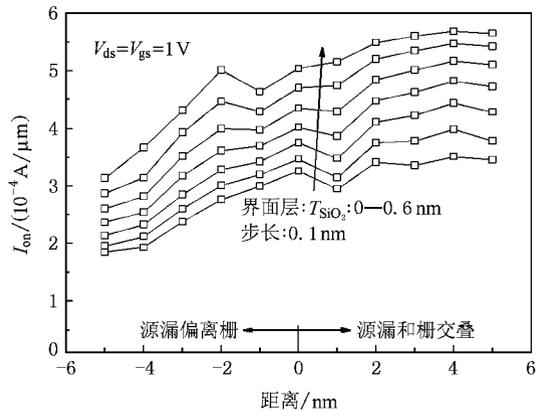


图 9 采用高 k 材料 ($\epsilon = 20$) 侧墙各种栅对准结构不同界面层厚度 SBSD UTB SOI MOSFET 的开态电流

图 11 给出了界面层为 0.6 nm 时源漏与栅不同间距时的源端的电势分布. 从图中可以看到间距为 2 nm 时, 势垒高度最低. 图 12 通过电力线分布给出了势垒高度变化的物理解释. 源漏与栅偏离 2 nm 时, 来自栅电极的电力线在不同介电常数材料的界面发生两次折射, 电力线在源端势垒处密集, 栅电极

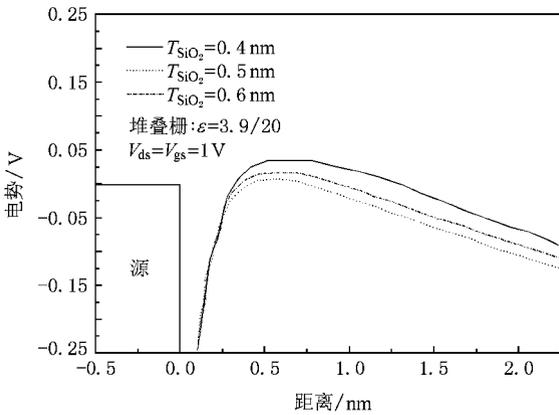


图 10 高 k 材料 ($\epsilon = 20$) 侧墙源漏和栅间距 2 nm 不同界面层厚度 SBSD UTB SOI MOSFET 源端电势分布

和沟道耦合增强,势垒降低.源漏与栅偏离 1 nm 时,电力线两次折射后,电力线在远离肖特基势垒的源电极表面密集,最大横向电场好像被源电极“吸收”了,对势垒的影响较小,因而势垒较高,开态电流较小.同样地,源漏与栅偏离 4 nm 时,电力线两次折射后的密集点在远离势垒的沟道表面,对势垒影响最小,势垒最高,对应的开态电流最小.

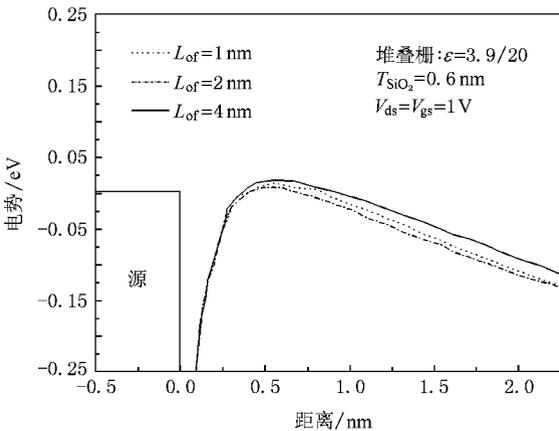


图 11 高 k 侧墙源漏与栅不同间距堆叠栅 SBSD UTB SOI MOSFET 源端电势分布

从上面的分析可以知道,通过优化器件结构参数可以改善器件的性能.对于源漏和栅交叠的器件,合理选择界面层厚度和高 k 材料栅介质可以提高驱动电流;对于源漏和栅偏离的器件,采用高 k 材料做侧墙,同时合理优化偏离间距和界面层厚度可以提高器件性能.

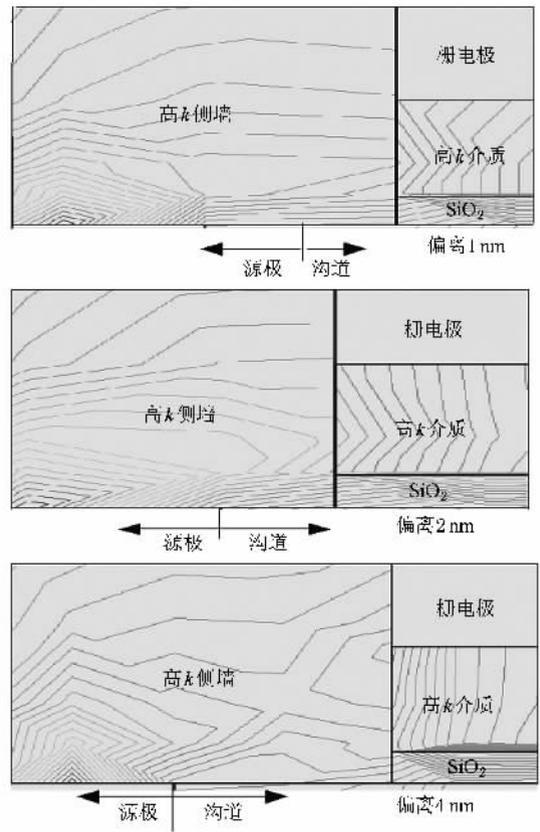


图 12 采用高 k 材料侧墙源漏与栅不同间距堆叠栅 SBSD UTB SOI MOSFET 源端的电场分布

4. 结 论

本文分析了高 k 栅介质对肖特基源漏 MOSFET 器件性能的影响.和常规 MOSFET 不同,随着介电常数的增加,SBSD SOI MOSFET 的驱动电流严重退化,并且结构不同退化机理也不同.对于源漏和栅交叠的器件,源端的“边缘致势垒屏蔽”(FIBS)效应使势垒增加,驱动电流减小;对于源漏和栅偏离的器件,栅对源端沟道的控制减弱,驱动电流退化.为了抑制开态电流减小,尝试采用了在常规 MOSFET 中的方法.对于源漏和栅交叠的器件,在高 k 栅介质和硅衬底间增加二氧化硅界面层.随着界面层厚度增加,驱动电流增加,表明增加界面层厚度可以抑制 FIBS 效应.对于源漏和栅偏离的器件,除了增加界面层,还采用高 k 材料做为侧墙.界面层和高 k 侧墙结合结构,使来自栅极的电力线发生折射,使源端势垒附近电力线密集,势垒高度降低,开态电流增加.合理优化界面层厚度和偏离距离,可以有效的提高器件性能.

- [1] Lo S H , Buchanan D A , Taur Y , Wang W 1997 *IEEE Electron Devices Lett.* **18** 206
- [2] San N , Kang J F , Yang H , Liu X Y , Zhang X , Han R Q 2006 *Acta Phys. Sin.* **55** 1419(in Chinese) [萨 宁、康晋锋、杨红、刘晓彦、张 兴、韩汝琦 2006 物理学报 **55** 1419]
- [3] Onishi K , Choi R , Kang C S , Cho H J , Kim Y H , Nieh R E , Han J , Krishnan S A , Akbar M S , Lee J C 2003 *IEEE Trans. Electron Devices* **50** 1517
- [4] Ono M , Ino T , Koyama M , Takashima A , Nishiyama A 2004 *Solid State Electron* **48** 2191
- [5] Jeong M , Solomon P M , Laux S E , Wong P H S , Chidambarrao D 1998 *IEDM Tech. Dig.* **733**
- [6] Xiong S , King T J , Bokor J 2005 *IEEE Trans. Electron Devices* **52** 1859
- [7] Zhu S Y , Yu H Y , Whang S J , Chen J H , Shen C , Zhu C X , Lee S J , Li M F , Chan D S H , Yoo W J , Du A Y , Tung C H , Singh J , Chin A , Kwong D L 2004 *IEEE Electron Devices Lett.* **25** 268
- [8] Mohapatra N R , Desai M P , Rao V R 2003 *Proceedings of the 16th International Conference on VLSI Design.*
- [9] Yeap G C F , Krishnan S , Lin M R 1998 *Electronics Letters* **34** 1150
- [10] Cheng B H , Cao M , Rao R , Inani A , Voorde P V , Greene W M , Stork J M C , Yu Z P , Zeitzoff P M , Woo J C S 1999 *IEEE Trans. Electron Devices* **46** 1537
- [11] Kencke D L , Chen W , Wang H , Mudanai S , Ouyang Q , Tasch A , Banerjee S K 1999 *Proc. Device Res Conference* 22

The impact of high- k dielectrics on the performance of Schottky barrier source/drain (SBSD) ultra-thin body (UTB) SOI MOSFET *

Luan Su-Zhen[†] Liu Hong-Xia Jia Ren-Xu Cai Nai-Qiong Wang Jin

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices of Ministry of Education ,

School of Microelectronics , Xidian University , Xi ' an 710071 , China)

(Received 20 November 2007 ; revised manuscript received 3 December 2007)

Abstract

The impact of high- k dielectrics on the performance of Schottky barrier source/drain (SBSD) ultra-thin body (UTB) SOI is investigated in this paper. With the dielectric constants increasing , the on-state currents of SBSD UTB SOI MOSFET decrease , which suggests that the fringing induced barrier lowering (FIBL) is not the major mechanism for the variation of Schottky barrier height. This phenomenon can be understood in terms of the fringing induced barrier shielding (FIBS). It is also shown that the influence of high- k dielectrics on the performance is quite different in the cases that source/drain and gate electrode have an offset or overlap. For the device with an overlap , the structure with a low- k interfacial layer between high- k gate dielectric and substrate is quite effective in suppressing the degradation of drive current due to FIBS. However , for the device with an offset , the combination of high- k dielectric spacer with stack gate can significantly improve the on-state current. This fact can be explained in terms of the refraction of lines of electric force from gate electrode at interfaces of two materials with different dielectric constants. These lines of electric force with refraction can concentrate at the source region , thus lowering the barrier heights and improving the drive currents. Besides , it is shown that on-state current has a local maximum in the case that source/drain and gate electrode has an offset. The structure parameters can be optimized to improve the drive current.

Keywords : high- k gate dielectric , Schottky barrier source/drain (SBSD) , fringing induced barrier shielding (FIBS) , silicon-on-insulator (SOI)

PACC : 7330 , 4225G , 7220

* Project supported by the National Natural Science Foundation of China (Grant No. 60206006) , the Program for the New Century Excellent Talents in University of Ministry of Education , China (Grant No. NCET-05-0851) .

[†] E-mail : szluan@mail.xidian.edu.cn