

高压双扩散漏端 MOS 晶体管双峰衬底电流的形成机理及其影响

王 俊^{1)2)†} 王 磊^{1)2)†} 董业民³⁾ 邹 欣³⁾ 邵 丽³⁾ 李文军³⁾ 杨华岳³⁾

1) 中国科学院上海微系统与信息技术研究所, 上海 200050)

2) 中国科学院研究生院, 北京 100049)

3) 上海宏力半导体制造有限公司, 上海 201203)

(2007 年 10 月 27 日收到, 2007 年 12 月 28 日收到修改稿)

利用 0.15 μm 标准 CMOS 工艺制造出了工作电压为 30 V 的双扩散漏端 MOS 晶体管(double diffused drain MOS, DDDMOS). 观察到 DDDMOS 的衬底电流-栅压曲线(I_b-V_g 曲线)有两个峰. 通过实验和 TCAD 模拟揭示了 DDDMOS 衬底电流的形成机理, 发现衬底电流第一个峰的成因与传统 MOS 器件相同, 第二个峰来自于发生在漂移区远离沟道一侧高场区的碰撞离化电流. 通过求解泊松方程和电流连续性方程, 分析了器件的物理和几何参数对导致衬底电流重新上升的漂移区电场的影响. 在分析了 DDDMOS 衬底电流的第二个峰形成机理的基础上, 考察了其对器件的可靠性的影响.

关键词: 高压器件, 衬底电流, 可靠性

PACC: 7340Q, 6120J

1. 引 言

随着平板显示器和便携式设备的日益普及, 作为平板显示器驱动芯片和电源管理芯片的高压集成电路日益受到关注. 在最新的应用中, 往往采用双扩散漏端 MOS 器件(double diffused drain MOS, DDDMOS)来控制芯片中的高压信号. DDDMOS 的沟道部分与普通的 MOS 一样, 都是采用金属-氧化物-半导体结构, 为了耐受高压, 采用了轻掺杂漏端结构(传统功率器件中的漂移区), 一般采用两次(或两次以上)离子注入形成轻掺杂漏端, 所以被称为双扩散漏端 MOS. DDDMOS 的拓扑结构与传统的横向双扩散器件(lateral double-diffused MOS, LDMOS, 但这里的双扩散是指利用双扩散形成沟道而不是漏端)相同, 但是制造工艺不同. DDDMOS 无需制造在外延层上, 可以与深亚微米工艺实现无缝集成; 同时 DDDMOS 能够独立地调整沟道长度、阈值电压等以适应不同的应用需求.

传统的 MOS 器件中, 衬底电流-栅电压曲线(I_b-

V_g 曲线)先上升后下降形成一个峰^[1]. 与传统的 MOS 器件不同, DDDMOS 的衬底电流-栅电压曲线表现出两个峰. 已经有文献利用 TCAD 模拟定性地解释了衬底电流第二个峰的来源并讨论了其与器件安全工作区的关系^[2-5]. 大注入情况下发生在漂移区的碰撞离化电流形成了衬底电流的第二个峰, 第二个峰有可能触发寄生的 NPN 晶体管, 导致输出曲线发生回跳现象(snap back).

本文的目的是通过实验、TCAD 模拟以及理论计算等手段, 直观地解释导致衬底电流重新上升的物理机理, 给出衬底电流重新上升时漂移区的电场分布公式, 半定量地考察各种工艺参数对衬底电流的影响, 从而为进一步的工艺优化提供依据. 由于衬底电流反应了电场和碰撞离化强度, 因此被广泛地用于评估器件中的热电子注入效应, 发生在器件沟道边缘的碰撞离化效应导致的器件性能退化已经被细致地研究过了^[6-8]. 本文观察到衬底电流的第二个峰, 也就是发生在漂移区的碰撞离化, 与施加应力之后器件的泄露电流和电压退化有明显的关系. 在解释清楚衬底电流第二个峰产生机理的基础上, 评

† 通讯联系人. E-mail: wangjun2101@gmail.com

估第二个峰对器件可靠性的影响是本文的另一个重要目的。

2. 器件结构及实验结果

图 1(a) 是一个 N 沟道 DDDMOS 的结构示意图, 图 1(b) 是用二次电子显微镜拍摄的一个实际器件的剖面图。为了承受比较高的操作电压, 漏端采用了轻掺杂结构, 一般被称作漂移区(drift region)。与普通 MOS 器件不同, 重掺杂的欧姆接触区并不是通过自对准工艺实现, 与多晶硅栅的边缘被特意拉开了一段距离, 该距离就是漂移区的长度(L_{df}), 长度为 $3.2 \mu\text{m}$ 。DDDMOS 的其他部分的结构与普通 MOS 器件相同, 其中沟道长度(L_{ch})为 $3 \mu\text{m}$, 栅氧化层厚度(T_{ox})为 90 nm , 器件的阈值电压在 1 V 左右。如图 1 所示的器件制造工艺与 $0.15 \mu\text{m}$ 标准逻辑工艺完全兼容, 并且已经被嵌入到标准逻辑电路中, 作为 LCD 驱动电路最新的 SOC 解决方案。

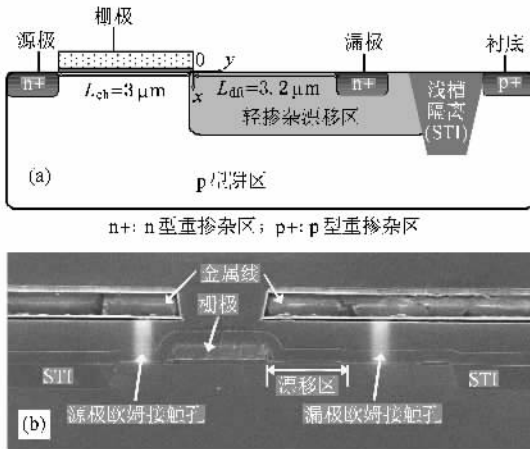


图 1 DDDMOS 的器件结构 (a) 结构示意图 (b) 一个实际器件的剖面图

图 2(a) 给出了利用基准条件制造出的 DDDMOS 在不同漏端电压(V_d)下的 I_b-V_g 曲线, 其中虚线的符号是实际测量的结果, 可以看到在第一个峰值之后, I_b 随着 V_g 的增加重新上升, 形成第二个峰。 V_d 越大, 第二个峰越早开始上升, 并且值也越大。图 2(a) 中的实线是根据传统 MOS 器件的衬底电流公式^[1]

$$I_b = I_d l \frac{A_i}{B_i} \frac{E_m^2}{\sqrt{E_m^2 - E_c^2}} \exp\left(\frac{-B_i}{E_m}\right) \approx C_1 I_d \exp\left(\frac{-B_i}{E_m}\right)$$

计算的结果, 可见传统的 MOS 衬底电流理论无法解释和表征 DDDMOS 衬底电流的第二个峰。

调整漂移区的浓度和深度, 比较不同漂移区深度和浓度下的衬底电流, 结果如图 2(b) 所示, 发现增加漂移区浓度时衬底电流第一个峰上升, 第二个峰下降, 增加漂移区结深时衬底电流的两个峰同时下降。

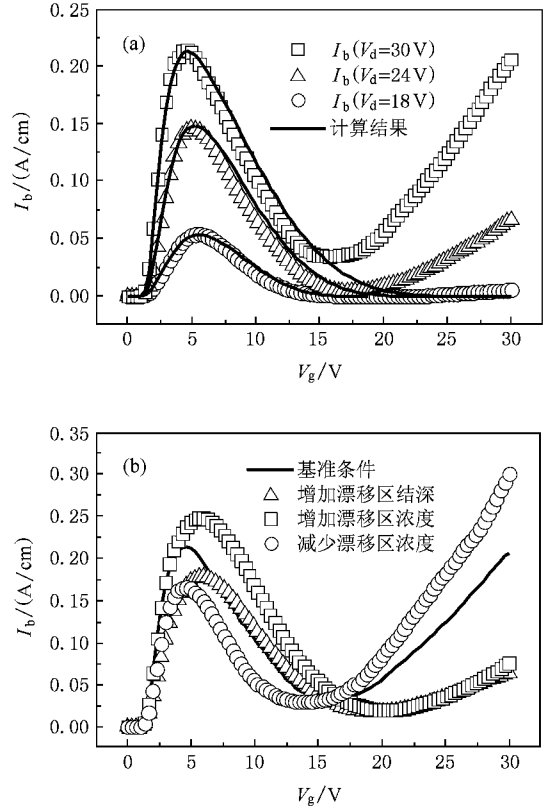


图 2 与 DDDMOS 衬底电流有关的实验结果 (a) DDDMOS 在不同漏端电压下的衬底电流-栅电压曲线 (b) 不同工艺条件下的衬底电流-栅电压曲线 ($V_d = 0$)

为了考察衬底电流第二个峰对 DDDMOS 可靠性的影响, 在 $V_g = V_d = 30 \text{ V}$ (I_b 处于第二个峰值) 条件下对 DDDMOS 施加了 3600 s 应力, 表 1 比较了采用基准条件的 DDDMOS ($I_b = 0.21 \text{ A/cm}$) 和漂移区浓度较高的 DDDMOS ($I_b = 0.07 \text{ A/cm}$) 泄漏电流和电压的变化情况。可以发现基准器件(衬底电流较大)的性能衰退得更多。进一步利用 Charge Pump 的方法^[9]测量了施加应力前后器件栅氧化层的界面陷阱密度, 发现几乎没有变化。

表 1 施加应力前后 DDDMOS 的漏电流和击穿电压变化

	泄漏电流/ μA		击穿电压/ V	
	施加应力前	施加应力后	施加应力前	施加应力后
基准条件	22	1080	43.7	36.5
增加浓度	18	38	40.5	39.6

3. 分析和讨论

为了直观地解释衬底电流的来源,我们用 SUPREM4 模拟了 DDDMOS 的制造工艺,在此基础上用 MEDICI 模拟了 I_b 处于第一和第二个峰时的各项电学参数的分布.图 3(a)是 $V_d = 30\text{ V}, V_g = 6\text{ V}$,也就是 I_b 处于第一个峰时的碰撞离化率分布,发现在沟道边缘区域发生了比较强的离化碰撞,与之对应的是衬底电流的第一个峰值,该模拟结果与普通 MOS 器件衬底电流的理论完全符合^[1],从图 1(a)中也可以看出衬底电流的第一个峰可以被经典 MOS 器件电流公式相当好地反映出来.

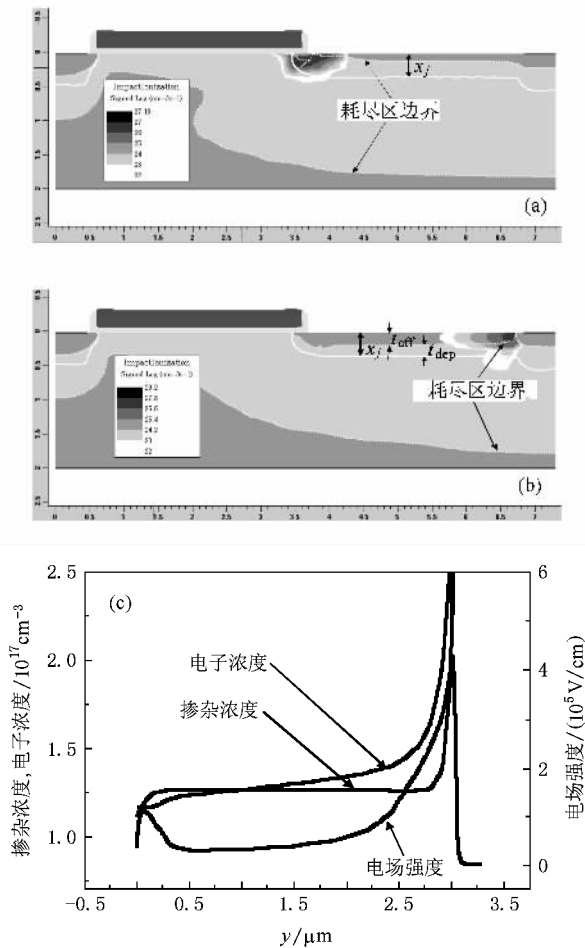


图 3 TCAD 的模拟结果 (a) $V_g = 6\text{ V}, V_d = 30\text{ V}$ 时的碰撞离化分布;(b) $V_g = 30\text{ V}, V_d = 30\text{ V}$ 时的碰撞离化分布;(c) 漂移区掺杂浓度分布以及 $V_g = 30\text{ V}, V_d = 30\text{ V}$ 时电场强度和电子浓度分布

图 3(b)是 $V_d = 30\text{ V}, V_g = 30\text{ V}$,也就是 I_b 处于第二个峰时的碰撞离化率分布;图 3(c)给出了此时

电场强度和电子浓度沿漂移区表面的分布.从图 3(b)可以看出,在 $V_d = 30\text{ V}, V_g = 30\text{ V}$ 时,一个新的碰撞离化区域出现在漂移区的远离沟道的另一侧,此处产生的空穴电流使衬底电流重新上升.图 3(c)解释了出现新的碰撞离化区的原因,从图 3(c)可以看出,在漂移区远离沟道的一侧电子的浓度已经超过了掺杂浓度,此时电子对电场的分布将产生影响,在泊松方程中,电子必须被考虑到总电量中去,此时的泊松方程为

$$\frac{d|E|}{dy} = \frac{1}{\epsilon_{si}} q [n(e) - N_{dft}] > 0, \quad (1)$$

其中 ϵ_{si} 是硅的电容率, q 是单位电荷, N_{dft} 是漂移区掺杂浓度.根据方程(1)可以看出电场强度将沿着漂移区向右持续上升,图 3(c)的电场分布曲线也证明了这一点.综上所述,当电流随着栅压的增加而增加到一定程度时(电子浓度大于漂移区掺杂浓度),在漂移区远离沟道的另一侧就形成了一个新的强场区,该强场区碰撞离化产生的空穴电流将使 I_b 在第一个峰值之后重新上升,形成第二个峰.由于大的栅压下沟道电阻相比漂移区电阻可以忽略,漂移区承受了绝大部分漏端电压,电子速度达到饱和,引起漂移区产生新场强的临界电流应该为 $J_d = qN_{dft}V_{sat}$.其中 N_{dft} 为漂移区掺杂浓度, q 为电子电量, V_{sat} 为电子的饱和速度.

为了解释如图 3(b)所示不同漂移区条件与衬底电流的关系,我们进一步计算了衬底电流处于第二个峰时漂移区电场和漂移区工艺条件的关系.首先考虑漂移区电子浓度,忽略空穴电流,电子浓度可以表示为

$$n(e) = [I_d/t_{eff}] (qV_{sat}), \quad (2)$$

其中 I_d 为单位宽度漏电流, q 为单位电子电量,强场下电子速度饱和, V_{sat} 为电子的饱和速度(约 $1 \times 10^7\text{ cm/s}$).由于漂移区-衬底 pn 结耗尽区的存在,电流通路被限制在耗尽区之外,电流通路的有效宽度 t_{eff} 可以表示为漂移区的结深 X_j 减去耗尽区在漂移区一侧的宽度 t_{dep} (如图 3(b)所示):

$$t_{eff} = X_j - t_{dep}. \quad (3)$$

假设漂移区表面的电压就是漏端电压, t_{dep} 可以表示为

$$t_{dep} = \sqrt{\frac{2\epsilon_{si}N_{sub}V_d}{qN_{dft}(N_{dft} + N_{sub})}}, \quad (4)$$

其中 N_{sub} 是阱区的掺杂浓度, V_d 是漏端电压.假设沟道区电场强度为 E_c 以维持电子饱和速度,方程

(2)–(4)的边界条件可以设为

$$V(0) = L_{ch} E_c, \quad (5)$$

$$V(L_{dfr}) = V_d.$$

解方程(2)–(5),可以得到漂移区电场分布

$$E(y) = E_c, \quad y \leq L_{dfr} - W_{kirk},$$

$$E(y) = E_c + q \int_{N_{dfr}}^{\rho(y)} \frac{1}{\epsilon_{si}} \cdot (y - W_{kirk}),$$

$$y > L_{dfr} - W_{kirk},$$

$$W_{kirk} = \sqrt{2\epsilon_{si}(V_d - L_{ch} E_c) \int_{N_{dfr}}^{\rho(y)} \frac{1}{\epsilon_{si}} \cdot (y - W_{kirk})} \quad (6)$$

其中

$$\rho(e) = I_d \int qV_{sa}(X_j - t_{dep})]$$

$$= I_d / \{qV_{sa} [X_j - \sqrt{2\epsilon_{si} N_{sub} V_d} (qN_{dfr} (N_{dfr} + N_{sub}))]\} \quad (7)$$

图5给出了漂移区电场分布的 TCAD 模拟结果和根据(6)式的计算结果,其中 $L_{ch} = 3 \mu\text{m}$, $L_{dfr} = 3.2 \mu\text{m}$, $X_j = 0.4 \mu\text{m}$, $N_{dfr} = 1.2 \times 10^{17} \text{cm}^{-3}$, $N_{sub} = 2 \times 10^{16} \text{cm}^{-3}$, $E_c = 2 \times 10^4 \text{V/cm}$, $V_d = V_g = 30 \text{V}$, $I_d = 3.8 \text{A/cm}$. X_j , N_{dfr} , N_{sub} 及 I_d 的数字由 TCAD 模拟结果给出.图5中 $y=0$ 附近(沟道边缘附近)计算结果比模拟结果小,这是因为计算时忽略了栅压对电场的影响,因为 $V_g = 30 \text{V}$ 主要的强场区在漂移区的另一侧,所以这个差别并不重要;在 $y = L_{dfr}$ 附近(漂移区另一侧)计算结果大于模拟结果,这是因为为了使泊松方程从二维变成一维采用了一个简化假设,即认为耗尽区在漂移区一侧的宽度 t_{dep} 是常数,如方程(4)所表述.这个简化假设高估了 t_{dep} ,因为只有在漏端附近漂移区表面的电势才是 V_d ,离漏端越远漂移区表面电势越小.过高的 t_{dep} 导致 t_{dfr} 偏低,电子密度增大,从而导致计算结果偏高.

尽管如此,方程(6)(7)还是定性地揭示了器件的各个参数对漂移区电场的影响.由方程(6)(7)可知,漂移区的掺杂浓度 N_{dfr} 或者结深 X_j 增加都将降低漂移区边缘的电场 $E(L_{dfr})$,从而降低了衬底电流的第二个峰,如图2(b)所示.另一方面,因为衬底电流的第一个峰与普通 MOS 器件成因相同,所以增加漂移区浓度的同时会增加衬底电流的第一个峰,增加漂移区结深同时会降低衬底电流的第一个峰^[1].

为了解释如表1所示的衬底电流第二个峰对器件可靠性的影响(泄漏电流增加,击穿电压降低),我们用 MEDICI 模拟了在 $V_g = V_d = 30 \text{V}$ 条件下施加 100 s 应力之后器件的变化.如图5所示,发生在新的强场区的碰撞离化产生的大量的热电子,这些热电子会破坏漂移区二氧化硅-硅界面的完整性,在

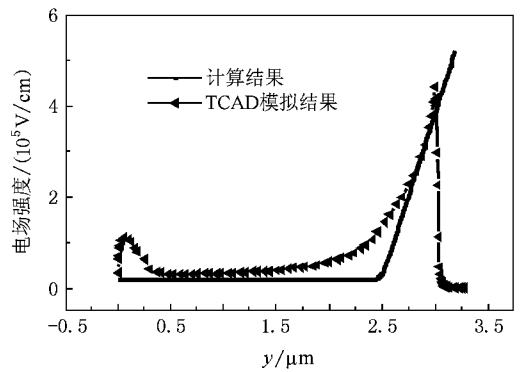


图4 漂移区的电场分布

漂移区上方形成大量陷阱电荷.由于碰撞离化远离栅氧化层,所以并没有观察到阈值电压和栅氧化层陷阱电荷(N_{it})的退化.通过模拟发现这些陷阱电荷改变了关断状态下漂移区的电场分布,在陷阱电荷下边缘形成了一个比较高的电场(如图5中嵌套的漂移区电场分布图所示),导致了器件泄漏电流增加,击穿电压降低.

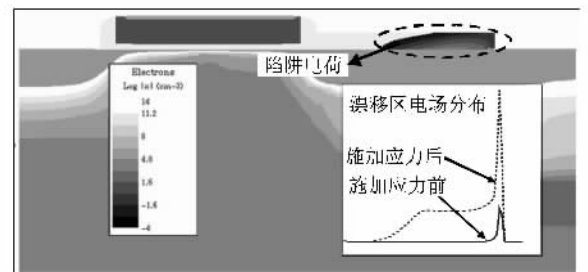


图5 施加应力后漂移区上方的陷阱电荷以及施加应力前后关断状态下的电场分布

4. 结 论

利用 $0.15 \mu\text{m}$ 标准 CMOS 工艺制造出了工作电压为 30V 的双扩散漏端 MOS 晶体管,并考察了该 DDDMOS 的衬底电流.观察到 DDDMOS 的衬底电流-栅压曲线 ($I_b - V_g$ 曲线)有两个峰. DDDMOS 衬底电流的第一个峰成因与普通 MOS 器件相同,都是来源与发生在沟道边缘的碰撞离化.衬底电流形成第一个峰之后,如果 V_g 进一步增加,漏电流继续增大,构成该漏电流的电子浓度超过了漂移区的掺杂浓度.根据泊松方程,在漂移区远离沟道一侧将形成一个新的强电场区,该强场区的碰撞离化产生了大量的电子-空穴对,其中的空穴被衬底收集导致衬底电

流在第一个峰值之后重新上升形成第二个峰. 发生在新的强场区的碰撞离子会破坏漂移区的二氧化硅-硅界面, 形成陷阱电荷, 导致了施加应力之后器件性能的退化. 通过求解泊松方程和电流连续性方程,

得到了漂移区电场分布公式, 分析了器件的物理和几何参数对漂移区电场的影响, 为进一步的工艺优化提供了理论依据.

- [1] Arora N 1993 *MOSFET Models for VLSI Circuit Simulation : Theory and Practice* (New York : Springer-Verlag Telos)
- [2] Lee S K , Kim C J , Kim J H , YC Choi , Kang H S , Song C S 2001 *International Symposium on Power Semiconductor Devices and ICs* (ISPSD) p287—290
- [3] Ludikhuize A W , Slotboom M , Nezar A , Nowlin N , Brock R 1997 *International Symposium on Power Semiconductor Devices and ICs* (ISPSD) p53—56
- [4] Hower P L , Pendharkar S 2005 *International Reliability Physics Symposium* p545—550
- [5] Hower P L , Merchant S 1999 *International Electron Devices Meeting* (IEDM) p193—196
- [6] Weber W , Werner C , Schwerin A V 1986 *International Electron Devices Meeting* (IEDM) p390—393
- [7] Chen H F , Hao Y , Ma X H , Tang Y , Meng Z Q , Cao Y R , Zhou P J 2007 *Acta Phys. Sin.* **56** 1662 (in Chinese) [陈海峰, 郝跃, 马晓华, 唐 瑜, 孟志琴, 曹艳荣, 周鹏举 2007 物理学报 **56** 1662]
- [8] Zhu Z W , Hao Y , Ma X H , Cao Y R , Liu H X 2007 *Acta Phys. Sin.* **56** 1076 (in Chinese) [朱志炜, 郝跃, 马晓华, 曹艳荣, 刘红侠 2007 物理学报 **56** 1075]
- [9] Heremans P , Witters J , Groeseneken G , Maes H 1989 *IEEE Transaction on Electron Devices* **36** 1318

Mechanism and impact of the double-hump substrate current in high-voltage double diffused drain MOS transistors

Wang Jun^{1 2 3}† Wang Lei^{1 2 3} Dong Ye-Min³ Zou Xin³
Shao Li³ Li Wen-Jun³ Steve Yang³

1 † Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

2 † Graduate School of Chinese Academy of Sciences, Beijing 100049, China)

3 † Grace Semiconductor Manufacturing Corporation, Shanghai 201203, China)

(Received 27 October 2007 ; revised manuscript received 28 December 2007)

Abstract

A 30-volt double diffused drain MOS (DDDMOS) is fabricated with standard 0.15 μm CMOS process. The substrate current of this DDDMOS is investigated and the two-humps of I_b - V_g curves is observed. The origin of these two humps of substrate current is demonstrated by experiments and TCAD simulation. The cause of first peak is the same as that in conventional MOS device ; the second hump is caused by the impact ionization under high electric field in the drift region far away from the channel edge. The correlation between the electric field and the device parameters is studied through the Poisson 's Equation and Current continuity equation. Based on the mechanism of the second hump of I_b , its impact on device reliability is studied.

Keywords : high-voltage device , substrate current , reliability

PACC : 7340Q , 6120J