

# 考虑通孔效应和边缘传热效应的 纳米级互连线温度分布模型<sup>\*</sup>

朱樟明<sup>†</sup> 郝报田 钱利波 钟 波 杨银堂

(西安电子科技大学微电子研究所, 西安 710071)

(2009 年 4 月 5 日收到 2009 年 6 月 9 日收到修改稿)

提出了同时考虑通孔效应和边缘传热效应的互连线温度分布模型, 获得了适用于单层互连线和多层互连线温度分布的解析模型, 并基于 65 nm 互补金属氧化物半导体 (CMOS) 工艺参数计算了不同长度单层互连线和多层互连线的温度分布. 对于单层互连线, 考虑通孔效应后中低层互连线的温升非常低, 而全局互连线几乎不受通孔效应的影响, 温升仍然很高. 对于多层互连线, 最上层互连线的温升最高, 温升和互连介质层厚度近似成正比, 而且互连介质材料热导率越低, 温升越高. 所提出的互连线温度分布模型, 能应用于纳米级 CMOS 计算机辅助设计.

关键词: 通孔效应, 边缘传热效应, 纳米级互连线, 温度分布模型

PACC: 6630Q, 6185, 8160C

## 1. 引 言

随着硅互补金属氧化物半导体 (CMOS) 集成电路发展到纳米级 CMOS 阶段, 超大规模集成电路 (VLSI) 的频率和集成度不断提高, 片上互连的延迟、功耗和信号完整性已经成为影响集成电路性能和可靠性的决定性因素之一. 虽然单个纳米级集成器件的功耗及其产生的热量不断降低, 但是单位面积的功耗和单位面积产生的热量却随着集成度和工作频率的提高而迅速增加, 从而导致芯片内部温度的持续上升<sup>[1]</sup>. 特别是全局互连线, 由于远离衬底, 自身功耗所产生的热不能迅速有效地散出芯片, 造成全局互连线温度的急剧上升, 严重影响了片上互连的延迟、功耗和信号完整性<sup>[2-16]</sup>.

在纳米级 CMOS 工艺中, 为了减小互连线的串扰和延时, 介质层普遍采用低介电常数 (低  $K$ ) 材料, 而不是传统的二氧化硅. 通常低  $K$  材料具有更差的导热性, 进一步恶化了纳米级 CMOS 工艺互连线的热环境<sup>[2]</sup>. 互连线温度的升高不仅会导致电迁移等可靠性隐患, 还会增加互连线的电阻, 从而增大信号

传输延时和串扰<sup>[3]</sup>. 文献 4 指出, 对于全局互连线, 温度每上升 20 °C Elmore 延时将增加 5%—6%, 所以十分有必要对纳米级互连线的温度分布进行研究<sup>[7-16]</sup>.

针对衬底热效应对 VLSI 互连线的影响, 文献 [4] 基于一维温度分布提出了互连线温度分布的数值解析模型, 应用此模型可以方便地对互连线上的温度分布进行分析, 但是该模型只适用于深亚微米 CMOS 工艺中的顶层互连线. 文献 3 提出了一种集总式互连线电热解析模型, 该模型通过数值分析或模拟测试的方法得到衬底温度, 然后以此作为边界条件推导出互连线的温度分布. 文献 3 所提出的模型允许设计者估计互连线的温升, 计算衬底上不同互连路径有效的信号传播延时, 但是计算衬底温度分布却十分耗时, 所以对集成电路设计来讲并不合适.

本文首先对互连线的热源和热沉进行分析, 提出了一种同时考虑通孔效应和边缘传热效应的单层互连线温度分布模型, 并基于 65 nm CMOS 工艺参数计算了不同长度单层互连线的温度分布. 其次建立了考虑通孔效应的纳米级多层互连线的温度分布模

<sup>\*</sup> 国家自然科学基金 (批准号: 60725415, 60676009, 60776034), 国家高技术研究发展计划 (批准号: 2009AA01Z258, 2009AA01Z260) 和西安 AM 创新基金 (批准号: XA-AM-200814) 资助的课题.

<sup>†</sup> E-mail: zmyh@263.net

型,比较了通孔的间隔长度对温度分布的影响,计算分析了考虑通孔效应的多层互连线温度分布与介质层厚度、介质层材料热导率的关系。

## 2. 互连线的热源和热沉

图 1 为平铺在衬底上的一条互连线,通过两端的通孔连接到衬底或下层互连线。其中  $t$  表示金属互连线的厚度,  $l$  为互连线的长度,  $d$  为互连线的间距,  $w$  表示金属互连线的宽度,  $t_{\text{ins}}$  表示互连线介质层的厚度。其主要的热源包括互连线自身功耗所产生的热  $P_g$  和上层互连线通过介质层向下扩散的热  $P_i$ ,  $P_i$  可以用附加的均方根电流密度  $\Delta J_{\text{rms},i}$  等效。

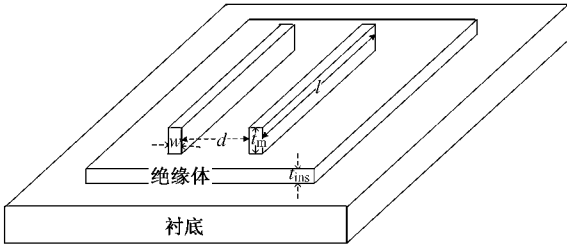


图 1 互连线结构示意图

通孔的温升并不像互连线那样高,而且通孔因为太短而不能产生足够的热<sup>[6]</sup>。另外,并不是所有的通孔同时都有电流流入,而它们却同时向下散热<sup>[16]</sup>,所以和文献 4—6, 16]采用的假设相同,本文合理地把通孔当作有效的热沉<sup>[16]</sup>,从而可以忽略通孔的尺寸对互连线温度分布的影响。此外,互连线通过介质层向下扩散的热量也是热沉的另一个重要组成部分。所以互连线上散失的热量主要由两部分组成:互连层间或互连层-衬底间的热扩散( $P_1$ )以及通过通孔传递的热( $P_v$ )。

当芯片工作在稳态时,上层互连线产生的所有热量首先扩散到当前互连层,然后再扩散到低层互连层,最终通过衬底散出芯片。传递到第  $i$  层互连线的热量可以用下式来表示

$$\Delta Q_i = L_i w_{m,i} \left( \sum_{j=i+1}^n J_{\text{rms},j}^2 \cdot t_{m,j} \cdot \rho_j \cdot \frac{w_{m,j}}{w_{m,j} + d_j} \right) \quad (1)$$

其中  $L_i$ ,  $J_{\text{rms},j}$  和  $d_j$  分别表示第  $j$  层互连线的长度、均方根电流密度和间距,  $n$  表示集成电路金属互连线的层数,纳米级 CMOS 工艺中  $n$  的典型值为 8—9;  $t_{m,j}$  表示第  $j$  层金属互连线的厚度,  $w_{m,j}$  表示第  $j$  层金属互连线的宽度。

根据  $\Delta J_{\text{rms},i}$  的定义,可以得到如下方程:

$$\Delta Q_i = \left[ (J_{\text{rms},i} + \Delta J_{\text{rms},i})^2 - J_{\text{rms},i}^2 \right] \times \rho_i \cdot L_i \cdot w_{m,i} \cdot t_{m,i} \quad (2)$$

由(2)式可以得到  $\Delta J_{\text{rms},i}$  的表达式如下:

$$\Delta J_{\text{rms},i} = \left( \frac{\Delta Q_i}{\rho_i \cdot L_i \cdot w_{m,i} \cdot t_{m,i}} + J_{\text{rms},i}^2 \right)^{\frac{1}{2}} - J_{\text{rms},i} \quad (3)$$

从而可以用附加电流密度  $\Delta J_{\text{rms},i}$  来表征上层互连线向下扩散的热  $P_i$ 。对于图 1 中所示的互连线,单位长度  $\Delta x$  内由于自身功耗所产生的热  $P_g$  可以用下式来表示<sup>[4]</sup>:

$$P_g(x) = I_{\text{rms},i}^2 \Delta R_E(x) \quad (4)$$

其中  $I_{\text{rms},i}$  为流过互连线的均方根电流,它等于均方根电流密度和互连线截面积的乘积。互连线电阻与其温度呈线性关系,可以用下式来表示:

$$R_E(x) = R_0(1 + \beta \cdot T(x)) \quad (5)$$

其中  $R_0$  是参考温度下互连线的单位长度电阻,  $\beta$  是电阻的温度系数 ( $1/^\circ\text{C}$ ),  $T(x)$  则是互连线沿长度方向在  $x$  位置处的温度。互连线单位长度的初始电阻可以表示为

$$\Delta R_0(x) = \rho \frac{\Delta(x)}{w_{m,i} \cdot t_{m,i}} \quad (6)$$

其中  $\rho$  是参考温度下互连线金属的电阻率,  $t_{m,i}$  表示互连线厚度,  $w_{m,i}$  表示互连线宽度。所以单位长度内由互连层间热扩散所损失的热量为

$$P_1(x) = \frac{T_i(x) - T_{i-1}(x)}{\Delta R_T(x)} \quad (7)$$

$$\Delta R_T(x) = \frac{t_{\text{ins},i}}{k_{\text{ins},i}^* w_{m,i} \Delta x} \quad (8)$$

其中  $P_1(x)$  是互连线经介质层流向下层的热量,  $T_i$  表示互连线上的温度,  $T_{i-1}$  表示衬底或者下层金属互连层的温度,  $\Delta R_T$  则是介质层热电阻,  $k_{\text{ins},i}^*$  是介质层的有效热导率。文献 7 给出了深亚微米 CMOS 工艺的  $k_{\text{ins}}^*$  表达式,该表达式同样适用于纳米级 CMOS 工艺。

$$k_{\text{ins},i}^* = k_{\text{ins}} \cdot \frac{t_{\text{ins},i}}{w_{m,i}} \times 1.685 \times \left[ \log \left( 1 + \frac{t_{\text{ins},i}}{w_{m,i}} \right) \right]^{-0.59} \times \left( \frac{t_{\text{ins},i}}{w_{m,i}} \right)^{-0.078} \quad (9)$$

文献 8 的作者以(9)式计算有效热导率,并发现对于长方体互连线由该式计算得到的热导率已经足够精确。因为通孔表现为有效的热沉,从通孔向下传递的热量对中等、局部互连线的温升影响比较大,所以

需要对这部分热量分析量化. 文献 [4] 以  $T_i(x)|_{x=0} = T_{\text{avg},i}$  和  $T_i(x)|_{x=L_i} = T_{\text{avg},i}$  作为边界条件获得了沿互连线长度方向的温度分布模型, 其表达式为

$$T_i(x) = T_{\text{avg},i-1} + \frac{\theta_i}{\lambda_i^2} \times \left( 1 - \frac{\sinh \lambda_i x + \sinh \lambda_i (L_i - x)}{\sinh \lambda_i L} \right) \quad (10)$$

$$\lambda_i^2 = \frac{1}{k_m} \left( \frac{k_{\text{ins},i}}{t_{m,i} t_{\text{ins},i}} - \frac{I_{\text{ms},i}^2 \rho}{w_{m,i}^2 t_{m,i}^2} \right), \quad (11)$$

$$\theta_i = \frac{I_{\text{ms},i}^2 \rho}{w_{m,i}^2 t_{m,i}^2 k_m}, \quad (12)$$

其中  $k_m$  表示互连线金属材料的热导率, 对于固定的 CMOS 工艺互连层,  $\lambda_i$  和  $\theta_i$  一般为常数.  $T_{\text{avg},i-1}$  则表示第  $i-1$  层互连线的平均温度, 其值可由下式来计算:

$$T_{\text{avg},i-1} = \frac{1}{L_{i-1}} \int_0^{L_{i-1}} T_{i-1}(x) dx. \quad (13)$$

很明显  $\theta_i/\lambda_i^2$  是忽略通孔效应时互连线的温升.

本文定义  $\Delta T_i(x) = T_i(x) - T_{\text{avg},i-1}$  为第  $i$  层互连线在  $x$  处和第  $i-1$  层互连线的温差. 从通孔散出去的热量应该由两部分组成: 温差为  $\theta_i/\lambda_i^2$  和  $\Delta T_i(x)$  时互连线间通过电介质扩散的热量差  $Q_{\text{vi},1}$ , 以及温差从  $\Delta T_i(x)$  上升到  $\theta_i/\lambda_i^2$  时互连材料吸收的热量  $Q_{\text{vi},2}$ . 通过对互连线长度进行积分可以得到  $Q_{\text{vi},1}$  的表达式为

$$Q_{\text{vi},1} = \int_0^{L_i} \frac{\theta_i}{\lambda_i^2} - \Delta T_i(x) \Delta R_{T,i}(x) dx. \quad (14)$$

被积分的部分表示在  $x$  处, 单位长度互连线对应不同温升时的热扩散能量之差. 同样可以通过积分来得到互连线温度升高所需的热量  $Q_{\text{vi},2}$ , 其表达式如下:

$$Q_{\text{vi},2} = \int_0^{L_i} c_p \rho_m w_{m,i} t_{m,i} \left( \frac{\theta_i}{\lambda_i^2} - \Delta T_i(x) \right) dx, \quad (15)$$

其中被积分的部分表示在  $x$  处, 温差从  $\Delta T_i(x)$  升高到  $\theta_i/\lambda_i^2$  时单位长度互连线所吸收的热量.  $\rho_m$  表示互连线材料的密度 ( $\text{kg}/\text{m}^3$ ),  $c_p$  表示互连线材料的比热容.

### 3. 单层纳米级互连线的温度分布模型

在三维 (3D) 空间 ( $x, y, z$ ) 中, 任何材料的热扩

散方程可以写为

$$\frac{\partial}{\partial x} \left( k \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left( k \frac{\partial T}{\partial y} \right) + \frac{\partial}{\partial z} \left( k \frac{\partial T}{\partial z} \right) + Q^* = \delta c_p \frac{\partial T}{\partial t}, \quad (16)$$

其中  $T$  表示空间中任意坐标的温度, 是时间和位置的函数;  $k$  表示固体材料的热导率, 是温度的函数;  $c_p$  表示结构材料的比热容;  $Q^*$  表示单位体积内所产生的热 ( $\text{W}/\text{m}^3$ );  $\delta$  则是固体材料的密度 ( $\text{kg}/\text{m}^3$ ).

尽管热导率一般是温度和位置的函数, 但是导体的热导率变化范围极小, 所以在 VLSI 的分析中经常假设热导率为一常数. 由于芯片的侧面和顶部没有和散热的封装金属基板相连, 所以可以合理地假设没有热量从芯片侧面和顶部扩散到外部环境, 这意味着互连线只能通过芯片底部的衬底和外界交换热量, 而衬底通过封装材料连接到外部的热沉. 基于这些合理假设, 系统的稳态热扩散方程可以简化为

$$k \left( \frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} \right) + Q_{\text{eff}}^* = 0, \quad (17)$$

其中  $Q_{\text{eff}}^*$  表示单位体积内有效的热量产生速率, 它同时包含了从衬底扩散到外界的热量.

金属铝或铜的热导率远远大于空气或二氧化硅 (空气、二氧化硅的热导率  $k_m$  为 0.027, 1.04  $\text{W}/\text{m} \cdot ^\circ\text{C}$ . 硅、铝、铜的热导率  $k_m$  为 140, 204, 386  $\text{W}/\text{m} \cdot ^\circ\text{C}$ ), 所以可以假设热量只沿着互连线长度方向扩散, 而忽略热量的对流和辐射, 从而 (17) 式可以简化为

$$\frac{d^2 T}{dx^2} = - \frac{Q_{\text{eff}}^*}{k_m}. \quad (18)$$

为了推导出单位体积内有效的热量产生率  $Q_{\text{eff}}^*$  需要针对如图 1 所示的单层互连线进行温度分布建模. 对于单层互连线, 不存在上层金属互连层向下扩散热量, 所以附加电流密度  $\Delta J_{\text{ms},i} = 0$ , 单位体积内的热量产生率可以写为

$$Q_{\text{eff},i}^* = \frac{P_{g,i} - P_{1,i}}{w_{m,i} t_{m,i} \Delta x} - \frac{Q_{\text{vi},1} + Q_{\text{vi},2}}{w_{m,i} t_{m,i} L_i}, \quad (19)$$

其中等式右边第二项表示单位体积内由于通孔效应所散失的平均热量, 它是对通孔效应的一种近似但合理的处理. 使用如 (18) 式所示的简化的热扩散方程, 单层互连线的热扩散方程可以表示为

$$\frac{d^2 T_i(x)}{dx^2} = \lambda_i^2 T_i(x) - \lambda_i^2 T_{\text{avg},i-1} - \theta_i^*, \quad (20)$$

$$\theta_i^* = \theta_i \left[ 1 - \frac{2(\cosh \lambda_i L_i - 1)}{\lambda_i^3 L_i k_m \cdot \sinh \lambda_i L_i} \times \left( \frac{k_{ins,i}^*}{t_{ins,i}^* t_{m,i}^*} + c_p \rho_m \right) \right]. \quad (21)$$

结合温度的初始条件  $T_i(x)|_{x=0, L_i} = T_{avg,i}$ , 单层互连线沿长度方向的温度分布可以表示为

$$T_i(x) = T_{avg,i-1} + \frac{\theta_i^*}{\lambda_i^2} \times \left( 1 - \frac{\sinh \lambda_i x + \sinh \lambda_i (L_i - x)}{\sinh \lambda_i L_i} \right). \quad (22)$$

(22) 式已考虑了通孔效应和边缘热扩散效应, 可以用来计算全局、中等和局部单层互连线的温度分布. 因为(22)式所代表的解析模型理论更加缜密, 所以与(10)式<sup>[4]</sup>相比, 它的应用范围更广而精度更高, 同时仍维持了其简洁的优点.

表 1 为 BPTM<sup>[13]</sup> 65 nm CMOS 工艺互连参数, 其中局部互连线、中等互连线和全局互连线分别设为 3 层, 共 9 层互连线, 互连介质层高度为 200 nm, 介质材料 Orion 的热导率为 0.16 W/m·°C, 相对介电常数  $\epsilon$  为 2.2.

表 1 65 nm CMOS 工艺互连线参数

互连线	宽度/nm	间距/nm	厚度/nm	介质高度/nm	介质 $\epsilon$
局部互连线	100	100	200	200	2.2
中等互连线	140	140	350	200	2.2
全局互连线	450	450	1200	200	2.2

基于表 1 所示的 65 nm CMOS 工艺互连参数, 并对互连线赋予允许的最大均方根电流密度  $1.72 \times 10^6 \text{ A/cm}^{2[1]}$ , 采用考虑通孔效应和边缘热扩散效应的互连线温度分布解析模型, 本文对不同层次不同长度互连线的温度分布进行了计算, 计算结果如图 2 所示, 其横坐标已经对长度  $L$  进行了归一化. 由图 2 可知, 考虑通孔效应后中低层互连线的温升非常低, 温度条件并不是很恶劣. 对于互连长度超过 2000  $\mu\text{m}$  的单层单根全局互连线, 即使考虑通孔效应, 温升仍能达到 4.7 °C, 温度环境比较恶劣, 此时温度是必须要考虑的问题.

#### 4. 多层纳米级互连线的温度分布模型

对于多层互连线, 互连线的自热效应产生的热量只能通过连接到热沉的硅衬底扩散到外部环境, 因此上层互连线产生的热必须首先扩散到当前互连

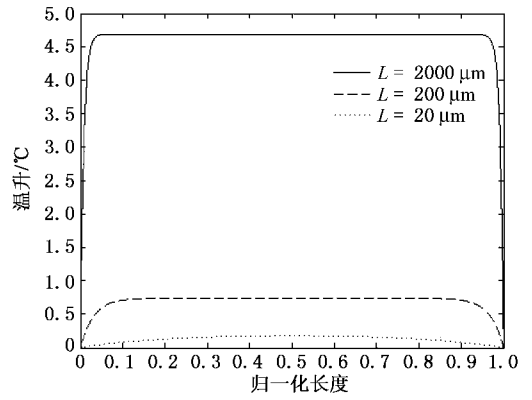


图 2 不同长度互连线的温度分布

层, 然后再扩散到下层直到衬底. 对于多层互连线, 需要用有效均方根电流  $I_{rms,eff,i}$  来代替均方根电流  $I_{rms,i}$ ,

$$I_{rms,eff,i} = I_{rms,i} + \Delta J_{rms,i} w_{m,i} t_{m,i}, \quad (23)$$

结合(13)(22)和(23)式, 可以获得第  $i$  层互连线的平均温度

$$T_{avg,i} = T_{avg,i-1} + \frac{\theta_i^*}{\lambda_{eff,i}^2} \left( 1 - \frac{\tanh\left(\frac{\lambda_{eff,i} L_i}{2}\right)}{\frac{\lambda_{eff,i} L_i}{2}} \right) \quad (24)$$

$$\lambda_{eff,i}^2 = \frac{1}{k_m} \left( \frac{k_{ins,i}^*}{t_{m,i}^* t_{ins,i}^*} - \frac{I_{rms,eff,i}^2 \rho_i \beta}{w_{m,i}^2 t_{m,i}^2} \right). \quad (25)$$

本文定义  $\Delta T_{avg,i} = T_{avg,i} - T_{avg,i-1}$  为第  $i$  层金属相对第  $i-1$  层金属的平均温升. 对于具有  $n$  层互连线的 VLSI 来说, 其顶层的温升等于各层温升的加和, 从而获得一个可用来计算多层互连线温升的解析模型, 如下式所示:

$$\Delta T_n = T_{avg,n} - T_{substate} = \sum_{i=1}^n \Delta T_{avg,i} = \sum_{i=1}^n \frac{\theta_i^*}{\lambda_{eff,i}^2} \left( 1 - \frac{\tanh\left(\frac{\lambda_{eff,i} L_i}{2}\right)}{\frac{\lambda_{eff,i} L_i}{2}} \right), \quad (26)$$

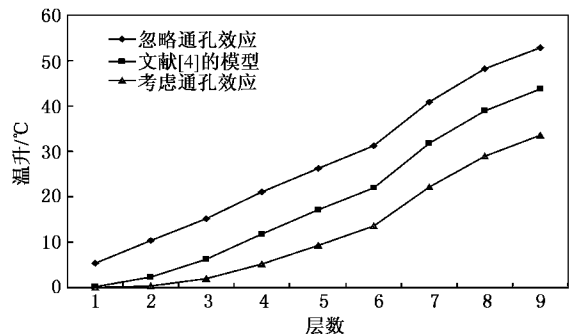


图 3 多层互连线的温度分布

其中  $I_{\text{rms,eff},i}$  包含在  $\lambda_{\text{eff},i}$  中, 而  $I_{\text{rms,eff},i}$  意味着第  $i$  层到最顶层所有互连线产生的热的累加, 这说明会有更多的热量从低层互连线层流出。

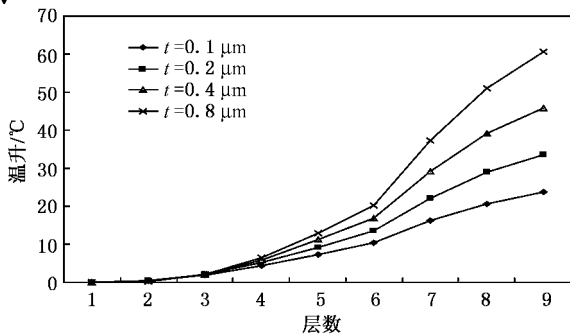


图 4 多层互连线温度分布和介质层厚度的关系

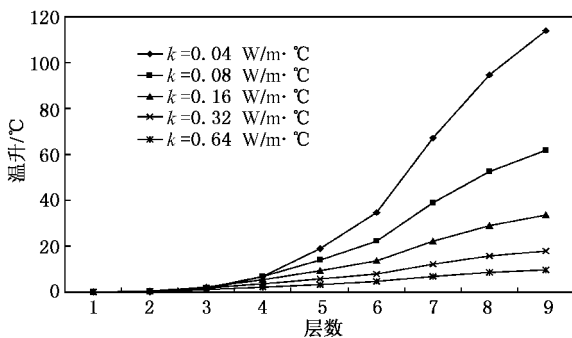


图 5 多层互连线温度分布和介质材料热导率的关系

实际 VLSI 中底部互连线的通孔十分密集, 如果忽略这些通孔的存在, 那么计算得到的低层互连线的温升势必较大, 这会引入不可接受的误差. 为了说明通孔效应的重要性, 基于表 1 所示的 BPTM 65 nm CMOS 9 层互连线工艺参数, 本文假设了合理的通孔

间隔距离(假设从第一层到第九层通孔间隔分别选为 2, 10, 20, 50, 100, 200, 500, 1000 和 2000  $\mu\text{m}$ ), 并对所有互连线赋予允许的最大均方根电流密度  $1.72 \times 10^6 \text{ A/cm}^2$ [11], 然后基于上文的模型计算了多层互连线的温度分布, 结果如图 3 所示.

由图 3 可以发现第 9 层互连线(最上层互连线)的温度最高. 考虑通孔效应后互连层温度明显降低了很多, 忽略通孔效应将会在中间层和低层引起较大的温度误差. 与文献 [4] 相比, 本文所提出模型更加接近实际情况. 图 4 给出了对应于不同介质层厚度时互连线温度的变化, 介质层越厚, 温升越大. 图 5 则是对应于不同介质层热导率时互连层温度的分布, 介质材料热导率越低, 温升越快. 低层互连层的温升可以忽略不计, 而中间层和高层互连线则造成了绝大部分的温升, 且顶层互连线的温度随热导率的下降急剧升高, 和热导率近似成反比的关系, 所以互连线自热效应将进一步恶化互连线的互连延时.

## 5. 结 论

本文提出了同时考虑通孔效应和边缘传热效应的互连线温度分布模型, 获得了适用于单层互连线和多层互连线温度分布的解析模型, 并基于 65 nm CMOS 工艺参数计算了不同长度单层互连线的温度分布, 分析了多层互连线温度分布与介质层厚度、介质层材料热导率的关系. 由于考虑了边缘传热效应以及通孔效应, 本文所提出的温度分布模型更接近于实际温度分布, 对纳米级 CMOS 集成电路设计、优化有着重要的指导作用.

[1] Zhu Z M, Qian L B, Yang Y T 2009 *Acta Phys. Sin.* **58** 2631 (in Chinese) [朱樟明、钱利波、杨银堂 2009 物理学报 **58** 2631]

[2] Banerjee K, Amerasekera A 1996 *IEEE Int. Electron Devices Meeting* Washington, D C, USA, December 8—11, 1996 p65

[3] Spennagallo N, Codecasa L 2006 *Proceedings of the 12<sup>th</sup> Thermic Nice*, France, September 27—29, 2006 p220

[4] Ajami A H 2005 *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems* **24** 849

[5] Wang N L, Zhou R D 2004 *Int. Conf. on Solid-State and Integrated Circuits Technology* Beijing, China, October 18—21, 2004 p1088

[6] Banerjee K 2000 *IEEE Int. Electron Devices Meeting* Washington D C, USA, December 10—13, 2000 p727

[7] Josep A, Antonio R 2002 *Thermal Testing of Integrated Circuits* (Boston: Kluwer Academic Publishers) p28

[8] Chen D, Li E, Rosenbaum E 2000 *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems* **19** 197

[9] Trattles J T, O'Neill A G 1993 *IEEE Trans. Electron Devices* **40** 1344

[10] Tao J 1996 *Proc. Int. Reliability Physics Symp.* Washington, D C, USA, September 14—17, 1996 p180

[11] Lin S H, Yang H Z 2006 *Int. Conf. on Communications, Circuits and Systems* Guilin, China, June 25—28, 2006 p2776

[12] Kim S Y, Wong S S 2007 *IEEE Trans. Circuits and System I-Reg. Papers* **54** 2001

[13] <http://www.eas.asu.edu/~ptm/>

[14] Delan A, Rennau M, Schulz S E 2003 *Microelectronics Engineering* **70** 280

[15] Zhu Z M, Qian L B, Yang Y T 2009 *Chin. Phys. B* **18** 1188

- [ 16 ] Chiang T Y , Banerjee K , Saraswat K C 2001 *Proc. Int. Conf. on Computer-Aided Design* San Jose , CA , USA , November 4—8 , 2001 p165

## A compact interconnect temperature distribution model considering the via effect and the heat fringing effect<sup>\*</sup>

Zhu Zhang-Ming<sup>†</sup> Hao Bao-Tian Qian Li-Bo Zhong Bo Yang Yin-Tang

( *Institute of Microelectronics , Xidian University , Xi'an 710071 , China* )

( Received 5 April 2009 ; revised manuscript received 9 June 2009 )

### Abstract

Considering the via effect and the heat fringing effect simultaneously , we proposed a compact interconnect temperature distribution model that can be applied for single interconnect and multilevel interconnects . Based on the 65 nm complementary metal-oxide semiconductor ( CMOS ) interconnect and material parameter , the temperature distribution of multilevel interconnects and single interconnect with different lengths was calculated . The results show that the temperature rise of global interconnect is still large when the via effect is considered , while the temperature rise of intermediate line and local line is quite small . For multilevel interconnects , the temperature rise in the uppermost layer interconnect is the largest . The temperature rise is approximately proportional to the thickness of insulator , and will rise higher if the thermal conductivity of dielectric materials becomes smaller . The proposed interconnect temperature distribution model can be used in nanometer CMOS computer-aided design .

**Keywords :** via effect , heat fringing effect , nanometer interconnect line , temperature distribution model

**PACC :** 6630Q , 6185 , 8160C

<sup>\*</sup> Project supported by the National Natural Science Foundation of China ( Grant Nos. 60725415 , 60676009 , 60776034 ) , the National High Technology Research and Development Program of China ( Grant Nos. 2009AA01Z258 , 2009AA01Z260 ) , and the Xi'an-AM Innovation Foundation , China ( Grant No. XA-AM-200814 ) .

<sup>†</sup> E-mail : zmyh@263.net