

基于 $\text{Al}_2\text{O}_3/\text{Pt}$ 纳米晶/ HfO_2 叠层的 MOS 电容存储效应研究*

黄 玥 苟鸿雁 廖忠伟 孙清清 张 卫 丁士进[†]

(专用集成电路与系统国家重点实验室, 复旦大学微电子研究院, 上海 200433)

(2009 年 5 月 31 日收到; 2009 年 6 月 30 日收到修改稿)

采用电子束蒸发 Pt 和后快速热退火的方法, 研究了退火条件对 Pt 纳米晶的生长特性的影响, 结果显示 Pt 纳米晶的密度随退火温度的升高和退火时间的延长均表现出先增大后减小的趋势. 在 800°C 下退火 20 s 能得到分布均匀的、密度为 $3.0 \times 10^{11} \text{ cm}^{-2}$ 的 Pt 纳米晶. 进一步研究了基于 $\text{Al}_2\text{O}_3/\text{Pt}$ 纳米晶/ HfO_2 叠层的 MOS 电容结构的存储效应, 表明其在 $-3 \sim +8 \text{ V}$ 扫描电压范围内 $C-V$ 滞回窗口达到 2.01 V. 在编程时间相同的情况下, 当编程电压增大到 9 V 时其平带电压偏移显著增大, 这与电子穿过隧穿层的势垒减小有关, 即电子由直接隧穿变为 Fowler-Nordheim 隧穿. 此外, Pt 纳米晶存储电容也表现出了随编程时间持续的电子俘获能力.

关键词: Pt 纳米晶, 快速热退火, 原子层淀积, 存储效应

PACC: 7340N, 8116, 7360H

1. 引 言

随着半导体器件特征尺寸不断缩小, 传统的多晶硅浮栅非挥发性存储器将面临着严峻的挑战, 即隧穿氧化层的减薄会导致数据保持能力的退化. 于是, 许多研究者提出了采用分立的纳米晶作为电荷存储中心来替代连续的多晶硅浮栅. 由于纳米晶彼此之间被绝缘介质电学隔离, 因此隧穿层中存在的电荷泄漏通道通常仅引起其附近的纳米晶中存储的电荷发生流失, 而不会影响到所有纳米晶中存储的电荷, 所以有效地提高了存储器的数据保存能力^[1]. 此外, 基于纳米晶电荷存储的存储器可以依靠更少的载流子工作^[2], 不仅可以在低压下工作降低功耗, 而且可以减薄隧穿层厚度达到更快的编程和擦除速度^[3-6]. 就纳米晶存储器来说, 目前主要包括半导体和金属两类纳米晶存储器. 其中, 半导体(如 Si, Ge)纳米晶因其能带结构中能量量子化的现象而限制了每个纳米晶可以存储的电荷数量^[7], 而金属纳米晶没有此限制. 此外, 金属纳米晶还拥有其他的优势: 在费米能级附近态密度更高、具有更

广阔的功函数选择范围、拥有和金属体材料及其相近的能带结构、在隧穿层和纳米晶间更容易实现不对称势垒来均衡编程和保持特性^[8]. 因此, 探索金属纳米晶在存储器中的应用具有重要的意义.

在各种金属材料中, 金属铂(Pt)拥有较大的功函数(5.36 eV), 良好的导电性, 化学性质稳定不易被氧化, 以及具有高介电常数介质间热稳定性好, 因此在金属纳米晶存储器中具有很好的应用前景. 就 Pt 纳米晶的制备技术而言, 国际报道主要集中在化学的和物理的加工方法. 譬如, Ghavale 等人^[9]采用化学还原法制备了 Pt 纳米颗粒, 但该技术与集成电路工艺兼容性较差. Liu 等人^[10]和 Dutourcq 等人^[11]分别采用电子束蒸发和磁控溅射的方法, 并结合快速热退火, 研究了在高温热氧化的 SiO_2 表面生长 Pt 纳米晶的特性. 由于金属纳米晶的生长特性受到金属层的上、下界面的分散力的影响^[10], 因此不同的材料表面势必会影响到纳米晶的生长, 需要进行系统的研究. 另一方面, 对于传统的 SiO_2 隧穿层来说, 若采用高介电常数(κ)薄膜来代替, 则在相同的等效氧化物厚度(EOT)下可以获得更大的物理厚度, 因此可以提高电荷的保存时间. 原子层淀积 Al_2O_3

* 国家高技术研究发展计划(863)新材料领域项目(批准号:2006AA03Z307), 教育部科学技术研究重点项目(批准号:108052)和教育部新世纪优秀人才支持计划(批准号:NCET-08-0127)资助的课题.

[†] 通讯联系人. E-mail: sjding@fudan.edu.cn

薄膜因结构致密,禁带宽度最接近 SiO_2 ,介电常数较高($\kappa \approx 8$),呈非晶态,因此是一种理想的隧穿层材料.同时,若采用介电常数更高的 HfO_2 ($\kappa \approx 25$) 薄膜做控制层,则可显著增大器件在编程和擦除状态下隧穿层中的电压降,大大降低了电荷的隧穿势垒,因此可以提高存储器的编程和擦除速度^[12].鉴于此,本文首先比较系统地研究了在原子层淀积的 Al_2O_3 薄膜表面 Pt 纳米晶的生长,探索了退火温度和退火时间对 Pt 纳米晶生长的影响,并进一步研究了基于 $\text{Al}_2\text{O}_3/\text{Pt}$ 纳米晶/ HfO_2 叠层 MOS 电容结构的存储效应.

2. 实 验

电阻率为 $4\text{--}8 \Omega \cdot \text{cm}$ 的 p 型(100)硅片经过标准 RCA 清洗后,放入原子层淀积(ALD)反应腔生长 6 nm 隧穿氧化层 Al_2O_3 ,反应前躯体为三甲基铝(TMA)和水.接着在 Al_2O_3 表面电子束蒸发 $1\text{--}2 \text{ nm}$ 的金属 Pt 层.为了制备 Pt 纳米晶,上述样品分别在氮气气氛下分定时变温和定温变时两种情况下快速热退火:前者是在 600°C , 700°C , 800°C 各退火 30 s;后者是在 800°C 下分别退火 10 s, 20 s, 40 s. 为了研究 Pt 纳米晶的电荷存储效应,将已形成 Pt 纳米晶的样品放入 ALD 反应腔,在其上面生长 9 nm 控制氧化层 HfO_2 ,反应前躯体是四(乙基甲基)铵(TEMAH)和水.然后,在 HfO_2 薄膜表面电子束蒸发 $1 \mu\text{m}$ 金属 Al,并用光刻和湿法腐蚀定义上电极.硅片背面在去除自然氧化层后也通过电子束蒸发的方法淀积 $1 \mu\text{m}$ 金属 Al,形成欧姆接触.图 1 给出了文中 Pt 纳米晶 MOS 电容结构的剖面示意图.

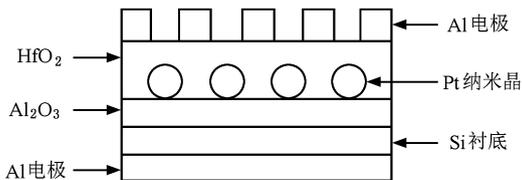


图 1 Pt 纳米晶 MOS 电容结构的剖面示意图

Pt 纳米晶的形成情况通过扫描电子显微镜(SEM, CM 200 FEG)和原子力显微镜(AFM, Pico Scan 2100 型)来观察, X 射线光电子能谱(XPS)是在 Kratos AXIS Ultra^{DLD} 仪器上进行,以 $\text{AlK}\alpha$ ($h\nu = 1486.6 \text{ eV}$) 辐射为发射源. 电容电压($C\text{-}V$)曲线采用 Keithley 4200 SCS 仪器测试,编程/擦除脉冲由

Keithley Model 3402 脉冲发生器产生.

3. 结果与讨论

3.1. Al_2O_3 薄膜表面 Pt 纳米晶的生长

图 2 是不同退火温度下 Pt 纳米晶的 SEM 照片.从图中可以看出, 600°C 退火时纳米晶的大小差异很大且形状不规则;退火温度升高到 700°C , Pt 纳米晶呈现球形且大小相当、分布均匀;退火温度进一步升高到 800°C , 纳米晶的尺寸比退火 700°C 更加均匀.这是因为退火温度较低时,如 600°C , Pt 原子获得的动能不足以使之充分迁徙,导致部分 Pt 原子没有完全成核结晶.据文献报道,成核的概率随温度升高而增大,所以当表面能足够大时,纳米晶的数量会随着成核点的增加而迅速增加.温度较高时,通过吸附原子的表面扩散, Pt 原子在成核点形成能量较低的球形纳米晶^[13].此外,没有退火的样品在相同的电镜拍摄条件下无法观察到 Pt 纳米晶的存在.进一步地,我们采用 AFM 对 600°C 和 800°C 退火的两个样品表面进行了表征,如图 3 所示.从图中可以清楚看出, 600°C 退火的样品中存在许多大小不等、形状不规则的纳米颗粒,彼此之间存在较明显的堆叠现象,晶粒的高度主要集中在 $2.5\text{--}4.5 \text{ nm}$ 范围内;而 800°C 退火样品,纳米晶尺寸相对均匀,晶粒的轮廓以及晶粒之间的界限相当清晰,晶粒的高度主要集中在 $5.0\text{--}6.5 \text{ nm}$ 范围内.

采用 Image-Pro Plus 分析软件,并定义纳米晶的横向直径在 $2\text{--}20 \text{ nm}$ 范围内为可识别对象,因此统计出了 Pt 纳米晶的密度随退火温度和退火时间的变化,如图 4(a)所示.可以看出,当退火温度升高到 700°C 时纳米晶的密度达到最大值 $3.6 \times 10^{11} \text{ cm}^{-2}$,继续升高退火温度到 800°C 时,所得到的纳米晶的密度稍有减小,接近 $3.0 \times 10^{11} \text{ cm}^{-2}$.但是,如图 1 所示,在更高的温度下退火得到的 Pt 纳米晶分布的均匀性明显改善.因此,本文进一步研究了在 800°C 下不同退火时间对 Pt 纳米晶密度的影响,如图 4(b)所示.退火时间为 20 s 时,所得纳米晶密度相对较高,达到 $3.0 \times 10^{11} \text{ cm}^{-2}$.随着退火时间的延长,纳米晶的密度呈下降的趋势.上述变化趋势可以从能量导致的纳米晶再生长原理来解释:一方面,新成核点的形成将增大纳米晶的密度;另一方面,纳米晶之间的团聚再生长将导致密度的降低.这两者

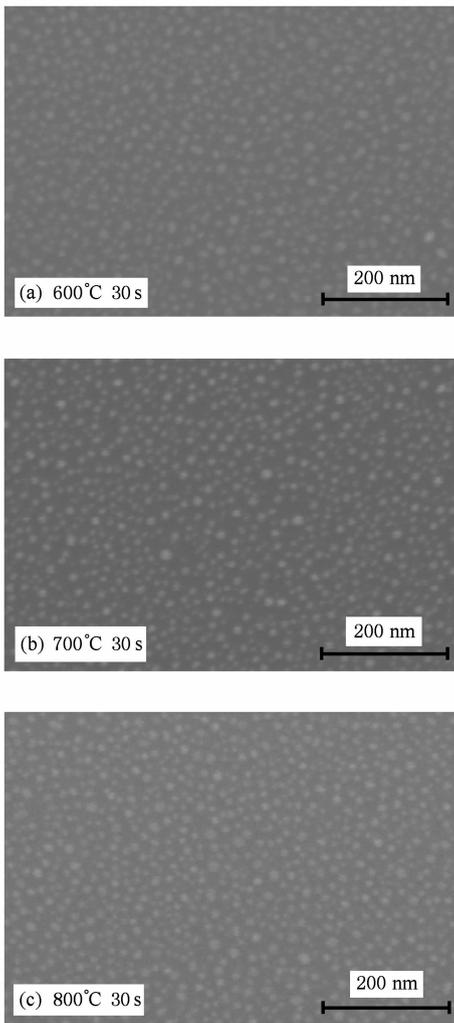


图2 不同退火温度下得到的 Pt 纳米晶的 SEM 照片 (a) 600°C ; (b) 700°C ; (c) 800°C

的相互竞争最终会使纳米晶的密度达到一个最大值,即密度饱和^[14].一旦过了纳米晶密度的饱和阶段,伴随着所有吸附原子被纳米晶俘获,不会再有新的成核点形成.更高的热预算(延长退火时间或者更高的退火温度)只会使纳米晶以奥斯瓦德熟化方式与邻近纳米晶融合再生长^[15],从而密度降低.

图5是退火前后 $\text{Pt}/\text{Al}_2\text{O}_3$ 样品的 XPS 全谱,可以明显观察到 Pt 3d, O 1s, Al 2s 的光电子峰,而位于 70—75 eV 的强光电子峰应来源于 Pt 4f 和 Al 2p 的光电子峰的叠加,因为它们的结合能比较接近.另外,还观察到了少量的碳污染峰 C 1s 以及来自硅衬底的 Si 2p 峰.通过比较两种样品的光电子峰强度发现,700°C 退火后的样品中 Pt 3d 光电子峰的强度明显降低,而 Al 2s 和 O 1s 峰的强度显著增加.这是由于退火使得覆盖在 Al_2O_3 薄膜上的 Pt 原子迁

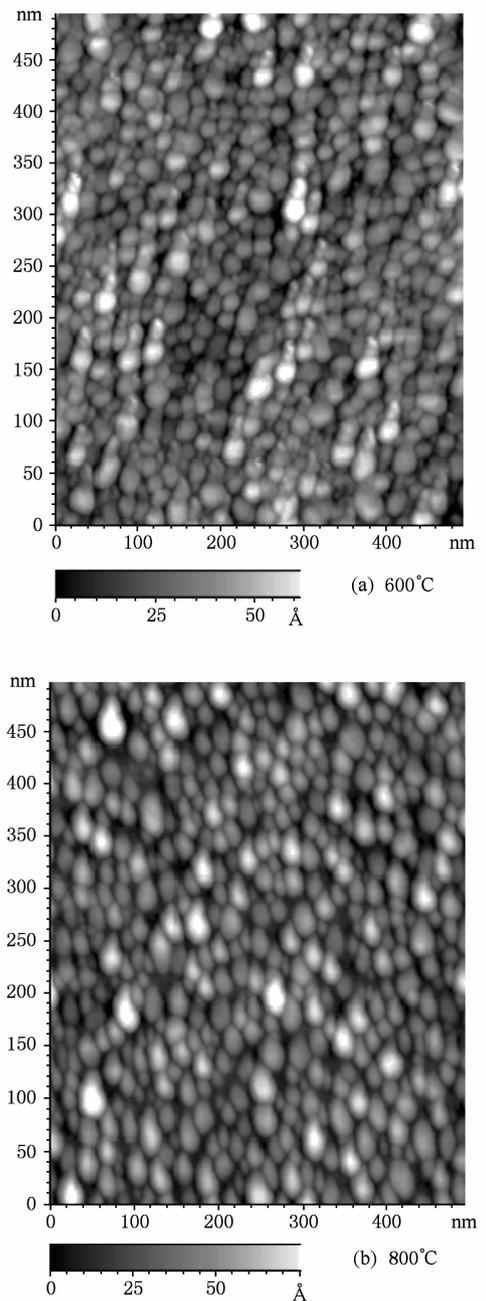


图3 退火后样品的 AFM 照片 (a) 600°C ; (b) 800°C

移形成分离的纳米晶,导致部分 Al_2O_3 薄膜表面被裸露出来,因此 XPS 能检测到更多的来自 Al_2O_3 的信号.该结论与前面 SEM 结果相一致.

3.2. $\text{Al}_2\text{O}_3/\text{Pt}$ 纳米晶/ HfO_2 的 MOS 电容存储效应

图6给出了 $\text{Al}_2\text{O}_3/\text{Pt}$ 纳米晶/ HfO_2 叠层 MOS 电容结构在 1 MHz 下的电容-电压 ($C-V$) 曲线,其扫描电压的顺序先由负偏压到正偏压(即正向扫描),然后再返回(即反向扫描).从图中可以观察到,随

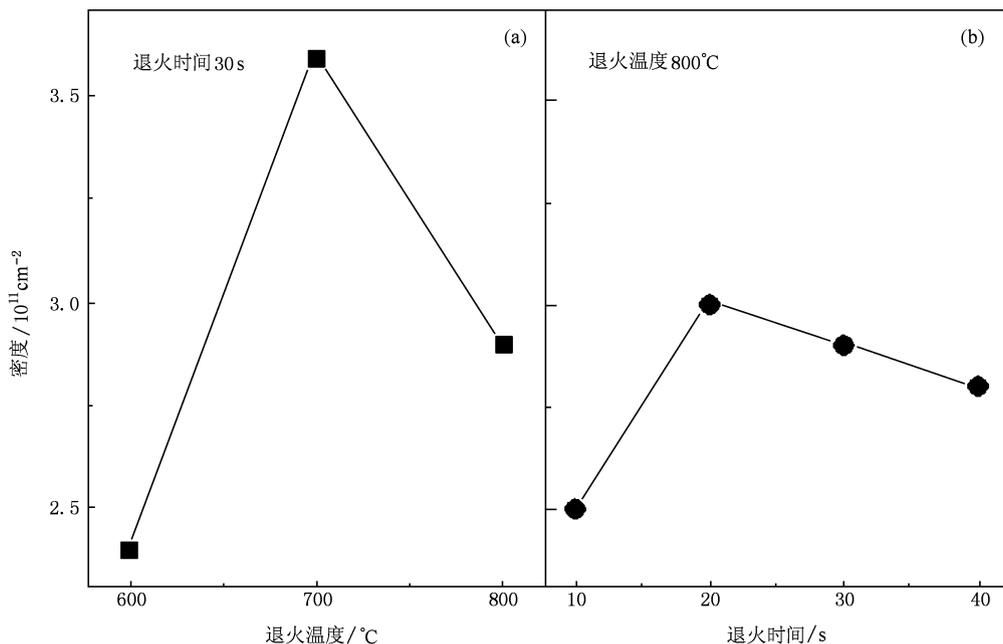
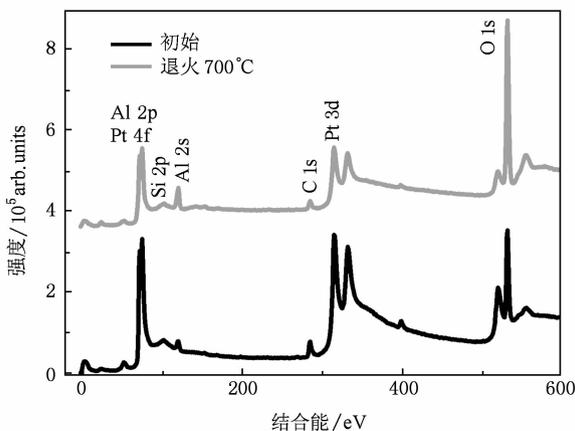
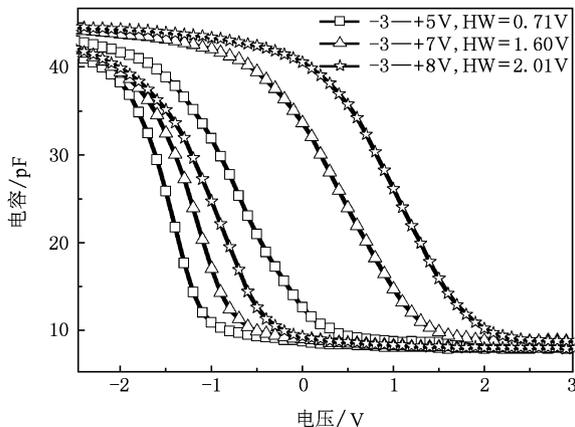


图 4 Pt 纳米晶的密度随退火温度和退火时间的变化

图 5 未退火和 700 $^{\circ}\text{C}$ 退火的 Pt/ Al_2O_3 样品的 XPS 全谱图 6 1 MHz 下 $\text{Al}_2\text{O}_3/\text{Pt}$ 纳米晶/ HfO_2 叠层 MOS 电容结构的 C-V 曲线(其中 HW 表示电容的滞回窗口)

着扫描电压范围从 $-3 \sim +5 \text{ V}$ 增加到 $-3 \sim +8 \text{ V}$, 滞回窗口从 0.71 V 增大到 2.01 V. 这是由于增大正偏压可以增加电子从衬底向纳米晶中的注入量. 此外, 还发现正向扫描的 C-V 曲线随扫描电压增大依次略向正偏压方向漂移, 这是由于 MOS 电容在正偏压时注入到 Pt 纳米晶中的电荷在反向扫描后没有被完全擦除掉^[16].

图 7 是固定编程时间为 900 ms, 改变编程电压得到的 Pt 纳米晶电容的 C-V 曲线, 其中插图是相应的平带电压漂移. 随着编程电压从 $+5 \text{ V}$ 增大到 $+10 \text{ V}$, 所得平带电压从 -1.41 V 逐渐移动到

0.66 V. 这表明编程电压越大, 在相同的时间内 Pt 纳米晶俘获的负电荷(电子)越多. 譬如, $+9 \text{ V}$ 的编程电压引起的平带电压漂移为 $+5 \text{ V}$ 的 6.62 倍. 为了更好地理解上述现象, 我们可以借助能带图来说明. 图 8(a) 和 (b) 分别对应于编程电压为 $+5 \text{ V}$ 和 $+9 \text{ V}$ 的能带结构示意图, 可以看出在两种不同编程电压下, 电子通过隧穿氧化层(电流 J_{sub}) 的能量势垒是不同的. 在电压较低时(如 $+5 \text{ V}$), 电子需要通过梯形势垒以直接隧穿(DT)的方式注入到 Pt 纳米晶中, 如图 8(a) 所示. 当编程电压增加到适当值时(如 $+9 \text{ V}$), 电子只需要通过一个较小的三角形

势垒并以 Fowler-Nordheim (FN) 隧穿的方式注入到纳米晶中, 因此造成电荷注入的概率显著增大. 所以, 在编程脉冲宽度一定的情况下, 编程电压越大, J_{sub} 越大, 因此会有更多的电子从硅衬底通过隧穿层注入到 Pt 纳米晶中, 从而导致平带电压漂移越大.

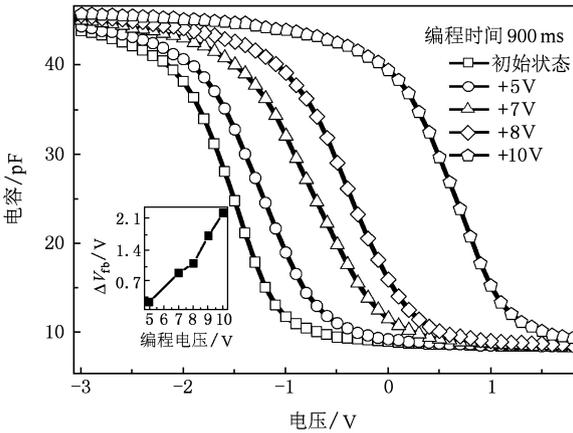


图 7 相同编程时间和不同编程电压下 Pt 纳米晶电容的 C-V 曲线, 其中插图是对应的平带电压漂移

为了观察平带电压漂移与编程时间的关系, 本文固定编程电压在 10 V, 测量了不同编程时间下的 C-V 曲线, 如图 9 所示, 插图是对应的平带电压漂移. 可以看出随着编程时间从 100 ms 增加到 900 ms, 所得到的 C-V 曲线持续向正偏压移动, 即平带电压从 -1.68 V 漂移到 0.50 V. 这表明了 Pt 纳米晶具有较好的电荷俘获能力. 就 700 ms 的编程时

间来说, 平带电压漂移为 1.59 V. 根据公式 $R_{\text{injection}} = C_{\text{control}} \times \Delta V_{\text{fb}}/t^{[17]}$, 其中 C_{control} 是测量的积累区电容密度, t 是编程时间, 因此计算出的平均电荷注入速率为 $1.28 \times 10^{16} \text{ cm}^{-2} \text{ s}^{-1}$.

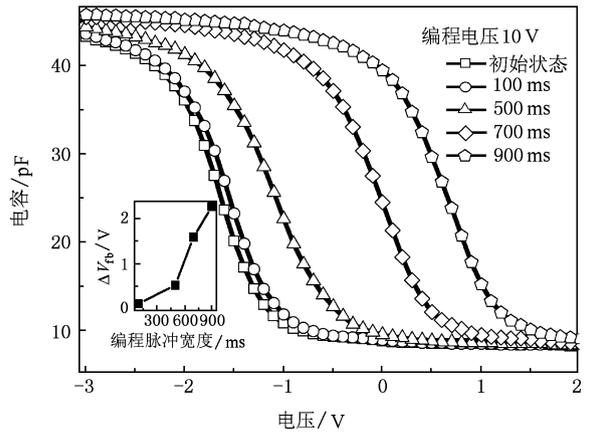


图 9 10 V 编程电压下 Pt 纳米晶电容随编程脉冲宽度变化的 C-V 曲线及对应的平带电压漂移 (插图)

4. 结 论

本文利用扫描电子显微镜和原子力显微镜研究了不同退火条件下 Pt 纳米晶的生长情况, 结果显示纳米晶的密度随着退火温度的升高和退火时间的延长都表现出先增加后减小的趋势. 这种变化趋势与能量导致的 Pt 原子迁移和纳米晶再生长有关.

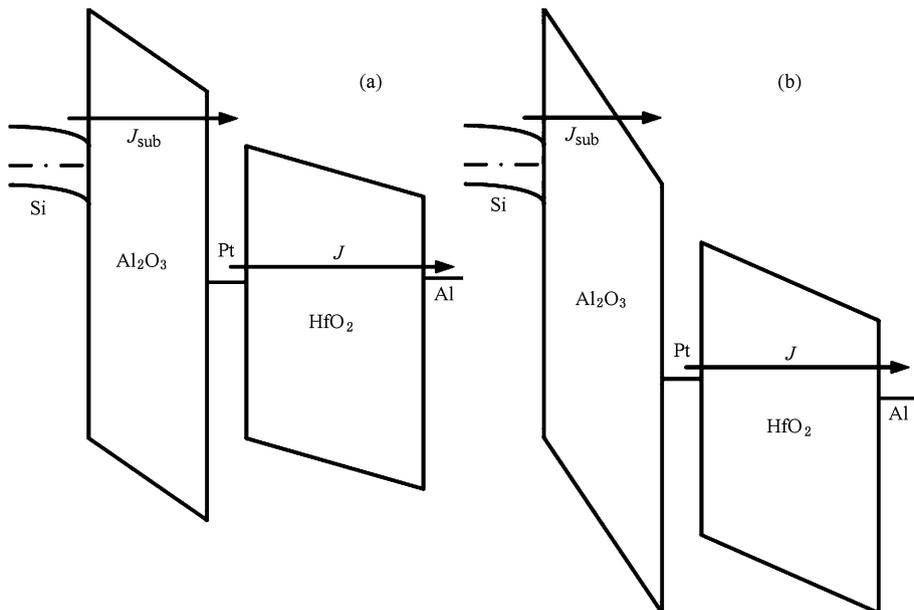


图 8 在不同编程电压下 Pt 纳米晶存储电容的能带示意图 (a) $V_g = +5 \text{ V}$; (b) $V_g = +9 \text{ V}$

进一步,本文研究了基于 $\text{Al}_2\text{O}_3/\text{Pt}$ 纳米晶/ HfO_2 叠层 MOS 电容结构的存储效应,揭示了其在 -3 V — $+8\text{ V}$ 的扫描电压范围内 C - V 滞回窗口达到 2.01 V . 在编程时间相同的情况下,当编程电压增大

到 9 V 时其平带电压偏移显著增大,这是由于电子穿过隧穿层的势垒发生改变,即由 DT 变为 FN 隧穿. 另外, Pt 纳米晶存储电容也表现出了随编程时间持续的电荷俘获能力.

-
- [1] Lee C G, Meteer J, Narayanan V, Kan E C 2005 *J. Electronic Materials* **34** 1
- [2] Sargentis C, Giannakopoulos K, Travlos A, Tsamakis D 2007 *Surface Science* **601** 2859
- [3] Tiwari S, Rana F, Hanafi H, Hartstein A, Crabbé E F, Chan K 1996 *Appl. Phys. Lett.* **68** 1377
- [4] Salvo B D, Gerardi C, Lombardo S, Baron T, Perniola L, Mariolle D, Mur P, Toffoli A, Gely M, Sermeria M N, Deleonibus S, Ammendola G, Ancarani V, Melanotte M, Bez R, Baldi L, Corso D, Crupi I, Puglisi R A, Nicotra G, Rimini E, Mazen F, Ghbaudo G, Pananakakis G, Compagnoni C M, Ielmini D, Spinelli A, Lacaita A, Wan Y M, Jeugd K V 2003 *Tech. Dig. -Int. Electron Devices Meet.* 597
- [5] Muralidhar R, Steimle R F, Sadd M, Rao R, Swift C T, Prinz E J, Yater J, Grieve L, Harber K, Hradsky B, Straub S, Acred B, Paulson W, Chen W, Parker L, Anderson S G H, Rossow M, Merchant T, Paransky M, Huynh T, Hadad D, Chang K M, White B E 2003 *Tech. Dig. -Int. Electron Devices Meet.* 601
- [6] Baron T, Fernandes A, Damlencourt J F, Salvo B D, Martin F, Mazen F, Haukka S 2003 *Appl. Phys. Lett.* **82** 4151
- [7] Sée J, Dollfus P, Galdin S 2002 *J. Appl. Phys.* **92** 3141
- [8] Zhang M, Chen W, Ding S J 2007 *J. Phys. D* **41** 032007
- [9] Ghavale N, Dey S, Jalv V K, Tewari R 2009 *Bull. Mater. Sci.* **32** 15
- [10] Liu Z, Lee C, Narayanan V, Pei G, Kam E C 2002 *IEEE Transactions on Electron Devices* **49** 1614
- [11] Dutourcq J, Mur P, Gordon M J, Minorer S, Coppard R, Baron T 2007 *Materials Science and Engineering C* **27** 1496
- [12] Yang F M, Chang T C, Liu P T, Yeh P H, Yu Y C, Lin J Y, Sze S M, Lou J C 2007 *Appl. Phys. Lett.* **90** 132102
- [13] Samanta S K, Yoo W J, Samudra G, Tok E S, Bera L K, Balasubramanian N 2005 *Appl. Phys. Lett.* **87** 113110
- [14] Robinson V A E, Robins J L 1970 *Thin Solid Films* **5** 313
- [15] Carey J D, Ong L L, Silva S R P 2003 *Nanotechnology* **14** 1223
- [16] Zhang M, Chen W, Ding S J, Liu Z Y, Huang Y, Liao Z W, Zhang D W 2008 *J. Phys. D: Applied Physics* **41** 032007
- [17] Lee C, Hou T H, Kan E C 2005 *IEEE Trans. Electron Devices* **52** 2697

Investigation on memory effect of MOS capacitors with $\text{Al}_2\text{O}_3/\text{Pt}$ -nanocrystals/ HfO_2 *

Huang Yue Gou Hong-Yan Liao Zhong-Wei Sun Qing-Qing Zhang Wei Ding Shi-Jin[†]

(State Key Lab of ASIC & System, Fudan University, Shanghai 200433, China)

(Received 31 May 2009; revised manuscript received 30 June 2009)

Abstract

Growth of Pt nanocrystals has been investigated by means of electron beam evaporation of Pt layer and post rapid thermal annealing. The results indicate that the density of nanocrystals increases first with the annealing temperature and the annealing time, followed by a slight decrease. Uniformly distributed nanocrystals with a density of $3.0 \times 10^{11} \text{ cm}^{-2}$ can be obtained in the case of the annealing at 800°C for 20 s. Further, memory effect of $\text{Al}_2\text{O}_3/\text{Pt}$ nanocrystals/ HfO_2 -based MOS capacitors has been characterized, indicating a capacitance-voltage (C - V) hysteresis window as large as 2.01 V in the sweep voltage range of $-3 \sim +8$ V. In terms of the same programming time, the flat band voltage shift of the memory capacitor starts to increase remarkably when the programming voltage is increased to 9 V. This is related to a decrease in the energy barrier across the tunneling layer for electrons, *i. e.*, the tunnel mechanism of electrons is changed from direct tunneling to Fowler-Nordheim tunneling. Moreover, the memory capacitor also exhibits a capability of continuous electron trapping with prolonging of the programming duration.

Keywords: Pt nanocrystals, rapid thermal annealing, atomic-layer-deposition, memory effect

PACC: 7340N, 8116, 7360H

* Project supported by the National High Technology Research and Development Program for Advanced Materials of China (Grant No. 2006AA03Z307), the Key Project of Chinese Ministry of Education (Grant No. 108052) and Program for New Century Excellent Talents in University (Grant No. NCET-08-0127).

[†] Corresponding author. E-mail: sjding@fudan.edu.cn