

一种基于多目标约束的互连线宽和线间距优化模型*

朱樟明[†] 万达经 杨银堂

(西安电子科技大学微电子学院, 西安 710071)

(2009 年 9 月 1 日收到; 2009 年 11 月 11 日收到修改稿)

优化线宽和线间距已经成为改善系统芯片性能的关键技术. 本文基于互连线线宽和线间距对互连延时、功耗、面积和带宽的影响, 提出了基于多目标优化方法实现优化线宽和线间距的思路, 并利用曲线拟合方法得到了多目标约束的解析模型. Hspice 验证结果显示, 该解析模型精度较高, 平均误差不超过 5%, 算法简单, 能有效弥补应用品质因数方法的缺陷, 可以应用于纳米级互补金属氧化物半导体系统芯片的计算机辅助设计.

关键词: 多目标约束, 曲线拟合, 互连线尺寸, 纳米级集成电路

PACC: 6185, 6630Q, 8160C

1. 引 言

随着互补金属氧化物半导体 (CMOS) 集成电路工艺特征尺寸的不断缩小, 纳米级 CMOS 的全局互连线延时随着互连线长度的增加而迅速增加, 已成为限制片上系统 (SOC) 性能的关键因素之一. 全局互连线经常由大量连接集成系统模块的平行导线组成, 因此全局互连线一秒能传输多少数据是它的一个重要性能. 根据 Shannon 通信理论^[1]可知, 一秒能传输多少数据正比于互连线带宽, 因此带宽是设计全局互连线时需要考虑的关键因素之一. 为了减小互连延迟, 插入式中继驱动器得到了广泛的应用, 然而随着 CMOS 集成电路工艺特征尺寸的不断缩小及互连长度的不断增加, 需要插入的中继驱动器尺寸越来越大, 数量越来越多. 国际半导体协会在 2007 年的国际半导体技术路线图报告中指出, 纳米级 CMOS 系统芯片的单片中继驱动器数目将达到 80 万门以上, 导致互连本身在功耗及面积等方面的严重问题^[2]. 因此, 全局互连线的延时、功耗、面积和带宽等优化已成为互连线研究的最重要的课题之一.

为了改善互连线性能, 众多研究者提出了大量的优化模型对延时、功耗、面积和带宽进行折中^[3-20], 其中包括线宽和线间距优化模型. 文献[3]

基于线宽对于功耗和延时的影响, 提出了折中功耗和延时的线宽优化方法. 文献[4]和[5]则在同时考虑了延时、功耗、面积和带宽的情况下, 给出了线宽和线间距的优化模型. 文献[3-5]都是采用基于品质因数 (FOM) 模型的标准优化方法, 需要用户在优化前给定 FOM 模型参数, 不同用户如果参数设置不同, 优化结果也会不同, 而且如果优化结果与实际要求不符合, 需要重新设置参数进行优化. 由于参数选择没有固定方法, 用户需要多次调整参数进行参数选择, 这将大大增加计算量.

为了解决上述不足之处, 本文采用目标优化方法, 有效避免了 FOM 模型参数选择问题. 本文首先给出了基于纳米级 CMOS 工艺下互连线延时、功耗、面积和带宽的计算表达式, 然后提出了基于多目标优化方法实现优化线宽和线间距优化的思路, 并利用曲线拟合方法得到了延时、功耗、面积和带宽折中关系的多目标约束解析模型, 最后采用 Hspice 对解析模型进行了验证.

2 延时, 功耗, 面积, 带宽

2.1. 延时

图 1 为全局互连线的截面示意图, 其中 W , S 和 T 分别是互连线宽、线间距和厚度, T_{ox} 是互连介质

* 国家自然科学基金 (批准号: 60725415, 60971066) 和国家高技术研究发展计划 (批准号: 2009AA01Z258, 2009AA01Z260) 资助的课题.

[†] E-mail: zmyh@263.net

层的厚度. 由文献[6]和[7]可知, 如果互连线的单位长度电感 $l < l_{\text{crit}}$, 互连延时反应将类似于 Elmore 延时反应, 其中 l_{crit} 是过阻尼关键长度电感^[7]. 随着集成电路工艺特征尺寸缩小, Elmore 延时模型在大部分条件下是成立的, 因此本文使用 Elmore 延时模型来估计全局互连线延时. 文献[7]表明, 如果缓冲器尺寸 k 和两个缓冲器之间长度 h 满足下式:

$$\begin{aligned} k &= k_{\text{opt}} = \sqrt{\frac{r_s c}{rc_0}}, \\ h &= h_{\text{opt}} = \sqrt{\frac{2r_s(c_0 + c_p)}{rc}}, \end{aligned} \quad (1)$$

则这个互连片段的时间指数是最优的, 即

$$\tau = r_s(c_0 + c_p) + \frac{r_s}{k_{\text{opt}}} + rh_{\text{opt}}k_{\text{opt}}c_0 + \frac{1}{2}rch_{\text{opt}}^2, \quad (2)$$

其中 r_s , c_0 和 c_p 分别是最小尺寸缓冲器的输出电阻、输入电容和输出电容; r 和 c 是互连线单位长度电阻和电容.

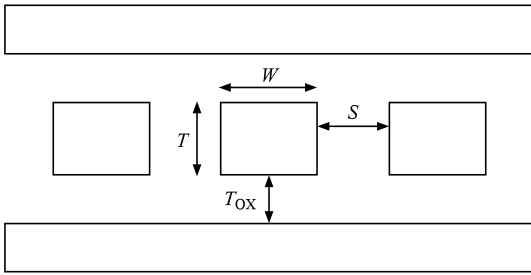


图 1 全局互连线截面示意图

由于互连线延时与单位长度延时成正比, 故对于给定长度的互连线, 分析单位长度延时所得到的结论同样适用于互连线延时, 因此本文以单位长度延时作为分析对象. 由(1)和(2)式可得单位长度最优延时指数 $\left(\frac{\tau}{h}\right)_{\text{opt}}$ 为

$$\left(\frac{\tau}{h}\right)_{\text{opt}} = 2 \sqrt{r_s c_0} \left(1 + \sqrt{\frac{1}{2} \left(1 + \frac{c_p}{c_0}\right)}\right) \sqrt{rc}. \quad (3)$$

由上式可知, 单位长度延时是互连参数 r 和 c 的函数, 其中 r 和 c 可表示为

$$r = \frac{\rho}{WT}, \quad (4)$$

$$c = c_a + c_b W + \frac{c_c}{S}. \quad (5)$$

式中 ρ 是互连金属电阻率, c_a 为边缘电容, c_b 代表互连线对上下层金属层的平行电容, 该电容正比于线宽, c_c 为平行互连线之间的耦合电容, 反比于线

间距.

将(4)和(5)式代入(3)式, 即得单位长度最优延时指数

$$\left(\frac{\tau}{h}\right)_{\text{opt}} \propto A_1 = \frac{1}{W} \sqrt{c_a + c_b W + \frac{c_c}{S}}. \quad (6)$$

2.2. 功耗

图 2 是带有最优缓冲器尺寸和数量的全局互连线, 其中 L 为互连线长度, h 为缓冲器之间的互连线长度, E_{chip} 为芯片的宽度. 假设所有的全局互连线有相同的线宽和线间距, 那么对于一个给定宽度 E_{chip} 的芯片, 全局互连线的条数 $N = \frac{E_{\text{chip}}}{W + S}$, 单位长度的

总功耗 $\frac{P_{\text{total}}}{h_{\text{opt}}} = N \frac{P_{\text{repeater}}}{h_{\text{opt}}}$. 由文献[8]可知

$$\begin{aligned} \frac{P_{\text{repeater}}}{h_{\text{opt}}} &= k_1 \left(\sqrt{\frac{c_0 + c_p}{2c_0}} + 1 \right) + k_2 c \sqrt{\frac{1}{2c_0(c_0 + c_p)}} \\ &+ k_3 c r_s \left(\sqrt{\frac{2(c_0 + c_p)}{c_0}} + 2 \right) \propto c, \end{aligned} \quad (7)$$

其中

$$k_1 = a V_{\text{dd}}^2 f_{\text{clock}},$$

$$k_2 = \frac{3}{2} V_{\text{dd}} I_{\text{offn}} W_{\text{nmn}},$$

$$k_3 = a V_{\text{dd}} W_{\text{nmn}} I_{\text{short-circuit}} f_{\text{clock}} \ln 3,$$

式中, V_{dd} 是电源电压, f_{clock} 是时钟频率, a 是活动因子, 表示反相器翻转的概率, 一般取为常数 0.15, I_{offn} 为单位宽度 n 型金属氧化物半导体 (NMOS) 晶体管的泄漏电流, W_{nmn} 为最小宽度缓冲器中 NMOS 晶体管宽度, $I_{\text{short-circuit}}$ 为缓冲器单位宽度短路电流且 $I_{\text{short-circuit}} \approx 65 \frac{\mu\text{A}}{\mu\text{m}}$.

由此可得

$$\frac{P_{\text{total}}}{h_{\text{opt}}} \propto A_2 = \frac{1}{W + S} \left(c_a + c_b W + \frac{c_c}{S} \right). \quad (8)$$

2.3. 面积

为了减少延时, 缓冲器插入在片上系统中得到了广泛的应用. 在纳米级 CMOS 工艺下, 数以万计的缓冲器插入占据了大量的硅片面积, 严重影响了芯片的结构和布局, 已经成为互连优化中不可忽略的因素. 如图 2 所示, 插入最优尺寸和数量缓冲器的总面积 A 满足下式:

$$A = N \frac{L}{h_{\text{opt}}} k_{\text{opt}} A_{\text{m}} \propto A_2,$$

$$= \frac{1}{W+S} \left(c_a + c_b W + \frac{c_c}{S} \right), \quad (9)$$

其中 A_m 为最小尺寸缓冲器面积.

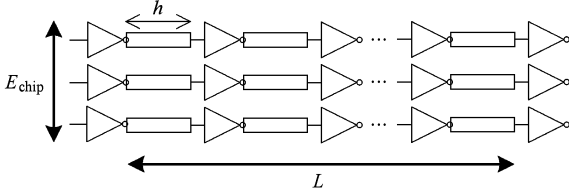


图2 基于缓冲器优化插入的全局互连线

2.4. 带宽

随着信号频率提高,上升时间减小,提高互连带宽已经成为高速数字电路性能要求的重要部分.如图2所示,插入最优尺寸和数量缓冲器的互连线带宽为

$$B = N \frac{1}{D} \propto \frac{E_{\text{chip}}}{W+S} \frac{1}{\left(\frac{\tau}{h}\right)_{\text{opt}}} \propto A_3$$

$$= \frac{\sqrt{W}}{W+S} \frac{1}{\sqrt{\left(c_a + c_b W + \frac{c_c}{S}\right)}}. \quad (10)$$

3. 基于多目标约束的互连线优化解析模型

由(8)和(9)式可知, $\frac{P_{\text{total}}}{h_{\text{opt}}}$ 和 A 都正比于 A_2 , 故本文只分析功耗、延时和面积. 为了能够定量分析由于线宽和线间距变化引起延时、功耗和面积的变化,本文引入三个参数 r_1, r_2 和 r_3 ,

$$r_1 = \frac{A_1}{A_{10}}, r_2 = \frac{A_2}{A_{20}}, r_3 = \frac{A_3}{A_{30}}, \quad (11)$$

其中

$$A_{10} = A_1 \quad (S = W = W_{\text{min}}),$$

$$A_{20} = A_2 \quad (S = W = W_{\text{min}}), \quad (12)$$

$$A_{30} = A_3 \quad (S = W = W_{\text{min}}),$$

其中 W_{min} 为在特定工艺下的最小线宽. 由于特定工艺下的最小线宽是确定的,所以在特定工艺下, A_{10} , A_{20} 和 A_{30} 是常数.

由(6)和(8)式连解可得 $W = f_1(A_1, A_2)$, $S = f_2(A_1, A_2)$, 将它们代入(10)式得 $A_3 = f(A_1, A_2)$.

再将(11)式代入上式可得 $r_3 = g(r_1, r_2)$. $r_3 = g(r_1, r_2)$ 是 (r_1, r_2, r_3) 空间中一个曲面,这个曲面上的点是 r_1, r_2 和 r_3 所有可能的折中情况;实际应用中,根据实际要求和折中原则即 r_1 和 r_2 尽量小, r_3 尽量大,我们可以在 $r_3 = g(r_1, r_2)$ 曲面上选择最优的 $r_{1,\text{opt}}, r_{2,\text{opt}}$ 和 $r_{3,\text{opt}}$. $r_{1,\text{opt}}, r_{2,\text{opt}}$ 和 $r_{3,\text{opt}}$ 确定后,根据(11)式可得最优 $A_{1,\text{opt}}, A_{2,\text{opt}}$ 和 $A_{3,\text{opt}}$. 再将 $A_{1,\text{opt}}, A_{2,\text{opt}}$ 和 $A_{3,\text{opt}}$ 代入 $W = f_1(A_1, A_2)$ 和 $S = f_2(A_1, A_2)$, 从而得到 W_{opt} 和 S_{opt} .

由(6), (8)和(10)式三个方程联解可得

$$W = \frac{A_2}{A_1^3 A_3},$$

$$S = \frac{1}{A_1 A_3} - \frac{A_2}{A_1^3 A_3}. \quad (13)$$

再将(11)和(13)式代入(8)式中,可得

$$m_1 r_2^2 + m_2 + m_3 r_2 r_3 + m_4 r_3 + m_5 r_3^2 = 0, \quad (14)$$

其中

$$m_1 = (c_b - A_{10}^2 r_1^2) A_{20}^2,$$

$$m_2 \approx (A_{10}^2 r_1^2 - c_b) A_{10}^2 r_1^2 A_{20},$$

$$m_3 = A_{10}^3 r_1^3 c_a A_{20} A_{30},$$

$$m_4 = -A_{10}^5 r_1^5 c_a A_{30},$$

$$m_5 = -A_{10}^6 r_1^6 c_c A_{30}^2.$$

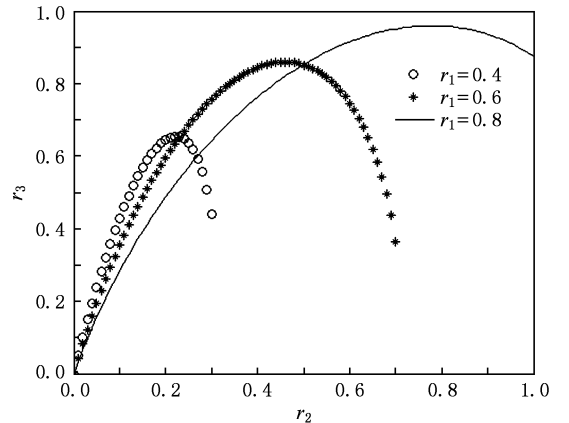


图3 基于45 nm CMOS工艺, r_2, r_3 在 $r_1 = 0.4, 0.6, 0.8$ 三种情况下的图形

对于一个给定的 r_1 , (14)式表示一条由 (r_2, r_3) 构成的曲线,图3是基于45 nm CMOS工艺, r_2, r_3 在 $r_1 = 0.4, 0.6, 0.8$ 三种情况下的图形. 对图3进行观察分析可以发现,对于给定的 r_1, r_3 对 r_2 的函数关系类似一条经过原点的抛物线,且抛物线顶点 $(r_{2,\text{max}}, r_{3,\text{max}})$ 位置随 r_1 增大而提高. 由图3可知,

在顶点 $(r_{2,max}, r_{3,max})$ 处, $\frac{\partial r_3}{\partial r_2} = 0$. 因此, 将(14)式两边分别对 r_2 求导, 并令 $\frac{\partial r_3}{\partial r_2} = 0$, 可得

$$r_{3,max} = -\frac{2m_1}{m_3}r_{2,max} - \frac{m_2}{m_3}. \quad (15)$$

将(15)式代入(14)式中, 可得一个关于 $r_{2,max}$ 的一元二次方程

$$\begin{aligned} & (4m_1^2m_5 - m_1m_3^2)r_{2,max}^2 \\ & + (4m_1m_2m_5 - 2m_1m_3m_4)r_{2,max} \\ & + (m_2^2m_5 - m_2m_3m_4) \\ & = 0. \end{aligned} \quad (16)$$

对(16)式进行大量数据拟合发现

$$r_{2,max} \approx -\frac{m_2}{2m_1} + 0.17r_1. \quad (17)$$

图4是基于45 nm CMOS工艺, (16)和(17)式的图形. 通过图4对比发现, (17)式能很好地拟合(16)式.

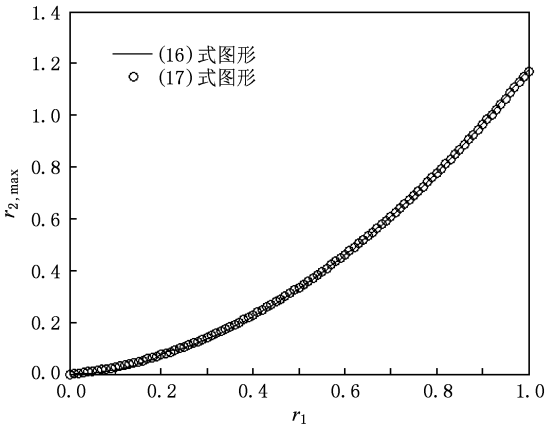


图4 基于45 nm CMOS工艺的(16)和(17)式的图形对比

将(17)式代入(15)式, 可得

$$r_{3,max} = -\frac{0.34m_1r_1}{m_3}. \quad (18)$$

对图3观察发现, 对于给定的 r_1, r_3 对 r_2 的函数关系类似一条经过原点的抛物线, 抛物线顶点坐标为 $(r_{2,max}, r_{3,max})$. 现假设这条曲线就是一条抛物线, 可以求得抛物线的方程为

$$r_3 = \frac{1.36m_1^2r_1}{m_3(m_2 - 0.34m_1r_1)} \left(\frac{m_1r_2^2}{m_2 - 0.34m_1r_1} + r_2 \right). \quad (19)$$

图5是基于45 nm CMOS工艺, 在 $r_1 = 0.6$ 情况下(14)和(19)式的图形对比; 通过图5对比发

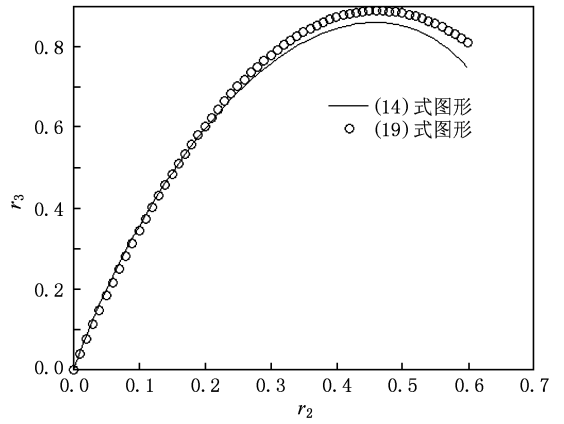


图5 基于45 nm CMOS工艺, 在 $r_1 = 0.6$ 情况下(14)和(19)式的图形对比

现, (19)式在 $r_2 \leq r_{2,max}$ 能够较好地拟合曲线, 最大误差小于10%. 在 $r_2 > r_{2,max}$ 部分, 误差较大. 由于在实际应用中 $r_2 > r_{2,max}$ 的范围没有价值, 因此实际分析处理中, 可以应用(19)式处理 r_2 和 r_3 之间的关系. 将 m_1, m_2 和 m_3 代入(19)式中, 即得 r_1, r_2 和 r_3 之间的折中关系函数为

$$\begin{aligned} r_3 = & \frac{1.36A_{20}^2(A_{10}^2r_1^2 - c_b)_1}{A_{30}A_{10}^3r_1^2c_a(A_{10}^2r_1^2 + 0.34A_{20}r_1)} \\ & \times \left(-\frac{A_{20}r_2^2}{A_{10}^2r_1^2 + 0.34A_{20}r_1} + r_2 \right). \end{aligned} \quad (20)$$

由于在确定工艺下, c_a, c_b, A_{10}, A_{20} 和 A_{30} 都是确定参数, 所以(20)式在三维空间 (r_1, r_2, r_3) 是一个确定的曲面, 这个面上的点是在这个特定工艺下 r_1, r_2 和 r_3 之间所有可能存在的折中关系. 图6是基于45 nm CMOS工艺, r_1, r_2 和 r_3 之间的折中曲面. 在实际应用中, 可以首先结合(20)式和图6确定所

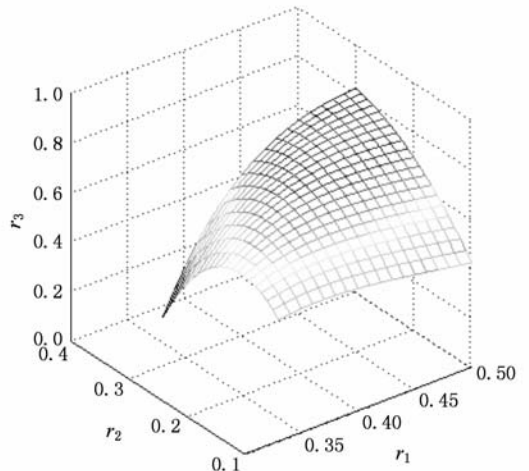


图6 基于45 nm CMOS工艺的 r_1, r_2 和 r_3 之间折中曲面

有 r_1, r_2 和 r_3 之间可能存在的折中关系;其次,再结合实际应用对 r_1, r_2 和 r_3 要求确定 $r_{1,opt}, r_{2,opt}$ 和 $r_{3,opt}$;然后再结合(11)和(12)式就可以确定 W_{opt} 和 S_{opt} .

为了验证本文模型的正确性,首先根据结合(20)式、图6和实际条件确定 $r_{1,opt}, r_{2,opt}$ 和 $r_{3,opt}$,然后再基于本文模型确定 W_{opt} 和 S_{opt} ,接着运用 Hspice 仿真在最优 W_{opt} 和 S_{opt} 条件下的延时、功耗和带宽值,并计算出对应的 r_1, r_2 和 r_3 . 通过对比 $r_{1,opt}, r_{2,opt}, r_{3,opt}$ 与 Hspice 仿真结果对应的 r_1, r_2, r_3

的差别,实现本文模型的验证. 本文 Hspice 仿真使用文献[2]的技术参数和电路模型参数. 表1列出了在 $E_{chip} = 1 \text{ mm}, L = 20 \text{ mm}$ 条件下,45 nm 技术下的 Hspice 仿真结果. 在表1中,最优值代表结合(20)式、图6和实际要求选择确定 $r_{1,opt}, r_{2,opt}$ 和 $r_{3,opt}$, 本文模型代表应用本文模型求解确定的 W_{opt} 和 S_{opt} , Hspice 代表在 W_{opt} 和 S_{opt} 条件下的 Hspice 仿真结果对应的 r_1, r_2 和 r_3 . 对表1分析发现,本模型精度较高,与 Hspice 的仿真结果相比的平均误差不超过 5%.

表1 基于 45 nm CMOS 工艺的验证结果

参数	最优值	本文模型 结果/nm	Hspice 仿真结果	误差/%	最优值	本文模型 结果/nm	Hspice 仿真结果	误差/%
r_1	0.3000	$W = 966.7$	0.3113	3.62	0.5500	$W = 207.8$	0.5653	3.71
r_2	0.1400		0.1338	4.43	0.2500		0.2581	3.14
r_3	0.4738	$S = 483.3$	0.4564	3.75	0.7450	$S = 295.0$	0.7248	2.79
r_1	0.6000	$W = 183.7$	0.6107	1.76	0.7000	$W = 195.2$	0.7040	0.57
r_2	0.3000		0.3108	3.48	0.6000		0.6069	1.13
r_3	0.7786	$S = 257.2$	0.7649	1.79	0.9232	$S = 123.6$	0.9180	0.57

4. 结 论

本文基于互连线线宽和线间距对互连延时、功耗、面积和带宽的影响的分析,提出了基于多目标优化方法实现优化线宽和线间距的思路,并利用曲

线拟合方法得到了多目标约束的解析模型. Hspice 验证结果显示,本文所提出的解析模型精度较高,平均误差不超过 5%,算法简单,能有效弥补应用品质因数方法的缺陷,可以应用于纳米级 CMOS 系统芯片的计算机辅助设计.

[1] Shannon C 1948 *Bell System Technology Journal* **27** 356
 [2] Semiconductor Industry Association 2007 *International Technology Roadmap for Semiconductors*
 [3] Magdy A E 2003 *13th ACM Great Lakes Symposium on VLSI* Washington, DC, USA, April 28—29, 2003 p65
 [4] Mui M L, Banerjee K, Mehrotra A 2004 *IEEE Trans. Electron Devices* **51** 195
 [5] Li X C 2005 *IEEE Trans. Electron Devices* **52** 2272
 [6] Banerjee K, Mehrotra A 2001 *IEEE Symposium on VLSI Circuits* Tokyo, Japan, June 14—16, 2001 p195
 [7] Banerjee K, Mehrotra A 2002 *IEEE Trans. Computer-Aided Design* **21** 904
 [8] Banerjee K, Mehrotra A 2002 *IEEE Trans. Electron Devices* **49** 2001
 [9] Renatas J, Friedman E G 2009 *The 19th ACM Great Lakes Symposium on VLSI* Boston, USA, May 10—12 2009 p15
 [10] Rajeev K D, Alyssa B A 2009 *The 19th ACM Great Lakes Symposium on VLSI* Boston, USA, May 10—12 2009 p275

[11] Avinash K K, Ashwini S 2009 *The 14th Asia and South Pacific Design Automation Conference* Yokohama, Japan, January 19—22, 2009 p1
 [12] Zhang H B, Martin D F, Deng L 2009 *The 2009 International Symposium on Physical Design* San Diego, California, USA, March 29—April 1, 2009 p131
 [13] Lee E, Lemieux G, Mirabbasi S 2008 *Journal of Signal Processing Systems* **56** 57
 [14] Carloni L, Andrew B K 2008 *The 13th Asia and South Pacific Design Automation Conference* Seoul, Korea, January 21—24, 2008 p258
 [15] Ho Y J, Mak W K 2008 *IEEE 2008 International Symposium on VLSI Design, Automation and Test* Hsinchu, Taiwan, April 28—30, 2008 p287
 [16] Chen G Q, Chen H 2007 *The 2nd International Conference on Nano-Networks* Catania, Italy, September 24—26, 2007 p22
 [17] Zhu Z M, Qian L B, Yang Y T 2009 *Chin. Phys. B* **18** 1188

- [18] Zhu Z M, Qian L B, Yang Y T 2009 *Acta Phys. Sin.* **58** 2631
(in Chinese) [朱樟明、钱利波、杨银堂 2009 物理学报 **58**
2631]
- [19] Li C, Liao H L and Huang R 2008 *Chin. Phys. B* **17** 2730
- [20] He L, Du L, Zhuang Y Q 2007 *Acta Phys. Sin.* **56** 7176 (in
Chinese) [何 亮、杜 磊、庄奕琪 2007 物理学报 **56** 7176]

An optimization model of wire size for multi-objective constraint *

Zhu Zhang-Ming[†] Wan Da-Jing Yang Yin-Tang

(School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 1 September 2009; revised manuscript received 11 November 2009)

Abstract

The optimization of wire size has become a key technology for improving the chip system performance. Based on the influence of the wire size of interconnects on the delay, power, area and bandwidth, we propose an idea of optimal wire size based on multi-objective optimization method and obtain a multi-objective constrained analytical model by curve-fitting approach. The Hspice verification shows that the analytical model presented in this paper has a high precision and the average error is less than 5%. The algorithm is simple and can effectively compensate for deficiencies in application of quality factor approach and it can be applied to computer-aided design of nano-scale complementary metal-oxide semiconductor (CMOS) system chips.

Keywords: multi-objective constraint, curve fitting, wire size, nanometer integrated circuits

PACC: 6185, 6630Q, 8160C

* Project supported by the National Natural Science Foundation of China (Grant Nos. 60725415, 60971066) and the National High Technology Research and Development Program of China (Grant Nos. 2009AA01Z258, 2009AA01Z260).

[†] E-mail: zmyh@263.net