

基于 RLC π 型等效模型的互连网络 精确焦耳热功耗计算*

朱樟明[†] 钟 波 杨银堂

(西安电子科技大学微电子研究所, 西安 710071)

(2009 年 6 月 16 日收到; 2009 年 11 月 3 日收到修改稿)

基于互连网络的 RLC π 型等效模型, 考虑电感的屏蔽作用和非理想的阶跃激励, 提出了互连线网络在斜阶跃激励下的焦耳热功耗计算方法, 极大地简化了互连网络中电流和功耗的表达式. 基于 90 nm 金属氧化物半导体 (CMOS) 工艺的互连参数对所提出的计算方法进行了计算和仿真验证, 对于上升信号小于 1 ns 的情况, 计算结果与 Hspice 仿真结果的误差小于 3%, 具有很高的精度, 适合应用于大规模互连网络中的功耗估算和热分析.

关键词: 互连线, 焦耳热, 动态功耗, RLC π 型等效模型

PACC: 6630Q, 6185

1. 引 言

随着硅金属氧化物半导体 (CMOS) 集成电路进入纳米级 CMOS 阶段, 超大规模集成电路的频率和集成度不断提高, 片上互连的延迟、功耗和信号完整性已经成为影响集成电路性能和可靠性的决定性因素之一^[1-3]. 纳米级互连线所产生的热功耗, 相比门级功耗已经不能忽视^[1], 其对电路整体性能影响也越来越大. 国际半导体技术路线图 (ITRS) 在 2006 年便在微处理器 (MPU) 和片上系统 (SOC) 的技术要求表中新增了一个功耗特性参数, 即每平方厘米的金属层在每吉赫兹频率下所消耗的能量值 (单位为瓦特)^[2]. 所以纳米级互连线的热功耗研究是非常有必要的.

文献[4]采用 $C_{\text{load}} V_{\text{dd}}^2$ 来估算互连线动态功耗 (其中 C_{load} 为被研究互连线上所有负载电容之和, V_{dd} 为信号高电平电压.), 考虑了电感对远端电容的屏蔽效应, 但是没有考虑非理想激励函数. 而非理想激励都会影响互连线上的电流响应, 进而会影响互连线的焦耳热功耗. 文献[5]提出了考虑电感屏蔽效应时电路等效电容的概念来求互连线的动态

功耗. 文献[6]采用含有指数项的函数来代替输入信号延时, 但是都没有考虑非理想激励函数.

本文利用简化了的 RLC π 型等效模型, 考虑互连线电感的作用, 计算了在一次斜阶跃函数激励下, 流过互连线电阻的电流产生的焦耳热, 由此推导出互连线的热功耗, 并与 Hspice 仿真结果进行比较和讨论. 本文首先讨论了 RLC π 型等效模型和非理想斜阶跃函数, 并计算了互连网络结构等效模型非理想激励下的电流响应和热功耗, 最后给出了一种拓扑结构的仿真结果和模型计算数据.

2. RLC π 型等效模型和斜阶跃激励

2.1. RLC π 型等效模型

为了方便分析, 各种拓扑结构的互连网络可以简化为 π 型等效模型^[7], 通过计算等效模型的电压和电流响应, 可以方便地求解出互连延时和功耗. 图 1 显示了各种拓扑结构都可以等效成为 RLC π 型结构, 其中 C_n 用来近似靠近输入的近端电容, C_r 用来近似远端电容. 这种等效模型的互连线 π 型模型构成方法如下: 求出 RLC 模型加上负载 Y_l 的输

* 国家自然科学基金 (批准号: 60725415, 60971064)、国家高技术研究发展计划 (批准号: 2009AA01Z258, 2009AA01Z260) 和西安 AM 创新基金 (批准号: XA-AM-200907) 资助的课题.

[†] E-mail: zmyh@263.net

入导纳的 s 域表达式 $Y(s)$, 并将导纳表达式在 $s = 0$ 展开, 通过匹配等效 π 型模型的导纳 s 各项的系数来确定等效模型参数的值. 因此, 从互连网络和等

效模型的输入端往“里”看, 两种结构对缓冲器输出电流的索取能力是一样的, 在电压激励相等的情况下, 它们所消耗的能量也是一样的.

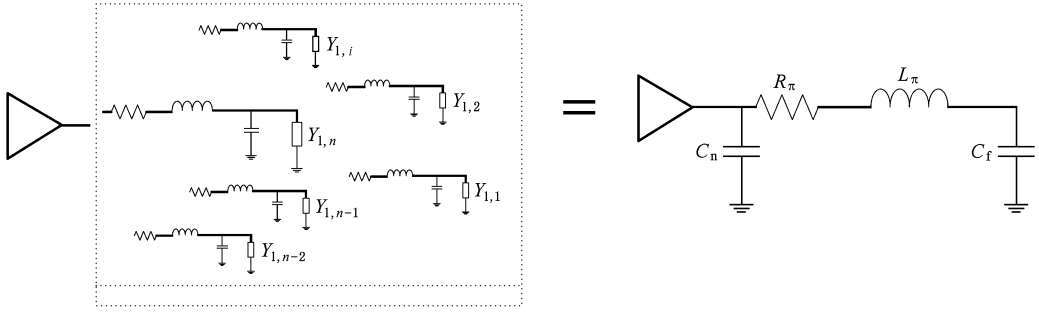


图 1 互连网络和等效 RLC π 型模型

文献[5]给出了 RLC 模型的简化方法, 带有负载阻抗为 Y_1 的 RLC 模型的输入导纳为^[5]

$$Y(s) = \frac{Z_c Y_1 + \tanh\theta}{Z_c (1 + Z_c Y_1 \tanh\theta)}, \quad (1)$$

其中 $\theta = \sqrt{(R_1 + sL_1)sC_1}$, $Z_c = \theta / (C_1 s)$. R_1, C_1, L_1 分别为互连线的总电阻、总电容和总电感. 将(1)式在 $s = 0$ 附近展开, 得到 s 前四项的系数分别为

$$y_1 = y_{1,1} + C_1, \quad (2)$$

$$y_2 = y_{1,2} - R_1 y_1^2, \quad (3)$$

$$y_3 = y_{1,3} - 2R_1 y_{1,2} y_1 + R_1^2 y_1^3 - L_1 y_1^2, \quad (4)$$

$$y_3^* = -2R_1 y_{1,2} y_1 + R_1^2 y_1^3 + y_{1,3}^*, \quad (5)$$

其中 $y_{1,1}, y_{1,2}, y_{1,3}$ 为负载阻抗 Y_1 展开后的 s 的前三项系数.

如果负载 Y_1 仅为一电容 C_{load} , 则 $y_{1,1} = C_{load}$. 通过递归调用(2)–(5)式, 可得到最终 RLC π 型等效模型导纳表达式中 s 的前四项系数 y_1, y_2, y_3 和 y_3^* . 通过与 RLC π 型结构的 s 系数匹配, RLC 等效

模型中的 C_f, C_n, R_π 和 L_π 的值分别为

$$C_f = y_2^2 / y_3^*, \quad (6)$$

$$C_n = y_1 - C_f, \quad (7)$$

$$R_\pi = -y_2 / C_f^2, \quad (8)$$

$$L_\pi = (y_3^* - y_3) / C_f^2. \quad (9)$$

2.2. 斜阶跃激励信号

求电路响应时, 为了简化分析, 一般假设输入激励为理想的阶跃函数. 但在实际情况下, 由于负载电容的存在, 前一级缓冲器的输出并非都是理想的阶跃函数, 所以这种假设会带来较大的误差. 由于斜阶跃函数可以分解为两个符号相反且无限长度的斜坡信号, 易于处理, 也比较符合实际情况, 所以本文的分析将采用斜阶跃函数作为系统的激励. 图 2 显示了符号相反的两个斜坡函数等效为一个上升时间为 T_r , 大小为 V_{dd} 的斜阶跃函数^[8].

如图 2(b)所示的等效输入信号在时域中表示为

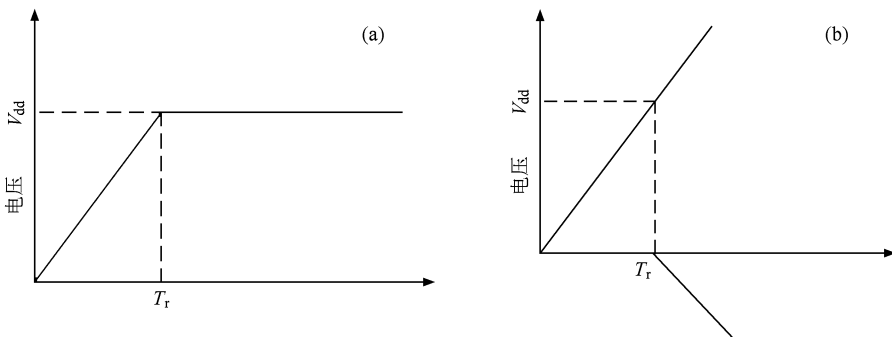


图 2 斜阶跃激励信号 (a) 大小为 V_{dd} 的斜阶跃信号, (b) 两个斜坡函数叠加等效为斜阶跃信号

$$V(t) = u(t) - u(t - T_r) \\ = \frac{V_{dd}}{T_r} (t\varepsilon(t) - (t - T_r)\varepsilon(t - T_r)), \quad (10)$$

其中 $\varepsilon(t)$ 为理想阶跃信号, (10) 式的 s 域的表达式为

$$V(s) = \frac{V_{dd}}{T_r} \cdot \frac{1}{s^2} (1 - e^{-sT_r}). \quad (11)$$

3. 斜阶跃激励下 RLC π 型等效模型焦耳热功耗

为了得到焦耳热功率的表达式, 必须先要得到流过电阻的电流表达式, 如将 (11) 式激励加在 RLC π 型等效模型上, R_π 上电流响应为

$$I_{out}(s) = V(s) \cdot Y(s) \\ = \frac{V_{dd}}{T_r} \cdot \frac{1}{s^2} \cdot \left[\frac{C_f s}{L_\pi C_f s^2 + R_\pi C_f s + 1} \right] \\ \times (1 - e^{-sT_r}). \quad (12)$$

该激励下电流响应 $t < T_r$ 为

$$I(s) = \frac{V_{dd}}{T_r} \cdot \left[\frac{A}{s} + \frac{B}{s - s_1} + \frac{C}{s - s_2} \right], \quad (13)$$

其中 $A = \frac{1}{s_1 s_2}$, $B = \frac{1}{s_2 (s_2 - s_1)}$, $C = \frac{1}{s_1 (s_1 - s_2)}$, s_1 和 s_2 为 (12) 式的中括号内分母等于 0 时的两个非零根.

如果等效电阻 R_π 的值过小或 L_π/C_π 的值过大, 使得 $R_\pi^2 C_f^2 - 4L_\pi C_f < 0$, 则 s_1 和 s_2 为一对共轭虚数, 此时通过 R_π 上的电流是阻尼振荡信号, 其时域响应函数为

$$i(t) = AT_r + 2|B| \left[(e^{\alpha t} \cos(\beta t + \theta) - e^{\alpha(t-T_r)} \right. \\ \left. \times \cos(\beta(t - T_r) + \theta) \varepsilon(t - T_r) \right], \quad (14)$$

如果 RLC π 型模型中 $R_\pi^2 C_f^2 - 4L_\pi C_f > 0$, s_1 和 s_2 为实根, 其时域响应函数为

$$i(t) = L^{-1} [I(s)] \\ = \frac{V_{dd}}{T_r} \left[\varepsilon(t) (A + Be^{s_1 t} + Ce^{s_2 t}) - \varepsilon(t - T_r) \right. \\ \left. \times (A + Be^{s_1(t-T_r)} + Ce^{s_2(t-T_r)}) \right], \quad (15)$$

其中 $\alpha = -R_\pi/2L_\pi$, $\beta = \sqrt{R_\pi^2 - 4L_\pi/C_\pi}/2L_\pi$, $\theta = \arctan(\beta/\alpha) + \pi$.

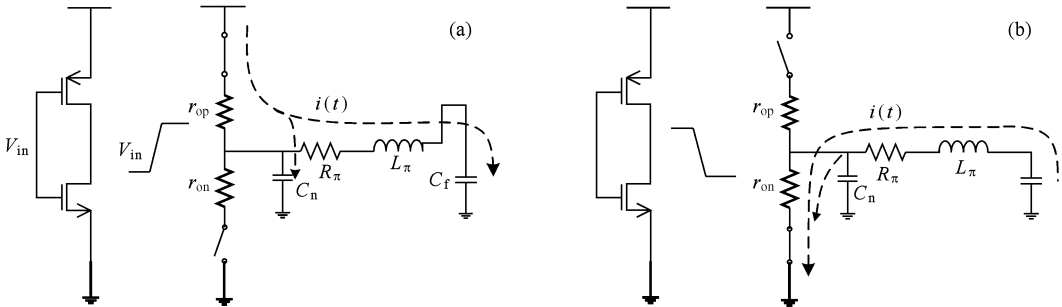


图3 信号跳变中的互连线充放电示意图 (a) 信号电平上升时互连线上的充电电流, (b) 信号电平下降时互连线上的放电电流

如图3所示的电路中, 信号 V_{in} 在电平上升过程中, 为了使高电平信号到达后级, 存在一个对互连线寄生电容充电的充电电流 $i(t)$, 该电流同时流过上拉开关管的等效电阻 r_{op} 和传输线的等效电阻 R_π ; 同理, 信号 V_{in} 在电平下降过程中, 为了使低电平信号到达后级, 存在一个对互连线寄生电容充放电的放电电流 $i(t)$, 该电流流过低拉开关管的等效电阻 r_{on} 和传输线的等效电阻 R_π . 所以, 由于电容充电电流和放电电流的存在, 传输线等效电阻 R_π 会消耗部分信号能量.

根据焦耳定律, 在信号电平上升至稳定值的这段时间里, 电阻 R_π 上流过的电流产生的焦耳热为

$$P_d = \int_0^T i(s)^2 R_\pi dt, \quad (16)$$

其中下标 d 表示功耗 (dissipation), T 为电路各条支路上的电压达到稳定的时间.

为了使互连线上传输的信号能到达后级, 输入端要等各个节点的电压稳定之后才能进行下一次的电平跳转, 此时流过电阻 R_π 的电流为 0. 为了方便计算, T 可以取到无穷大, 此时

$$P_d = \int_0^{+\infty} i(s)^2 R_\pi dt. \quad (17)$$

图3(a)中, 当输入信号电平上升时, 驱动电路给寄生电容 C_f 充电的充电电流 $i(t)$ 流经电阻 R_π 的时候, 电阻会产生焦耳热. 图3(b)中, 当输入信号

电平下降时,存储在电容 C_i 和电感 L_π 中的能量得到释放,它们的放电电流通过 R_π 时也会产生热量. 在充电和放电的过程中,充电电流和放电电流在 R_π 上产生的功耗是一样的. 当芯片工作频率为 f ,互连线前一级驱动器的开关因子为 α ,互连线产生的热功耗为

$$P = 2\alpha f P_d. \quad (18)$$

4. 模型验证与讨论

图 4 是本文计算验证所用到的一种互连线结构. 驱动器驱动一个互连网络,每段互连线的长度如标注所示,该网络有三个末端,负载电容均为 C_L . 本文基于表 1 所示的 SMIC 90 nm CMOS 工艺的互连线参数,对互连线结构的热进行计算和仿真验证.

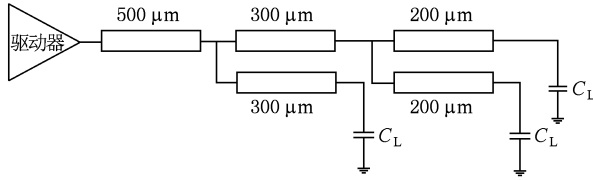


图 4 本文计算验证的一种互连线网络

表 1 90 nm CMOS 工艺全局互连线寄生参数

长度/ μm	电阻/ $10^{-2} \Omega \cdot \mu\text{m}^{-1}$	电感/ $10^{-12} \text{H} \cdot \mu\text{m}^{-1}$	电容/ $10^{-16} \text{F} \cdot \mu\text{m}^{-1}$
200	3.667	1.190	2.34244
300	3.667	1.273	2.34244
500	3.667	1.374	2.34244

将图 4 所示互连线网络按(2)–(9)式迭代,得到 π 型等效模型的相关参数,其中 $R_\pi = 22.085 \Omega$, $L_\pi = 0.818 \text{ nH}$, $C_n = 5.0584 \text{ fF}$, $C_f = 349.31 \text{ fF}$. 计算和仿真验证中,信号高电平 $V_{dd} = 1.1 \text{ V}$,负载电容 $C_L = 1 \text{ fF}$. 图 5 是图 4 所示的互连线结构电流响应的 Hspice 仿真结果与 RLC π 型等效模型电流响应 $i(t)$ 的比较,本文提出的模型计算结果与 Hspice 非常符合. 表 2 给出了由(17)式得到的该互连线结构的功耗.

由表 2 的结果可以看出,对比 Hspice 仿真结果,本文的模型具有很高的计算精度. 对于上升信号小于 1 ns 的情况,焦耳热功耗估算误差在 3% 以内. 当输入信号延时 T_r 较大时,互连线产生的焦耳热也较小. 这是因为延时较大时,寄生电容充电电流和放电电流 $i(t)$ 较为平缓,其幅值也较小. 据

(17)式,这种情况下由电阻产生的焦耳热也相对较小,这和文献[5]的结论是符合的. 随着工作频率 f 的降低,互连线的焦耳热功耗也在降低. 此外,等效模型的误差主要来源于近似处理中对原模型导纳高阶极点的省略.

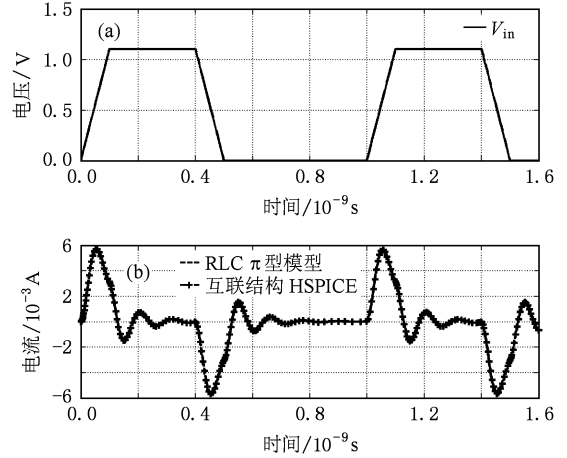


图 5 RLC π 型模型电流响应 (a) 阶跃输入电压信号, (b) 电流响应波形

表 2 信号跳变一周周期互连线产生的焦耳热和功耗

f / GHz	T_r / ns	消耗能量/J		焦耳热功耗/ μW		误差 /%
		Hspice	本文模型	Hspice	本文模型	
1.0	0.1	84.10	82.33	2.523	2.470	-2.15
1.0	0.2	38.43	37.53	1.153	1.126	-2.40
0.5	0.5	14.16	13.79	0.213	0.207	-2.68
0.1	1.0	6.90	6.718	0.021	0.020	-2.80

图 6 所示的是一种较复杂的互连结构,这种树形的结构在超大规模集成电路 (VLSI) 的时钟网络中非常普遍. 该树形互连被前级的驱动器驱动,末级的互连终端连接一个负载电容 C_L ,该电容在 CMOS 工艺中一般情况下是受时钟控制的 MOS 管的栅极寄生电容.

利用表 2 中所列的各种互连参数,用(2)–(9)式进行迭代,将每一条支路进行合并,可以得到该结构的等效模型中的 $R_\pi = 21.05 \Omega$, $L_\pi = 0.61 \text{ nH}$, $C_n = 24.63 \text{ fF}$, $C_f = 665.10 \text{ fF}$. 计算和仿真验证中,电源电压 $V_{dd} = 1.1 \text{ V}$,负载电容 $C_L = 1 \text{ fF}$. 根据(19)式,该结构的互连网络产生的焦耳热在表 3 中列出.

从表 3 中可以看出,时钟频率越高,互连线也产生越多的焦耳热. 当时钟频率一定时,时钟上升沿越陡,互连线产生的焦耳热也越大. 这是因为时钟

上升沿越陡,前级缓冲器给互连寄生电容充电电流就越大,互连线产生的焦耳热也越大。

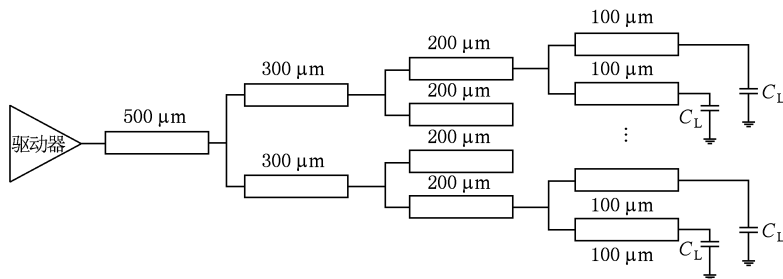


图 6 互连树形拓扑结构

表 3 信号跳变一周期图 6 所示互连结构产生的焦耳热和热功耗

时钟频率/GHz	时钟上升时间/ns	焦耳热/μJ		功耗/μW		误差/%
		Hspice	本文模型	Hspice	本文模型	
1.0	0.1	274.231	270.443	58.462	54.886	-2.40
1.0	0.2	122.892	119.832	23.345	23.966	-2.50
0.5	0.2	63.024	61.322	0.117	0.112	-2.72
0.1	1.0	23.553	22.87	0.040	0.046	-2.92

5. 结 论

借助互连网络的简化模型,在考虑电感效应和

输入信号延时情况下,给出了互连线焦耳热功耗的计算方法,并基于 90 nm CMOS 工艺的互连参数进行了计算和仿真验证. 本文所提出的计算方法其计算结果与 Hspice 仿真结果的绝对误差小于 3%,具有非常高的精确度;算法的复杂度与互连网络的复杂度成正比. 本文给出了工作状态下互连线上的电流表达式,对于可靠性要求较高的集成电路互连线布局具有重要意义,很适合应用于大规模互连网络中的功耗估算和热分析,如片上网络构架中大型互连路由结构和时钟网络的能耗控制.

- [1] Zhu Z M, Qian L B 2009 *Chin. Phys. B* **18** 1188
- [2] International Technology Roadmap for Semiconductors 2006 Edition <http://public.itrs.net>
- [3] Zhu Z M, Zhong B, Hao B T, Yang Y T 2009 *Acta Phys. Sin.* **58** 7124 (in Chinese) [朱樟明、钟波、郝报田、杨银堂 2009 物理学报 **58** 7124]
- [4] El-Moursy M A, Friedman E G 2005 *IEEE Trans. VLSI Syst.* **13** 396
- [5] Chen G Q, Friedman E G 2008 *IEEE Circuits-II* **55** 26
- [6] Zhou Q M, Mohanram K 2006 *ACM IEEE Design Automation Conference Proceedings of the 43rd Conference on Design automation* San Diego, California, June 4—8, 2006 p965
- [7] Yang X, Cheng C K, Ku W H 2000 *IEEE/ACM International Conference Computer-Aided Design* Austin, Texas, September 17—20, 2000 222
- [8] Ren Y L, Mao J F, Li X C 2005 *Microelectron.* **35** 290 (in Chinese) [任英磊、毛军发、李晓春 2005 微电子学 **35** 290]

An accurate Joule heat model of RLC interconnect based on π equivalent circuit*

Zhu Zhang-Ming[†] Zhong Bo Yang Yin-Tang

(*Microelectronics Institute, Xidian University, Xi'an 710071, China*)

(Received 16 June 2009; revised manuscript received 3 November 2009)

Abstract

With the integrated circuits processing stepping into nanometer scale, the interconnect Joule heat becomes significantly large. Based on the RLC π equivalent circuit, this paper proposes a novel accurate model to evaluate Joule heat power of interconnected line in VLSI. The shielding effect of the inductor and the non-ideal step stimulation are considered in the proposed model. The power consumption of a typical interconnected topology in 90 nm complementary metal-oxide semiconductor process is computed. The error between results of this proposed method and Hspice simulation is within 3% when the input signal's delay time is within 1 ns. The proposed model can be used to estimate Joule heat consumption where rough heat control is needed, such as route structure in the network on chip.

Keywords: interconnected line, Joule heat, dynamic power consumption, RLC π equivalent circuit

PACC: 6630Q, 6185

* Project supported by the National Natural Science Foundation of China (Grant Nos. 60725415, 60971064), the National High Technology Research and Development Program of China (Grant Nos. 2009AA01Z258, 2009AA01Z260), and the Xi'an-AM Innovation Foundation, China (Grant No. XA-AM-200907).

[†] E-mail: zmyh@263.net