

一种基于双栅材料的单极性类金属氧化物半导体 碳纳米管场效应管设计方法^{*}

周海亮[†] 张民选 方 粮

(国防科学技术大学计算机学院并行与分布处理重点实验室,长沙 410073)

(2009 年 10 月 29 日收到;2009 年 11 月 26 日收到修改稿)

由于导电沟道-源/漏电极界面处可能发生的载流子带间隧穿,传统类金属氧化物半导体(MOS)碳纳米管场效应管呈现双极性传输特性,极大影响了器件性能的提高及其在电路中的应用.为获得具有理想单极性传输特性的类 MOS 碳纳米管场效应管,本文提出了一种基于双栅材料的器件设计方法.模拟结果表明,通过合理选取调节电极材料,在不影响器件亚阈值斜率的同时,该设计方法不仅能使开关电流比增大 6—9 个数量级,有效调节阈值范围,而且能有效消除传统类 MOS 碳纳米管场效应管的双极性传输特性.进一步研究表明,该设计所获得的器件性能提高与调节电极材料的选取密切相关,同时量子电容对其亚阈值斜率、传输极性也有一定影响.

关键词: 双栅材料, 碳纳米管场效应管, 带间隧穿, 双极性传输

PACC: 7335C, 7320D, 7115P

1. 引 言

碳纳米管场效应管(CNFETs carbon nanotube field effect transistors)具有较硅基金属氧化物半导体(MOS)场效应管更为优越的器件性能^[1,2]及尺寸压缩前景^[3,4],因而备受中外学者的广泛关注,并被认为是最有可能成为构建未来纳电子系统的基元器件.根据源/漏端构建方式的不同,碳纳米管(CNT carbon nano-tube)与源/漏电极之间的接触可分为欧姆接触^[5]和肖特基接触^[6]两种,分别对应类 MOS 碳纳米管场效应管(C-CNFETs)与肖特基势垒碳纳米管场效应管(SB-CNFETs).一般认为,C-CNFETs 具有理想的单极性传输特性,而 SB-CNFETs 中肖特基势垒的存在将导致器件的双极性传输特性,从而大大降低器件性能^[6,7].

为此,已有许多学者为消除 SB-CNFETs 的双极性传输特性展开了广泛而深入的研究.文献[8]将制备好的 CNFETs 浸泡在 $(C_2H_5)_3O^+SbCl_6$ 稀释溶液中对 CNT 做 p 型掺杂,这不仅能有效调节器件的阈值电压,提高器件开关电流比,而且能有效消除 SB-CNFETs 的双极性传输特性;在文献[9]中,Lin

等首次提出了重叠式双栅器件结构以消除 SB-CNFETs 的双极性传输特性;文献[10]提出另一种平行式双栅结构以获得单极性 SB-CNFETs.

上述都是针对 SB-CNFETs 开展研究的.但事实上,如下面即将介绍的,C-CNFETs 也可能呈现双极性传输特性.据作者所知,除了本研究小组之前的研究工作之外,基本没有对 C-CNFETs 中双极性传输特性的研究.在本研究小组之前的研究中,提出了一种基于多栅器件结构的设计方法以消除 C-CNFETs 中的双极性传输特性.该设计方法能有效提高器件性能并在一定程度上消除器件的双极性传输特性,但其效果严重依赖于调节电压值的选取,而调节电压值的选取相对较为复杂,且极有可能出现找不到合适调节电压的情况.为此,本文提出了一种基于双栅材料的设计方法.该方法不仅能解决上一设计方法的弊端,而且器件性能能得到更大的提高.

2. C-CNFETs 的准双极性传输特性

当 C-CNFETs 取图 1 注释中所示器件参数时,模拟所得器件转移特性、能带结构以及相应的电子

^{*} 国家高技术研究发展计划(批准号:2009AA01Z114,2009AA01Z124)资助的课题.

[†] E-mail:zhouhailiang198481@gmail.com

分布情况分别如图 1(a),(b),(c) 所示. 为便于描述, 本文统一将器件沿 CNT 轴向方向的位置用 x 表示, 电荷密度用 ρ 表示, 能带结构中的导带底(E_c) 用灰色曲线描述, 价带顶(E_v) 用黑色曲线描述.

以源漏电压 $V_d=0.4\text{ V}$ 为例, C-CNFETs 的转移特性曲线如图 1(a) 中黑色实线所示: 当栅电压 V_g 较大时, 如 $V_g=0.6\text{ V}$, 其能带结构如图 1(b) 中实线所示, 在 V_g 的作用下, 导电沟道中的 E_v 低于源/漏端 E_c , 导电沟道中的载流子主要由热激发电子构成, 由其费米-狄拉克分布规律可知, 如图 1(c) 中椭圆“2”所标定部分所示, 导电沟道中载流子密度随 V_g 的减小按指数减小, 对应地, 源漏电流 I_d 仅由热激发电流 I_{emission} 组成, 且随 V_g 的减小指数减小, 如图 1(a) 中椭圆“1”标示部分所示; 当 V_g 减小至 0.4 V 左右时, 导电沟道中的 E_v 与漏端 E_c 平齐, 如图 1(b) 中短划线所示; 当 $V_g<0.4\text{ V}$ 时, 导电沟道中的 E_v 高于漏端 E_c , 如图 1(b) 中点划线及虚线所示, 漏电极中的空穴通过带间隧穿进入导电沟道, 并在导电沟道中不断堆积, 形成一电流方向与 I_{emission} 相同的带间隧穿电流 $I_{\text{tunnel}}^{[11]}$. 起先, 带间隧穿并不明显, 导电沟道中的载流子密度主要由热激发电子决定, 电子密度随 V_g 的变化逐渐趋于平缓, I_d 随 V_g 的减小继续减小; 随着 V_g 的进一步减小, I_{tunnel} 逐渐增大并可与 I_{emission} 比拟, 当 V_g 减小至约 0.1 V 时, I_d 出现最小值; 当 $V_g<0.1\text{ V}$ 时, 如图 1(c) 中椭圆“1”所标定部分所示, 电子密度随 V_g 减小急剧增大, I_d 由 I_{tunnel} 占据主导地位, 且随 V_g 的减小迅速增大并逐渐趋于饱和, 如图 1(a) 中椭圆“2”标示部分所示.

图 1(a) 中黑色短划线与灰色实线描述的分别为 $V_d=0.6\text{ V}$ 与 $V_d=0.8\text{ V}$ 时 C-CNFETs 的转移特性. 显然, C-CNFETs 的双极性传输特性为器件本身固有特性. 同时, 电流最小值所对应的栅源偏置电压随 V_d 的不同而有一定的位移.

仔细观察图 1(a) 发现, C-CNFETs 的转移特性曲线呈现出字母“V”的形状, 与 SB-CNFETs 极为相似, 但两者存在本质区别: 在 SB-CNFETs 中, 电子与空穴都可能作为多子通过 CNT-源/漏界面处的肖特基势垒进入导电沟道形成漏电流, 从而呈现双极性传输特性; 而 C-CNFETs 的双极性传输特性主要来源于载流子带间隧穿. 因此, 我们提出“准双极性传输特性”概念, 用以描述图 1(a) 所示“V”形转移特性曲线这一现象.

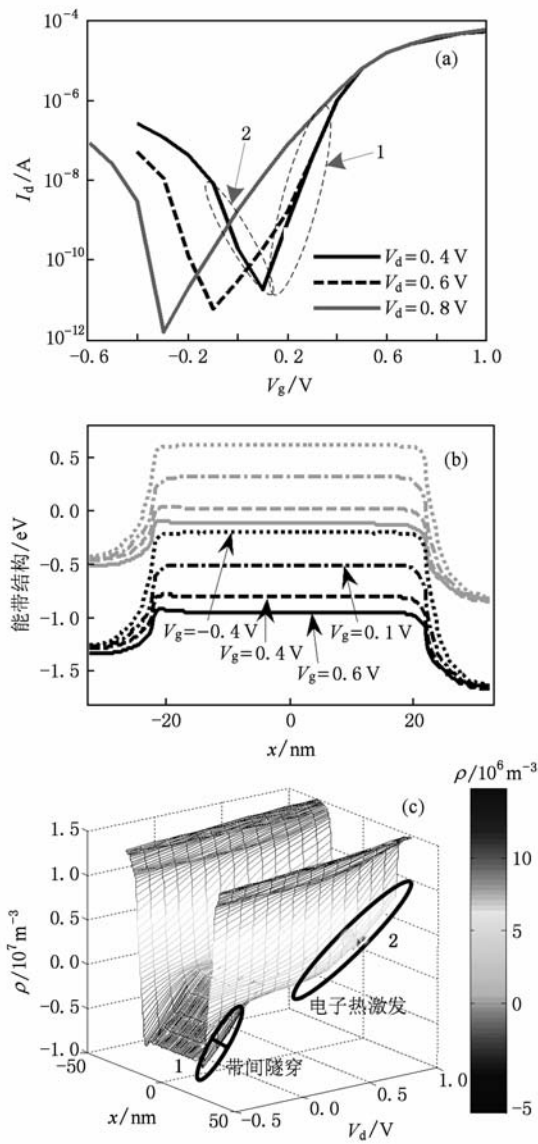


图 1 C-CNFETs 中电子输运情况 栅氧厚度 $t=2\text{ nm}$, 栅氧介电常数 $\epsilon=16$, 栅电极长度 $L_{\text{gate}}=45\text{ nm}$, 紧约束参数 $V_{\text{pp}}=-3\text{ eV}$. (a) 不同源漏偏置条件下 C-CNFETs 的转移特性曲线, (b) $V_d=0.4\text{ V}$ 时器件能带结构, (c) $V_d=0.4\text{ V}$ 时器件中电子分布情况

准双极性传输特性给 C-CNFETs 在电路中的应用带来极大的负面影响. 一方面将导致有限的器件开关电流比、较小的阈值范围, 这都将导致严重的漏电流, 从而增大器件功耗; 另一方面不利于纯 n 型或 p 型器件的获取, 而纯 n 型或 p 型器件的获取是器件在电路中得以应用推广的一个重要条件. 为了克服这些问题, 本文提出了一种新型的基于双栅材料的器件设计方法.

3. 双栅材料器件结构设计方法

本文提出的基于双栅材料的碳纳米场效应管设计方法所采用器件结构的纵向剖面图如图 2(a)所示. 为减少计算量, 采用了圆柱形结构, 近年来对该结构制备技术的研究取得了突破性进展, IBM 公司已成功制备出圆柱形栅氧层及栅电极^[12]. 为了便于描述, 下文用 DMG-CNFETs 表示本文提出的基于双栅材料的碳纳米场效应管.

在图 2(a)中, 最中间“i”所标注的部分表示本征 CNT, 其两端带点方框表示采用分子^[13]或金属离子^[14]n 型掺杂处理后的 CNT, 分别作为 CNFETs 的源、漏端; 在本征 CNT 外, 采用原子层沉积等方法生成一层栅氧层^[12], 如图中带斜线长形方框所示; 在栅氧层外侧再沉积一层金属栅电极, 外接栅电压 V_g , 该金属电极被等分为三部分, 分别用 G_1 , G_2 和 G_3 表示, 其中 G_2 用于调节沟道中载流子输运情况, 其材料功函数与碳纳米管功函数相同, 用 Φ_{G_2} 表示; G_1 , G_3 所示为调节电极, 用于抑制带间隧穿的发生, 两者采用相同的金属材料, 且其功函数(用 Φ_{G_1} 表示)与 Φ_{G_2} 之间存在一差值 Φ_d .

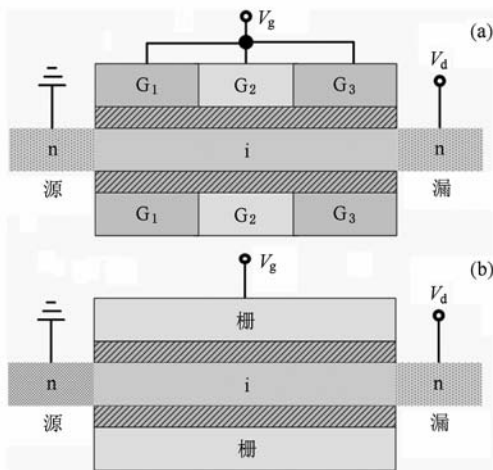


图 2 器件结构对比示意图 (a)类 MOS 碳纳米管场效应管 (DGM-moscnfets) 的二维纵向剖面图, (b) C-CNFETs 二维纵向剖面图

该双栅材料结构(又叫异质栅结构)最先由 Long 等^[15]于 1999 年提出并实现, 此后得到了广泛研究与应用^[16,17], 其制备技术也相应得到积极发展并取得了显著成果^[18,19]. 文献[20]采用离子溅射法

在一凹形栅氧层内成功制备异质栅; 文献[21]不仅实现了异质栅, 而且成功制备出异质栅氧层; 文献[22]采用化学掺杂法实现了异质栅结构的制备. 同时, 栅材料也可涉及绝大部分金属与氧化物、氮化物等^[23]. 可见, 异质栅结构的制备技术已较为成熟, 在实际应用中是完全切实可行的.

为便于比较, 本文同时还模拟了传统 C-CNFETs (为了便于描述, 后面用 C-CNFETs 来表示) 的传输特性. 其剖面结构如图 2(b)所示. 除栅电极(或/与调节电极)外, 图 2(b)采用与图 2(a)相同的器件参数, 如 CNT 手性、栅氧厚度、栅氧介电常数等.

4. 模型模拟

为了充分考虑电子隧穿、量子电容等量子现象^[24,25], 本文采用非平衡格林函数方法 (NEGF: non-equilibrium Green's function) 对 CNFETs 建模^[26,27]. NEGF 通过循环迭代求解薛定谔方程与泊松方程来模拟电子输运情况, 为量子器件的建模提供了一种科学有效的方法, 并已成为该领域公认的成熟的建模途径.

在基于 NEGF 所建立的 CNFET 模型中, 行内公认较为成熟且被国内外学者广泛使用的有普度大学 Guo 研究小组所创建的“moscnt”^[28]以及意大利 Pisa 大学所创建的“NANOTCAD”^[29,30], 两者均开源. 大量对比研究表明, 这两个模拟器的模拟结果与实际情况基本符合, 能准确反映 CNFET 中的电子输运情况^[28,31].

5. DMG-CNFETs 性能

本节所模拟的 DMG-CNFETs 的主要器件参数如下: 栅氧介电常数 $\epsilon = 16$ (亚锗酸铋: $\text{Bi}(\text{GeO}_4)_3$); 采用物理气相沉积法或电子束直写等方法能将沉积层厚度控制在原子直径级别(埃米级), 因此栅氧厚度取 2 nm ^[32]; 电子束直写等技术的控制精度能达 1 nm , 早在 2001 年 Yu 等^[33]就制备出了 15 nm 的栅电极, 2002 年又制备了 10 nm 以下的栅电极, 因此本文中电极 G_1 , G_2 , G_3 长度均为 15 nm ; 紧约束参数 $V_{pp} = -3 \text{ eV}$ ^[34], 栅材料功函数差 $\Phi_d = 0.7 \text{ eV}$, 对应的栅电极材料分别为金 (5.1 eV) 与锡 (约 4.4 eV)^[35].

当 V_d 设定为 0.4 V 时,模拟所得的转移特性曲线如图 3(a) 主图所示,图 3(a) 中内插图为 V_g 分别为 -0.25, 0.1, 0.6 V 时器件的能带结构示意图. 为了更清楚地描述 DMG-CNFETs 中的带间隧穿,本文还模拟了 DMG-CNFETs 中的电子分布情况,如图 3(b) 所示. 为了便于描述,将电极 G_1, G_2, G_3 所对应的导电沟道部分分别定义为区域 I, II, III, 分别如图 3(a) 插图中的 I, II, III 所示.

当栅电压较大时,如 0.6 V,其能带结构如图 3(a) 内插图中实线所示,整个器件的价带顶完全处于导带底之下. 此时,导电沟道中的载流子主要来自源/漏端的热激发电子构成,而电子热激发大小由区域 II 的势垒高度决定,区域 I, III 对器件中的电子输运几乎没有任何影响. 因此,如图 3(a) 主图的右端及图 3(b) 中椭圆“2”所标定的区域所示,器件转移特性曲线及电子分布情况与 C-CNFETs 基本相同;当 $V_g < 0.1$ V 时,区域 II 对应的价带顶高于源/漏端的导带底,如图 3(a) 内插图中短划线所示,但由于电极 G_1, G_3 材料功函数较电极 G_2 功函数大,由等效外加电势的计算公式 $eV_{g-\text{eff}} = eV_g + \Phi_{\text{CNT}} - \Phi_c$ 可知,其价带顶低于源/漏端的导带底, CNT-源/漏端界面处的带间隧穿得以消除,导电沟道中的载流子依然仅由热激发电子构成, I_d 随 V_g 的减小继续减小;当 V_g 减小至 -0.25 V 左右时,器件能带结构如图 3(a) 内插图中虚线所示,区域 III 中 E_v 与漏端 E_c 基本平齐;当 V_g 进一步减小时,区域 III-漏电极界面处发生带间隧穿,如图 3(b) 中椭圆“1”所标定的区域所示,导电沟道中的电子密度随 V_g 的减小急剧减小, I_d 经短暂的减小后达到一最小值,然后出现迅速回升,如图 3(a) 主图左端所示.

比较图 3 与图 1 可知,与 C-CNFETs 相比,由于栅材料功函数差 Φ_d 的存在消除了导电沟道-源漏界面处的带间隧穿, DGM-moscnfets 中发生带间隧穿的偏置电压范围明显缩小,对应地,器件开关电流比由原来的 10^6 提高到 10^{10} , 将器件静态漏电流降低 4 个数量级,同时,器件的亚阈值斜率不受影响. 更为重要的是,该器件设计方法基本消除了 C-CNFETs 中的准双极性传输特性,为获得纯 n 型或 p 型 C-CNFETs 提供了一种有效的器件设计方法. 同时我们也发现,本例中,在 $[-0.4 \text{ V}, 1 \text{ V}]$ 的栅源偏置范围内, C-CNFETs 中的准双极性传输特性并未得到完全消除,这是因为 Φ_d 值稍微偏大,如果 Φ_d 选区

恰当,该偏置范围内的准双极性传输特性能得到完全消除,这将在下一节中进行介绍.

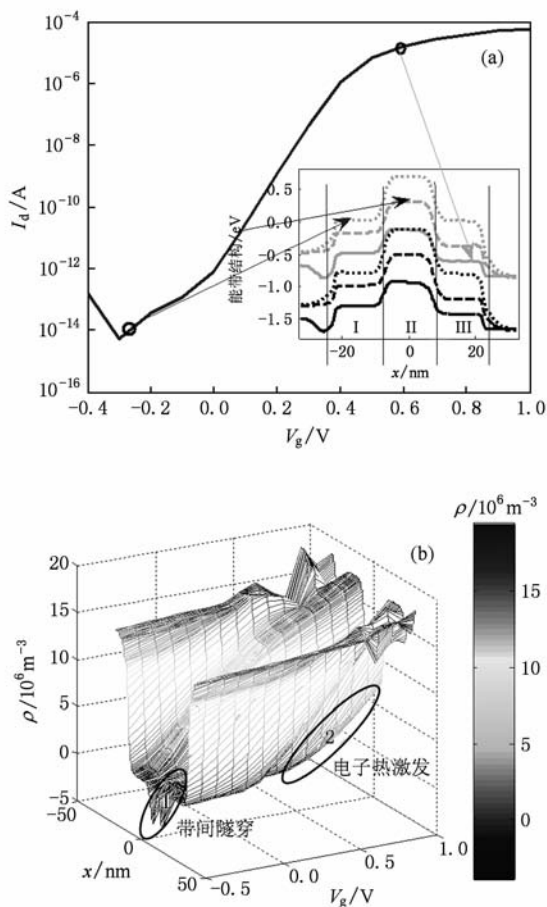


图 3 $\Phi_d = 0.7 \text{ eV}, V_d = 0.4 \text{ V}$, 栅氧厚度 $t = 2 \text{ nm}$, 栅氧介电常数 $\epsilon = 16$, 栅电极长度 $L_{G1} = L_{G2} = L_{G3} = 15 \text{ nm}$, $V_{pp} = -3 \text{ eV}$ 时 DGM-moscnfets 的电子输运情况 (a) 转移特性曲线(内插图为能带结构), (b) 电子分布

6. 影响因素

如上节所述,由于电极 G_1, G_3 具有较 G_2 大的材料功函数,所对应的区域 I, III 能带结构弯曲导致了 DGM-moscnfets 器件性能的提高. 由此可知, DGM-moscnfets 的性能与区域 I, III 能带结构的弯曲程度密切相关,凡是与其相关的因素都将在一定程度上影响 DGM-moscnfets 的性能.

6.1. Φ_d 的选取

本小节中,通过改变 DMG-CNFETs 中电极 G_1, G_3 材料的功函数,研究 Φ_d 对器件性能的影响. 模拟所得不同 Φ_d 条件下的 DMG-CNFETs 的转移特性曲

线如图 4 所示,为了便于比较,对具有相应器件参数的 C-CNFETs 的转移特性曲线也进行了模拟,如图 4 中实线所示.

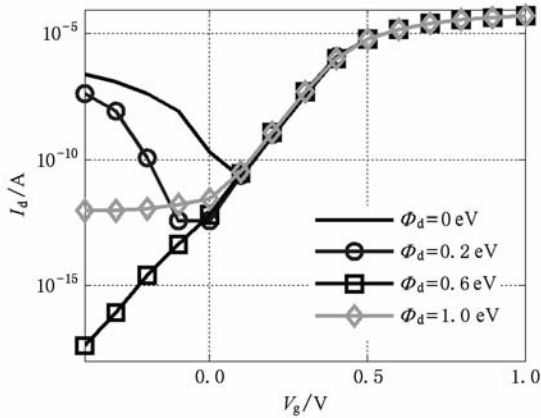


图 4 不同 Φ_d 条件下器件转移特性曲线 $V_d = 0.4\text{ V}$, 栅氧厚度 $t = 2\text{ nm}$, 栅氧介电常数 $\varepsilon = 16$, 栅电极长度 $L_{G1} = L_{G2} = L_{G3} = 15\text{ nm}$, $V_{pp} = -3\text{ eV}$

当 Φ_d 设定为 0.6 eV (对应的栅电极材料为金 (5.1 eV) 与镉 (约 4.1 eV)) 时, $V_g = 0\text{ V}$ 时器件能带结构如图 5 中点划线所示, 栅材料功函数差值所导致的区域 I, III 所对应的能带结构降低能有效消除 III-漏区界面处的带间隧穿 (BTBT), 同时也能防止区域 II-III 界面处带间隧穿的发生, 因此如图 4 中带矩形曲线所示, 器件具有理想的单极性转移特性, 且开关电流比 I_{ON}/I_{OFF} 高达 10^{14} , 与 C-CNFETs 的 10^6 相比增大约 8 个数量级; 当 Φ_d 取值较小时, 如 0.2 eV (对应的栅电极材料为锡 (约 4.4 eV) 与镍 (4.6 eV)), $V_g = 0\text{ V}$ 时器件能带结构如图 5 中实线所示. 由于栅材料功函数差值较小, 区域 I, III 所对应的能带结构降低较少, 因此其对电子带间隧穿的消除效果并不明显, 如图 4 中带圆圈曲线所示, 器件转移特性仍呈现较强的双极性传输特性, 且 I_{ON}/I_{OFF} 仅为 10^8 , 与 $\Phi_d = 0.6\text{ eV}$ 时相比降低了 6 个数量级; 当 Φ_d 设定为 1 eV (对应的栅电极材料为金 (5.1 eV) 与镍 (4.6 eV)) 时, $V_g = 0\text{ V}$ 所对应的器件能带结构如图 5 中虚线所示, 较大的栅材料功函数差将 III-漏区界面处的 BTBT 有效消除, 但区域 III 的 E_c 低于区域 II 的 E_v , II-III 界面处发生带间隧穿, 从而导致电流的增大, 如图 4 中带菱形曲线所示, I_{ON}/I_{OFF} 由 $\Phi_d = 0.6\text{ eV}$ 时的 10^{14} 降低至约 10^8 , 器件关断电流较大.

比较图 4 中各转移特性曲线可知, 不仅器件开

关电流比 I_{ON}/I_{OFF} 与 Φ_d 值的选取密切相关, 而且其传输特性也受 Φ_d 值大小的影响, 因此, 在 Φ_d 值的选取时应十分谨慎.

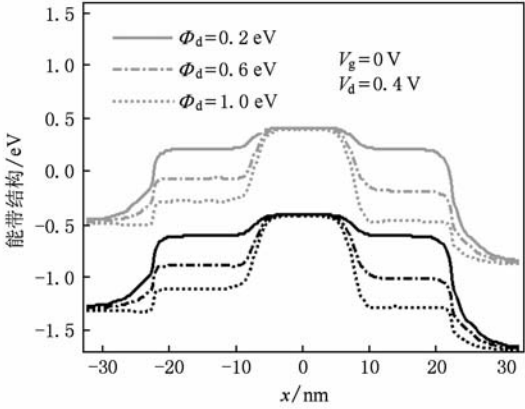


图 5 栅氧介电常数 Φ_d 分别为 0.2 eV (实线), 0.6 eV (点划线), 1 eV (虚线) 时能带结构示意图 $V_d = 0.4\text{ V}$, $V_g = 0\text{ V}$, 栅氧厚度 $t = 2\text{ nm}$, $\varepsilon = 16$, 栅电极长度 $L_{G1} = L_{G2} = L_{G3} = 15\text{ nm}$, $V_{pp} = -3\text{ eV}$

6.2. 量子电容

如上一小节所提到的, 在 DMG-CNFETs 中, 量子电容的存在将对器件能带结构带来一定的影响. 本小节将通过调整栅氧介电常数大小 ($4, 16, 48$, 分别对应于氮化硅、亚锗酸铋、硝酸铋) 来研究 DMG-CNFETs 中量子电容对其性能的影响.

在低维系统中, 电荷分布不仅受有限状态密度的严格限制, 同时还必须满足泡利不相容原理, 导电沟道中的电荷密度十分有限. 当栅电压超过一定范围时, CNT 中的电荷无法完全屏蔽栅电压从而导致栅电压穿透 CNT, 这相当于在栅氧电容的基础上串联上另外一个电容, 由于该电容的值与 CNT 中的电荷数密切相关, 而 CNT 状态密度的准量子化决定了 CNT 中的电荷数的准量子化^[36], 因此该电容被称为量子电容^[37,38], 而其准量子化特性被称为电容量子化.

图 6 所示为 ε 分别为 $4, 16, 48$ 时所对应的器件转移特性比较示意图. 从图中可以看出, 介电常数 ε 对器件传输特性主要存在两个方面的影响.

首先, 如图 6 中阴影部分所示, ε 的增大会增大器件关断电流 I_{OFF} . 这主要是因为 ε 的增大使得区域 I, III 的能带结构下降, 随着 V_g 的逐渐减小, 区域 II 中的 E_v 高于区域 I, III 的 E_c , 如图 7(a), (b) 中

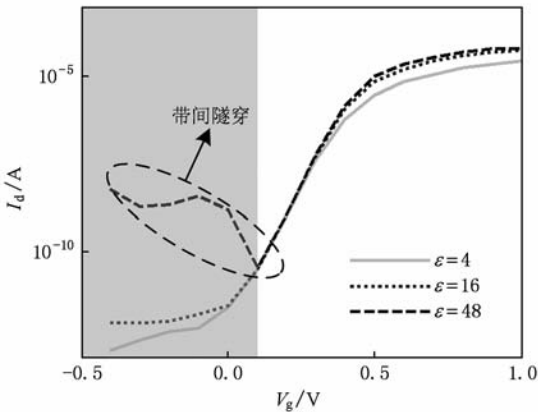


图 6 ε 分别为 4,16,48 时所对应的器件转移特性比较示意图
 $V_d=0.4\text{ V}$, $\Phi_d=1\text{ eV}$

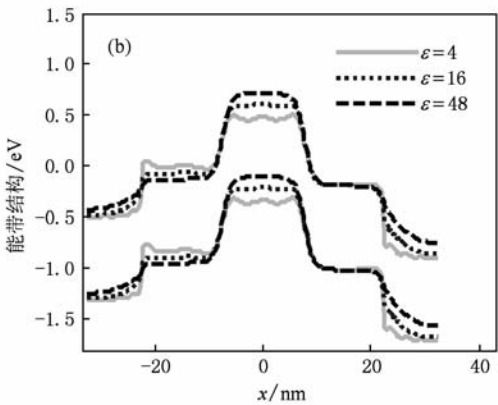
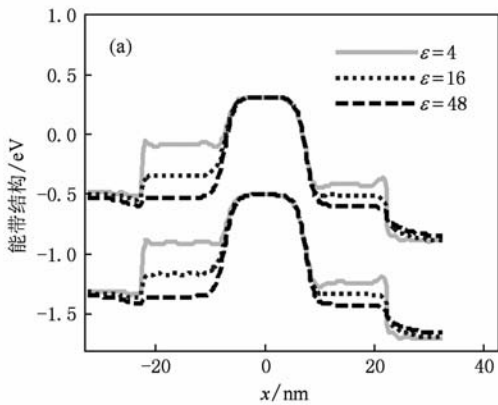


图 7 不同 V_g 条件下的栅氧层介电常数对能带结构的影响 $V_d=0.4\text{ V}$, $\Phi_d=1\text{ eV}$. (a) $V_g=0.1\text{ V}$ 时不同栅氧介电常数所对应的器件能带结构, (b) $V_g=-0.4\text{ V}$ 时不同栅氧介电常数所对应的器件能带结构

方法,通过合理选取电极材料,在确保不影响器件亚阈值斜率的同时,能将开关电流比提高 6—9 个数量级,更为重要的是能有效消除传统 C-CNFETs 中双极性传输特性.但器件特性与栅电极材料功函数

短划线所示. I - II , II - III 界面处发生带间隧穿,给 DMG-CNFETs 中开关电流比的提高及双极性传输特性的消除带来负面影响.

其次,介电常数 ε 对器件的亚阈值斜率 S 也有一定影响, S 随 ε 的增大而稍有减小.这主要是因为,虽然量子电容极力“阻扰”, ε 的增大仍使得总电容 C_{tot} 增大,从而增强了栅电压对沟道中电子传输的控制能力.但由于量子电容的影响, ε 对亚阈值斜率的影响并不十分明显.

7. 结 论

本文首次提出一种旨在消除传统 C-CNFETs 中双极性传输特性的基于双栅材料类器件结构设计

的选取密切相关,而且受量子电容的影响也较大.因此为获得尽可能高的器件性能,在器件设计时,对栅电极材料、栅氧厚度、栅氧介电常数等器件参数的选取应十分谨慎.

[1] Martel R, Wong H S, Chan K, Avouris P 2001 *IEDM Tech. Digest Washington*, p159

[2] Zhang Z X, Hou S M, Zhao X Y, Zhang H, Sun J P, Liu W M, Xue Z Q, Shi Z J, Gu Z N 2002 *Acta Phys. Sin.* **51** 434 (in Chinese) [张兆祥、侯士敏、赵兴钰、张浩、孙建平、刘惟敏、薛增泉、施祖进、顾镇南 2002 物理学报 **51** 434]

[3] ITRS 2008 <http://public.itrs.net> [2007-10-16]

[4] Tang N S, Yan X H, Ding J H 2005 *Acta Phys. Sin.* **54** 333 (in Chinese) [唐娜斯、颜晓红、丁建文 2004 物理学报 **54** 333]

[5] Javey A, Guo J, Wang Q, Lundstron M, Dai H 2003 *Lett. Nature* **424** 654

[6] Heinze S, Tersoff J, Martel R, Derycke V, Appenzeller J, Avouris P 2002 *Phys. Rev. Lett.* **89** 106801

[7] Chen J, Klinke C, Afzali A, Chan K, Avouris P 2004 *IEDM Tech. Digest San Francisco* p695

[8] Chen J, Klinke C, Afzali A, Avouris P 2005 *Appl. Phys. Lett.* **86** 123108

[9] Lin Y M, Appenzeller J, Knoch J, Avouris P 2005 *IEEE Trans.*

- Nano.* **4** 481
- [10] Pourfath M, Ungersboeck E, Gehring A, Kosina H 2005 *J. Computational Electronics* **4** 75
- [11] Appenzeller J, Lin Y M, Knoch J, Chen Z H, Avouris Ph 2005 *IEEE Trans. Electron Devices* **52** 122568
- [12] Chen Z H, Farmer D, Xu S, Gordon R, Avouris P, Appenzeller J 2008 *IEEE Trans. Device Letters* **29** 183
- [13] Noshio Y, Ohno Y, Kishimoto S, Mizutani T 2006 *International Microprocess and Nanotechnology Conference Kamakura city of Japan*, Oct. , 2006 p247
- [14] Javey A, Tu R, Farmer D, Guo J, Gordon D, Dai H 2005 *Nano Lett.* **5** 345
- [15] Long W, Ou H, Kuo J M 1999 *IEEE Trans. Electron Device* **46** 865
- [16] Kumar M J, Chaudhry A 2004 *IEEE Trans. Electron Devices* **51** 569
- [17] Li Z C 2009 *Chin. Phys. Lett.* **26** 018502
- [18] Lee J H, Lee J B, Lee J H 1997 *U. S. Patent* 5670400 [1997-08-21]
- [19] James J C, Luigi C, Mark R V 2009 *U. S. Patent* 7612422 [2009-0216]
- [20] Luan S Z, Liu H X, Jia R X 2009 *Sci. Chin. Ser. E* **52** 2400
- [21] Kirti G, Manoj S, Gupta M, Gupta R S 2009 <http://www.ursi.org/proceeding/ProcGA05>. 2009 [2009-11-19]
- [22] Xiang Q, Jeon J 2001 *U. S. Patent* 6187657 [2001-10-17]
- [23] Muhammad M H, Naim M, Joel B, Jason S, David B, Zhibo Z 2005 *Electrochem. Solid-State Lett.* **28** 333
- [24] Luryi S 1988 *Appl. Phys. Lett.* **52** 501
- [25] Zhou H L, Zhang M X, Hao Y 2009 *IEEE International NanoElectronics Conference*, HongKong, China, Jan. 3—8, 2009 p53
- [26] Venugopal R, Ren Z, Datta S, Lundstrom M S, Jovanovic D 2002 *J. Appl. Phys.* **92** 3730
- [27] Paulsson M 2008 <http://arxiv.org/abs/cond-mat/0210519v2>. 2008 [2008-05-12]
- [28] Guo J, Ali J, Dai H J, Mark L 2004 *IEDM Tech. Digest San Francisco*, Dec, 2004 pp703—706
- [29] Fiori G, Iannaccone G, Klimeck G 2006 *IEEE Trans. Electron Device* **53** 1782
- [30] Fiori G, Iannaccone G, Klimeck G 2007 *IEEE Trans. Electron Device* **6** 475
- [31] Appenzeller J, Knoch J, Radosavljevic, Avouris P 2004 *Phys. Rev. Lett.* **92** 6802
- [32] Knoch J, Appenzeller J 2008 *Phys. Stat. Sol. (a)* **205** 679
- [33] Yu B, Chang L, Ahmed S, Wang H 2002 *IEEE Trans. Electron.* **85** 1052
- [34] Avouris P 2002 *Chem. Phys.* **281** 429
- [35] Yong K F, Frederikse H P R 1973 *J. Phys. Chem. Ref. Data* **2** 313
- [36] John D L, Castro L C, Pulfrey D L 2004 *J. Appl. Phys.* **96** 65180
- [37] Rahman A, Guo J, Datta S, Lundstrom M S 2003 *IEEE Trans. Electron Devices* **50** 1853
- [38] Burke P J 2003 *IEEE Trans. Nanotechnol.* **2** 55

Dual-gate-material-based device design for unipolar metal oxide semiconductor-like carbon nanotube field effect transistors^{*}

Zhou Hai-Liang[†] Zhang Min-Xuan Fang Liang

(Key Laboratory of Parallel and Distribution Processing, School of Computer Science, National University of Defense Technology, Changsha 410073, China)

(Received 29 October 2009; revised manuscript received 26 November 2009)

Abstract

Due to carrier band-to-band tunneling (BTBT) through channel-source/drain contacts, traditional MOS(metal oxide semiconductor)-like carbon nanotube field effect transistors (CNFETs) suffer from quasi-ambipolar transport property, leaving much negative impacts on device performance and its application in circuits. To suppress such quasi-ambipolar behavior, a novel device design based on dual-gate-material device structure is proposed. The modeling results show that, with proper choice of tuning gate material, this device design can increase the ON-OFF current ratio by 6—9 orders of magnitude, tune the threshold region effectively and keep the sub-threshold slope immune from it. In addition, the quasi-ambipolar transport characteristic of C-CNFETs can be suppressed effectively using such novel device design. Further study reveals that the performance of the proposed design depends highly on the choice of tuning gate material, and the quantum capacitance in CNFETs has great effect on not only its subthreshold slope but also its transport polarity.

Keywords: dual gate material, carbon nanotube-field effect transistors, band to band tunneling, ambipolar transport

PACC: 7335C, 7320D, 7115P

^{*} Project supported by the National High Technology Research and Development Program of China (Grant Nos. 2009AA01Z114, 2009AA01Z124).

[†] E-mail: zhouhailiang198481@gmail.com