

# 考虑温度分布效应的非对称 RLC 树时钟偏差研究\*

王 增<sup>†</sup> 董 刚 杨银堂 李建伟

(西安电子科技大学微电子所, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2009 年 12 月 15 日收到; 2010 年 2 月 24 日收到修改稿)

提出了一种 RLC 互连树零时钟偏差构建方法. 给出了 RLC 互连温度非均匀分布及其延时的解析公式, 并推导计算了最优的零时钟偏差点, 所提模型同时考虑了互连温度非均匀分布、电感效应及不对称互连结构对零时钟偏差点的影响. 针对 65 nm 工艺节点对所提模型进行了仿真实验, 结果显示, 相较于同类模型, 最大误差不超过 1%.

**关键词:** RLC, 温度分布, 不对称互连结构, 零时钟偏差点

**PACC:** 6630Q, 6185, 8160C, 4110D

## 1. 引 言

当集成电路进入到深亚微米阶段, 芯片单位面积的功耗与热密度不断增加, 使得芯片温度持续升高, 温度梯度越来越大<sup>[1]</sup>. 在 100 nm 工艺的高性能集成电路中, 芯片的峰值温度可达 160°C, 其温度梯度可达 50°C<sup>[2]</sup>, 而且随着工艺进步, 情况会进一步恶化. 由于互连电阻随温度的非均匀分布, 会导致电路时序紊乱. 为此, 需要对考虑温度分布的片上时钟分布网络进行优化以改善时钟偏差.

传统的时钟布线方法是在给定时钟沉节点的前提下, 利用一定的时钟偏差约束来构建长度最小的布线树, 其中, 以零时钟偏差约束较为常用<sup>[3]</sup>. 因此, 需要合适的互连延时模型和零时钟偏差构建方法. 考虑到时钟互连的特定应用, 需要基于考虑电感效应的 RLC 互连模型来进行分析. 而对于零时钟偏差构建来说, 常用方法是基于路径相等的布线算法, 即只关心布线长度的均衡. 它的弊端在于, 由于未考虑温度分布对互连延时特性的影响, 实际应用中并不能保证所构建时钟树的时序同步.

为了解决上述问题, 本文给出了一种考虑温度分布效应的 RLC 互连树零时钟偏差构建方法.

## 2. 全局互连温度分布

用于分析全局互连的热扩散方程为<sup>[4]</sup>

$$\frac{d^2 T}{dx^2} = -\frac{P_d - P_e}{k_m v}, \quad (1)$$

其中,  $T$  为互连温度,  $P_d$  为长度为  $\Delta x$  的互连所产生的热量,  $P_e$  为互连传递到衬底的热量,  $v$  为单位体积,  $k_m$  为互连热导率.  $P_d$  和  $P_e$  可分别表示为

$$P_d = I_{rms}^2 \left[ \rho \frac{\Delta x}{wt_m} + \rho \beta \frac{\Delta x}{wt_m} (T(x) - T_{ref}) \right], \quad (2)$$

$$P_e = k_{ins} w \frac{(T(x) - T_{sub}(x))}{t_{ins}} \Delta x, \quad (3)$$

其中,  $I_{rms}$  为互连均方根电流,  $\rho$  为参考温度  $T_{ref}$  下的互连电阻率.  $\beta$  为电阻温度系数 ( $1/^\circ\text{C}$ ),  $T(x)$  为沿互连长度方向的温度分布,  $T_{sub}(x)$  为沿互连长度方向的衬底温度分布,  $k_{ins}$  为绝缘层有效热导率,  $w$ ,  $t_m$  及  $t_{ins}$  分别为互连宽度、厚度及绝缘层厚度. 将(2)和(3)式代入(1)式, 化简后得

$$\frac{d^2 T(x)}{dx^2} = (\theta - \lambda \beta) T(x) - \theta T_{sub}(x) - \lambda + \lambda \beta T_{ref}, \quad (4)$$

$$\lambda = \frac{I_{rms}^2 \rho}{w^2 t_m^2 k_m}, \quad (5)$$

\* 国家自然科学基金(批准号:60606006), 国家杰出青年基金(批准号:60725415)和重点实验室基金(批准号:9140C030102060C0303)资助的课题.

<sup>†</sup> E-mail: fire5water1@hotmail.com

$$\theta = \frac{k_{\text{ins}}}{t_m t_{\text{ins}} k_m}, \quad (6)$$

式中  $\lambda$  和  $\theta$  为常数, 且  $\theta > \lambda\beta$ .

联立(4)–(6)式可求得全局互连温度分布表达式

$$T(x) = C_1 e^{\sqrt{\theta-\lambda\beta}x} + C_2 e^{-\sqrt{\theta-\lambda\beta}x} + \frac{\theta T_{\text{sub}} + \lambda - \lambda\beta T_{\text{ref}}}{\theta - \lambda\beta}, \quad (7)$$

其中  $C_1$  和  $C_2$  为常数, 其数值由具体的边界条件确定.

文献[5]指出, 衬底温度并非均匀分布, 其中以线性分布、指数分布和高斯分布最常用于衬底温度分布的近似. 把这三种分布分别代入方程(7)中的  $T_{\text{sub}}$ , 可得到相应衬底温度分布影响下的全局互连温度分布表达式, 如(8)–(10)式所示.

衬底温度为线性分布  $T_{\text{sub}}(x) = ax + b$  时的全局互连温度分布

$$T(x) = C_1 e^{\sqrt{\theta-\lambda\beta}x} + C_2 e^{-\sqrt{\theta-\lambda\beta}x} + \frac{a\theta}{\theta - \lambda\beta}x + \frac{\lambda + b\theta - \lambda\beta T_{\text{ref}}}{\theta - \lambda\beta}. \quad (8)$$

衬底温度为指数分布  $T_{\text{sub}}(x) = ae^{-bx}$  时的全局互连温度分布

$$T(x) = C_1 e^{-\sqrt{\theta-\lambda\beta}x} + C_2 e^{\sqrt{\theta-\lambda\beta}x} + \frac{a\theta}{\theta - \lambda\beta}e^{-bx} - \frac{\lambda}{\theta - \lambda\beta}(\beta T_{\text{ref}} - 1), \quad (9)$$

衬底温度为高斯分布  $T_{\text{sub}}(x) = T_{\text{max}} \cdot e^{-\frac{(x-\mu)^2}{2\sigma^2}}$  时的全局互连温度分布

$$T(x) = C_1 e^{\sqrt{\theta-\lambda\beta}x} + C_2 e^{-\sqrt{\theta-\lambda\beta}x} + \frac{\theta T_{\text{max}} e^{-\frac{(x-\mu)^2}{2\sigma^2}} + \lambda - \lambda\beta T_{\text{ref}}}{\theta - \lambda\beta}. \quad (10)$$

### 3. 考虑互连温度分布的 RLC 互连零时钟偏差模型

作为构建零时钟偏差互连树的关键一步, 连线完成之后要在连线上寻找延时平衡点, 也就是说, 要使得信号能够同时传输到两端的接收点. 由此首先要选择一个合适的延时描述模型. 时钟分布网络通常由电阻较小的上层金属构成, 这些金属层上的互连具有显著的电感效应<sup>[6]</sup>. 考虑到电感对于互连延时的影响<sup>[7–10]</sup>, 忽略互连的电感效应可导致高达 60% 的延时误差<sup>[8]</sup>. 因此本文选取 RLC 互连来描述时钟线网.

RLC 互连解析模型已经成为当今一个非常活跃的研究课题. 业界提出了许多有效的模型如 Massimo Alioto 等提出的 RLC 树电路功耗模型<sup>[11]</sup>; Zhu 等提出的基于纳米级 CMOS 工艺的互连串扰 RLC 解析模型等<sup>[12]</sup>, 其中文献[13]给出了一种简单有效的 RLC 互连延时构建方法. 本文基于这种模型, 考虑温度非均匀分布来推导满足零时钟偏差的平衡点.

根据文献[13], RLC 互连端点电压可以描述为

$$V = \frac{2V_{\text{dd}}}{1 + R_d \sqrt{\frac{c_0}{l_0}}} e^{-\frac{r_0 t}{2l_0}} \left(1 - e^{-\frac{t \sqrt{\frac{c_0}{l_0}} - L c_0}{c_L}}\right) \times u_0(t - L \sqrt{l_0 c_0}), \quad (11)$$

其中  $l_0$ ,  $c_0$  和  $r_0$  分别为单位长度互连电感、电容和电阻,  $L$  为互连线长度,  $C_L$  为互连线终端的负载电容,  $R_d$  为输出驱动电阻,  $u_0$  为单位阶跃函数.

为求 50% 延时  $t_d$ , 方程(11)变换为

$$\frac{e^{-\frac{r_0 t_d}{2l_0}} \times u_0(t_d - L \sqrt{l_0 c_0})}{1 + R_d \sqrt{\frac{c_0}{l_0}}} \times \left(1 - e^{-\frac{t_d \sqrt{\frac{c_0}{l_0}} - L c_0}{c_L}}\right) = \frac{1}{4}. \quad (12)$$

基于文献[14]中把电感转化为等效电阻的提取思想, 分别设  $C_L$  和  $r_0$  为 0, 考虑到互连的温度分布效应, 通过线性拟合法, 解出方程(12), 得到一个全新的考虑温度分布效应的 RLC 互连延时表达式

$$t_d = L \sqrt{l_0 c_0} + C_L \left[ 0.693 r_0 L (1 - \beta T_{\text{ref}}) + 0.45 R_d + 0.25 \sqrt{\frac{l_0}{c_0}} \right] + 0.693 r_0 \beta C_L \int_0^L T(x) dx. \quad (13)$$

在全球互连温度非均匀分布效应和电感效应的双重影响下, 信号传输相等距离所需时间往往不相等, 传统的基于布线长度均衡的零时钟树偏差构建方法已不再适用. 鉴于上述原因, 某段互连上的零时钟偏差点很难出现在互连线的中点位置, 如图 1 所示的非均匀温度分布情况下的互连时钟树结构.

图 1 中, 假设点  $M$  为互连的零时钟偏差点, 也就是说由  $M$  点进入互连的时钟信号到达互连两个端点所需时间相等. 图中  $M$  点两端的互连长度分别

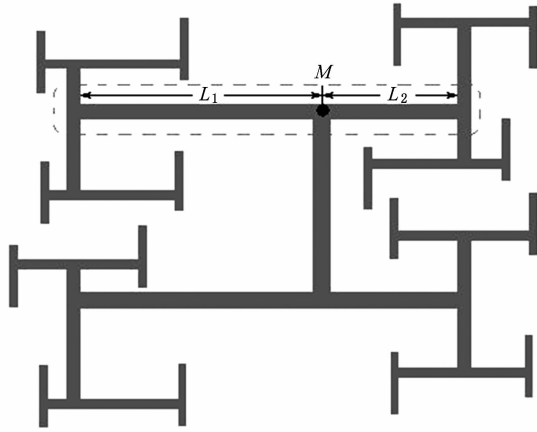


图1 在互连电感及互连温度非均匀分布的影响下,零时钟偏差点  $M$  出现在互连中点以外的位置

为  $L_1$  和  $L_2$ ,  $L_1 + L_2 = L$ . 根据 (13) 式, 求解零时钟偏差长度  $L_1$  的方程如下:

$$AL_1 + 0.693r_0\beta(C_{L2} + C_{L1}) \int_0^L T(x) dx = B, \quad (14)$$

$$A = 2 \sqrt{l_0 c_0} + 0.693r_0(C_{L1} + C_{L2})(1 - \beta T_{\text{ref}}), \quad (15)$$

$$B = L \sqrt{l_0 c_0} + 0.693r_0 C_{L2} [(1 - \beta T_{\text{ref}})L + \beta \int_0^L T(x) dx] + (C_{L2} - C_{L1})(0.45R_d + 0.25 \sqrt{\frac{l_0}{c_0}}). \quad (16)$$

在  $L$ ,  $C_{L1}$ ,  $C_{L2}$ ,  $R_d$ ,  $T_{\text{ref}}$  和相关工艺参数给定后, 可以很容易地解出  $L_1$  的值. 时钟信号由  $M$  点进入互连可使时钟偏差最小. 当  $C_{L1} = C_{L2} = C_L$  时, 电路变为对称结构, 此时驱动电阻的大小对零时钟偏差点的位置没有影响. 对于 65 nm 以下工艺, 当特征尺寸较小时<sup>[15]</sup>, 方程 (14) 左边第一项远大于第二项, 进一步化简整理, 可得到小工艺参数下对称电路结构中零时钟偏差长度的表达式

$$x = \frac{L \sqrt{l_0 c_0} + 0.693r_0 C_L [(1 - \beta T_{\text{ref}})L + \beta \int_0^L T(x) dx]}{2(\sqrt{l_0 c_0} + 0.693r_0 C_L (1 - \beta T_{\text{ref}}))}. \quad (17)$$

文献[5]基于 RC 时钟树结构, 考虑温度分布效应, 在假设互连两端负载相等的情况下, 给出了一种互连零时钟偏差的构建模型. 本文所提模型与之相比具有两个优点, 首先, 当时钟频率达到 GHz 级时, 互连电感分量变为主导, 通过单纯的 RC 延时模型所得的结果, 其误差高于 20%<sup>[14]</sup>, 本文所提模型考虑了互连电感效应, 使得结果更加精确. 其次, 本文所提的模型具有更加广泛的应用, 适用于非对称

的时钟树结构.

## 4. 仿真与验证

为了验证本文所提方法的准确性和有效性, 将本文模型与文献[5]所提模型进行比较. 文献[5]分别针对三种衬底温度分布如线性分布、指数分布和高斯分布进行了讨论分析. 为了可以在相同条件下与已有模型进行比较, 本文也选择同样的温度分布.

选取互连长度  $L = 2000 \mu\text{m}$ , 驱动器输出电阻  $R_d = 50 \Omega$ , 负载电容  $C_L = 380 \text{ fF}$ , 全局互连参数选自 65 nm 工艺节点<sup>[15]</sup>, 如表 1 所示.

表 1 65 nm 工艺节点参考数据

全局互连线	65 nm 工艺节点
互连宽度/ $\mu\text{m}$	0.45
互连高度/ $\mu\text{m}$	1.2
绝缘层厚度/ $\mu\text{m}$	0.2
$\rho, \mu\Omega \cdot \text{cm}$	1.75
$k_m / \text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$	385
$\beta / 1 \times 10^{-3} \cdot ^\circ\text{C}^{-1}$	4.3

注:  $\beta$  为电阻温度系数,  $\rho$  为参考温度下 ( $20^\circ\text{C}$ ) 的互连电阻率.

首先针对对称电路结构, 应用本文所提零时钟偏差构建模型, 与文献[5]所提模型进行比较, 结果如表 2 所示.

从表 2 可以看出, 由于考虑了互连电感效应, 本文所提模型相较于文献[5]在精确度上有了很大改进. 已有模型的最大误差为 49.35%, 而本文模型的最大误差不到 1%.

此外, 互连时钟树结构的不对称程度对零时钟偏差长度的大小也有很大的影响<sup>[16]</sup>, 即互连两端负载电容的不同会导致零时钟偏差点的偏离. 设  $C_{L1} = 19 \text{ fF}$ , 其他数据保持不变, 表 3 给出了在不同温度分布情况下不对称结构中的零时钟偏差长度, 其电路示意图和等效电路如图 2 所示.

定义归一化偏差为时钟信号由互连中点到互连两端点的延时之差与时钟信号由零时钟偏差点到互连任一端点的延时的比值. 其大小用以表征零时钟偏差点与互连线中点的实际偏离程度.

表 3 的结果表明, 不对称的电路结构对零时钟偏差长度具有极大的影响. 在互连两端的负载电容大小不等的时候, 零时钟偏差点的位置会发生较大的变化, 负载电容差异越大, 零时钟偏差点与互连线中点的偏离也越远, 因此在电路结构确定后, 可

根据互连的温度分布来安排布局. 较小的负载电容 容应设置在温度较低的互连端, 这样可以有效地减小  
 应选择连接到温度较高的互连端, 而较大的负载电 小时钟偏差.

表 2 对称电路结构中不同的温度分布下本文模型与文献[5]所提模型的零时钟偏差长度对比

温度分布	参数	Hspice 零时钟 偏差长度/ $\mu\text{m}$	文献[5]模型的零 时钟偏差长度/ $\mu\text{m}$	误差/%	本文模型的零时钟 偏差长度/ $\mu\text{m}$	误差/%
$T(x) = ax + b$ $a = \frac{T_H - T_L}{L}$ $b = T_L$	$T_H = 170, T_L = 90$	1012.62	1509.18	49.04	1016.73	0.41
	$T_H = 170, T_L = 110$	1009.51	1503.47	48.93	1012.44	0.29
	$T_H = 170, T_L = 130$	1006.33	1497.90	48.85	1008.23	0.19
$T(x) = ae^{-bx}$ $a = T_H$ $b = \frac{1}{L} \ln\left(\frac{T_H}{T_L}\right)$	$T_H = 170, T_L = 90$	987.41	1464.80	48.35	983.32	0.41
	$T_H = 170, T_L = 110$	990.73	1470.62	48.38	987.57	0.32
	$T_H = 170, T_L = 130$	993.76	1476.32	48.56	991.78	0.20
$T(x) = T_{\max} \cdot e^{-\frac{(x-\mu)^2}{2\sigma^2}}$	$T_H = 170, T_L = 150$	996.69	1481.85	48.68	995.92	0.08
	$\mu = 2000, \sigma = 1000$	1016.50	1518.16	49.35	1022.85	0.62
	$\mu = 1000, \sigma = 400$	1000.01	1435.00	43.50	1000.00	0
	$\mu = 500, \sigma = 400$	977.74	1433.87	46.65	969.24	0.87
	$\mu = 300, \sigma = 700$	980.09	1436.24	46.54	972.28	0.80

注:  $T_H$  及  $T_L$  的单位均为  $^{\circ}\text{C}$ ,  $\mu$  及  $\sigma$  的单位均为  $\mu\text{m}$ .

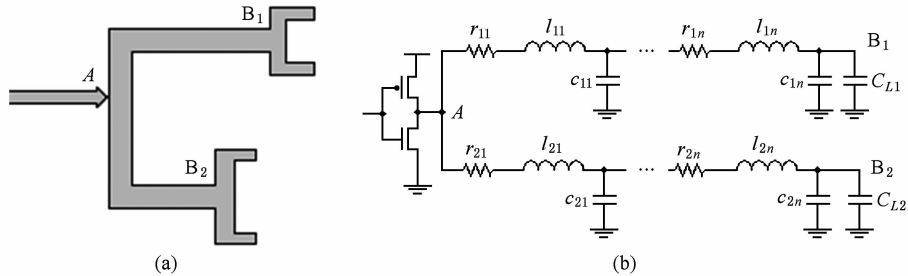


图 2 非对称互连结构示意图及等效电路图 (a) 互连结构; (b) 等效电路

表 3 非对称互连结构对零时钟偏差的影响

温度分布	参数	本文模型的零时钟偏差长度/ $\mu\text{m}$	* 归一化偏差 /% $L = L/2$
$T(x) = ax + b$ $a = \frac{T_H - T_L}{L}$ $b = T_L$	$C_{l2}/C_{l1} = 0.5$	986.71	1.60
	$C_{l2}/C_{l1} = 2$	1029.61	6.13
	$C_{l2}/C_{l1} = 3$	1057.53	10.82
$T_H = 170^{\circ}\text{C}, T_L = 90^{\circ}\text{C}$ $T(x) = ae^{-bx}$ $a = T_H$ $b = \frac{1}{L} \ln\left(\frac{T_H}{T_L}\right)$	$C_{l2}/C_{l1} = 0.5$	985.21	2.93
	$C_{l2}/C_{l1} = 2$	1028.26	4.79
	$C_{l2}/C_{l1} = 3$	1056.21	9.47
$T_H = 170^{\circ}\text{C}, T_L = 150^{\circ}\text{C}$ $T(x) = T_{\max} \cdot e^{-\frac{(x-\mu)^2}{2\sigma^2}}$ $\mu = 2000 \mu\text{m},$ $\sigma = 1000 \mu\text{m}$	$C_{l2}/C_{l1} = 0.5$	987.93	1.24
	$C_{l2}/C_{l1} = 2$	1028.27	6.35
	$C_{l2}/C_{l1} = 3$	1054.64	10.97

通过表 2, 表 3 可知, 互连线零时钟偏差主要与互连温度分布、互连的电感分量以及互连终端负载的对称性这三个因素紧密相关. 设计人员应根据需要综合考虑这三方面原因, 结合 (7) 和 (14) 式求得零时钟偏差点, 辅以变线宽或缓冲器插入技术等延时优化手段改进时钟树布线, 以确保电路逻辑的准确性.

## 5. 结 论

本文提出了一种针对非对称互连树结构的

RLC 零时钟偏差长度解析式模型. 与此同时, 为了推导最优的零时钟偏差点, 也给出了 RLC 互连延时及其温度分布的模型公式. 由于模型同时考虑了互连温度分布效应、电感效应及不对称互连结构对零时钟偏差点的影响, 所以在 65 nm 工艺节点下, 相较于以往的同类模型, 本文模型具有更高的精确度, 其最大误差不超过 1%.

- 
- [1] Wang B H, Mazumder P 2009 *Design, Automation and Test in Europe Conference and Exhibition* London, UK, April 20-24, 2009 p280
- [2] Datta B, Burleson W P 2007 *IFIP Int. conf. on Very Large Scale Integration* Atlanta, USA, October 15-17, 2007 p258-263
- [3] Padmanabhan U, Wang J M, Hu J 2008 *IEEE Trans. Computer-Aided Design of Integrated Circuit and Systems* **27** 1385
- [4] Ajami H A, Pedram M, Banerjee K 2001 *IEEE Int. conf. on custom integrated circuits* San Diego, USA, May 7-9, 2001 p233
- [5] Ajami A H, Banerjee K, Pedram M 2005 *IEEE Trans. Computer-Aided Design of Integrated Circuit and Systems* **24** 849
- [6] Rosenfeld J, Friedman E G 2007 *IEEE Trans. Very Large Scale Integration* **15** 135
- [7] Kim S Y, Wong S S 2007 *IEEE Trans. Circuits and Systems I-Reg. Papers* **54** 2001
- [8] Jiang Z, Hu S, Hu J, Li Z, Shi W 2006 *Proc. Int. Conf. on Computer-Aided Design* San Jose, CA, USA, November 5-9, 2006 p553
- [9] Shebaita A, Petranovic D, Ismail Y 2007 *Proc. Int. Conf. on Computer-Aided Design* San Jose, CA, USA, November 5-9, 2007 p686
- [10] Roy A, Chowdhury M H 2008 *IEEE Int. Symp. on Circuits and Systems* Seattle, WA, USA, May 18-21, 2008 p2426
- [11] Alioto M, Palumbo G, Poli M 2009 *IEEE Trans.* **17** 278
- [12] Zhu Z M, Hao B T, Qian L B, Zhong B, Yang Y T 2009 *Acta Phys. Sin.* **58** 7130 (in Chinese) [朱樟明、郝报田、钱利波、钟波、杨银堂 2009 物理学报 **58** 7130 ]
- [13] Venkatesan R, Davis J A, Meindl J D 2003 *IEEE Trans. Electron Devices* **50** 1081
- [14] Zhou M, Liu W, Sivaprakasam M 2005 *IEEE Int. Symp. on Circuits and Systems* Kobe, Japan, May 23-26, 2005 p1082
- [15] ITRS <http://www.itrs.net/Links/2007ITRS/Home2007.htm> 2007
- [16] Uyemura J P (Translated by Zhou R D) 2004 *Introduction to VLSI circuits and systems* (1st ed) (Beijing: Publishing House of Electronics Industry) p447 (in Chinese) [John P. Uyemura 著 周润德译 2004 超大规模集成电路与系统导论 (北京: 电子工业出版社) 第 447 页]

# Study on clock skew of unsymmetrical RLC interconnect tree with temperature distribution\*

Wang Zeng<sup>†</sup> Dong Gang Yang Yin-Tang Li Jian-Wei

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,  
Microelectronics Institute, Xidian University, Xi'an 710071, China)

(Received 15 December 2009; revised manuscript received 24 February 2010)

## Abstract

Based on the influence of the nonuniform temperature distribution and the inductance effect of the wires on the interconnect delay time, a zero-clock-skew construction method of RLC interconnect clock tree is presented in this paper. The proposed analytical model has closed form expression and takes temperature distribution, inductance effect and unsymmetrical interconnect structure into consideration. Adopting parameters of 65 nm process technology, the proposed model is compared with the other available similar models. Results show that the new model is more accurate with maximum 1% error.

**Keywords:** RLC, temperature distribution, unsymmetrical interconnect structure, zero-clock-skew point

**PACC:** 6630Q, 6185, 8160C, 4110D

---

\* Project supported by the National Natural Science Foundation of China (Grant No. 60606006), the National Science Found for Distinguished Young Scholars China (Grant No. 60725415), and the National Laboratory Foundation of China (Grant No. 9140C030102060C0303).

<sup>†</sup> E-mail: fire5water1@hotmail.com