

深亚微米 SOI 射频 LDMOS 功率特性研究*

毕津顺[†] 海潮和 韩郑生

(中国科学院微电子研究所, 北京 100029)

(2010年4月21日收到; 2010年5月19日收到修改稿)

提出了一种 SOI LDMOS 大信号等效电路模型, 并给出了功率增益和输入阻抗表达式. 基于制备的深亚微米 SOI 射频 LDMOS, 测试了功率增益和功率附加效率. 深入研究了 SOI LDMOS 功率特性与栅长, 单指宽度, 工作电压和频率之间关系. 栅长由 0.5 μm 减到 0.35 μm 时, 小信号功率增益增加 44%, 功率附加效率峰值增加 9%. 单指宽度由 20 μm 增加到 40 μm , 600 $\mu\text{m}/0.5 \mu\text{m}$ 器件小信号功率增益降低 23%, 功率附加效率峰值降低 9.3%. 漏端电压由 3 V 增加到 5 V, 600 $\mu\text{m}/0.35 \mu\text{m}$ 器件小信号功率增益增加 13%, 功率附加效率峰值增加 5.5%. 频率由 2.5 GHz 提高到 3.0 GHz, 射频功率 SOI LDMOS 小信号功率增益降低 15%, 功率附加效率峰值降低 4.5%.

关键词: SOI 射频 LDMOS, 深亚微米, 功率增益, 功率附加效率

PACS: 85.30.De, 85.30.Tv

1. 引言

SOI MOS 技术在数字 CMOS^[1] 和高压功率器件^[2] 等方面都得到了广泛的应用. 近年来, 薄膜 SOI 双扩散 (laterally-double-diffused) MOSFET 在射频功率放大器领域得到广泛的研究与关注. 射频功率放大器是无线通信系统中的重要组成部分. 相比于体硅技术, 在面向射频功率放大器应用时, 薄膜 SOI 技术至少具有三方面的优势:

1) SOI 结构中的氧化物层减小了对衬底的耦合, 提高了功率附加效率^[3];

2) SOI 结构中的氧化物层为相邻电路提供更好的隔离, 减小了串扰和衬底耦合^[4];

3) 可以采用高阻衬底^[5], 改善无源器件的品质因数, 进一步减小串扰和衬底耦合.

目前, 国内对于 SOI 射频 LDMOS 的研究主要集中在优化漂移区结构, 提高击穿电压, 减小导通电阻, 提高截止频率和最高振荡频率上^[6-12], 而对于深亚微米 SOI 射频 LDMOS 功率特性的研究, 如功率增益和功率附加效率, 则报道很少, 而且缺少模型机理的研究和解释.

本文制备了深亚微米 SOI 射频 LDMOS, 建模了

SOI 射频 LDMOS 的漏电流, 功率增益和输入阻抗等表达式. 特别测试了栅长为 0.35 $\mu\text{m}/0.5 \mu\text{m}$ SOI LDMOS 的功率增益和功率附加效率. 深入研究了 SOI LDMOS 功率特性与栅长, 单指宽度, 工作电压和频率之间的关系.

2. 理论模型

图 1 中给出了一个大信号等效电路模型用来表征 SOI LDMOS, 包括前栅部分、背栅部分和相应的电阻. 体硅 LDMOS 只需要前栅部分, 而 SOI LDMOS 必须包括背栅部分. R_1 和 R_2 分别表示前栅沟道和背栅沟道引入的串连电阻, R_3 是它们的共模电阻, 其值由漂移区掺杂和长度决定. R_3 受背栅电压调制而变化. 前栅晶体管和背栅晶体管的跨导 $G_{D1,2}$ 表达式如下所示:

$$G_{D1,2} = \frac{\mu_{1,2}^0 C_{ox1,2} W/L}{1 + \theta_{1,2}^0 (V_{G1,2} - V_{T1,2})} (V_{G1,2} - V_{T1,2}), \quad (1)$$

其中, W 是栅宽, C_{ox1} 和 C_{ox2} 分别是单位面积的栅氧电容和氧化物层电容, $V_{T1,2}$ 是阈值电压, $\mu_{1,2}^0$ 是纯载流子迁移率, $\theta_{1,2}^0$ 是高场下载流子迁移率退化

* 国家重点基础研究发展计划 (批准号: 2006CB3027-01) 资助的课题.

[†] E-mail: bijinshun@ime.ac.cn

因子.

在文献[13]中,相似的等效电路模型用来表征全耗尽 SOI MOSFET 的跨导. 图 1 中等效电路模型与文献[13]中的差别在于部分耗尽 SOI LDMOS 前栅和背栅两个沟道彼此相互独立,且串连电阻很大,受背栅电压调制.

不考虑串连电阻效应,两个沟道的本征跨导表达式如下所示:

$$g_{m1,2}^0 = \frac{\mu_{1,2}^0 C_{ox1,2} W / L V_D}{[1 + \theta_{1,2}^0 (V_{G1,2} - V_{T1,2})]^2}. \quad (2)$$

对于单栅工作模式,可以将表达式(1)和(2)中的 $\theta_{1,2}^0$ 替换为 $\theta_{1,2}$, 从而计入串连电阻的影响,如下所示:

$$\theta_{1,2} = \theta_{1,2}^0 + \mu_{1,2}^0 C_{ox1,2} W / L (R_{1,2} + R_3). \quad (3)$$

对于双栅工作模式,图 1 中总的漏电流表达式如下所示:

$$I_D = \frac{G_{D1} + G_{D2} + G_{D1} G_{D2} (R_1 + R_2)}{1 + G_{D1} G_{D2} (R_1 R_2 + R_1 R_3 + R_2 R_3) + G_{D1} (R_1 + R_3) + G_{D2} (R_2 + R_3)} V_D, \quad (4)$$

此时,可以推导出前栅跨导表达式

$$g_{m1} = \frac{(1 + R_2 G_{D2})^2 \frac{\partial G_{D1}}{\partial V_{G1}}}{[1 + G_{D1} G_{D2} (R_1 R_2 + R_1 R_3 + R_2 R_3) + G_{D1} (R_1 + R_3) + G_{D2} (R_2 + R_3)]^2} V_D. \quad (5)$$

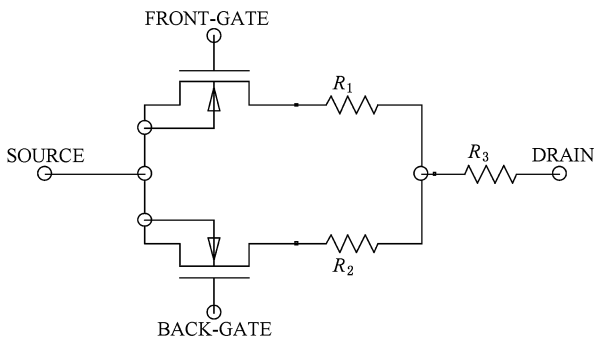


图 1 SOI LDMOS 大信号等效电路模型

文献[14]指出,射频小信号下,负反馈电感为 L_s , 优化负载为 R_{opt} , 由于采用多晶硅栅叉指结构,栅电阻很小,共源极 NLD MOS 放大器的功率增益 G_p

和输入阻抗 Z_{in} 在频率 $f = \frac{\omega}{2\pi}$ 下表达式如下:

$$G_p = 10 \log \left[1 + \frac{g_{m1} R_{opt}}{L_s C_{in} \omega^2} \right], \quad (6)$$

$$Z_{in} = R_g + \frac{g_{m1} L_s}{C_{in}} + j \frac{1 - L_s [C_{gs} - g_{m1} R_{opt} C_{ds}] \omega^2}{C_{in} \omega}, \quad (7)$$

$$C_{in} = C_{gs} + (1 + g_{m1} R_{opt}) C_{gd}. \quad (8)$$

从表达式(6)到(8)可以看出, G_p 和 Z_{in} 在很大程度上由 C_{in} 决定, 由于 Miller 效应, C_{in} 取决于 C_{gd} (从器件的输入端看进去, C_{gd} 乘以放大器的电压增益 $g_{m1} R_{opt}$, 叠加到栅源和栅漏电容上). 增加输入电容 Z_{in} 将导致功率增益 G_p 下降和功率附加效率减

小. 减小栅长可以同时提高跨导 g_{m1} , 减小输入电容 C_{in} , 因此提高功率增益和功率附加效率.

3. 器件制备

采用新傲公司 4 英寸 SIMOX (Separation by IMplanted OXygen) 晶圆, 材料参数如下: P (100), 15—25 $\Omega \cdot \text{cm}$, 198 nm 顶层硅膜厚度, 382 nm 氧化物物理层厚度. 在 SOI 晶圆上制备了 LDMOS, 源区进行了剂量为 $1 \times 10^{14} \text{ cm}^{-2}$ 能量为 25 keV 的硼注入. n 型漂移区采用剂量为 $8 \times 10^{12} \text{ cm}^{-2}$ 能量为 30 keV 的磷注入. 掩蔽体接触区和漂移区, 注入砷剂量为 $3 \times 10^{14} \text{ cm}^{-2}$ 能量为 25 keV, 实现 LDD (Lightly Doped Drain) 结构. N + 源漏注入版决定了漂移区

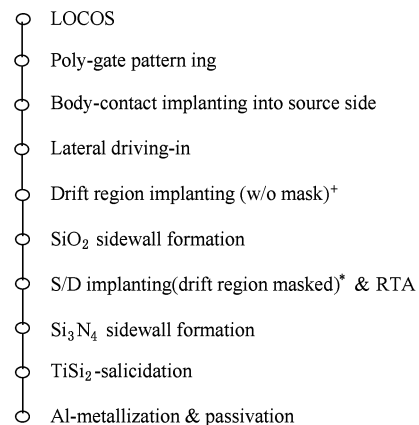


图 2 SOI 射频 LDMOS 制造流程

的长度,源漏注入剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ 能量为 25 keV. 1030 °C, 6 s 快速热退火激活杂质并修复损伤. 为了降低 RF LDMOS 的栅、源和漏电阻,提高射频性能,采用了一种“ $\text{SiO}_2/\text{Si}_3\text{N}_4$ ”双侧墙硅化物技术^[15]. 图 2 和图 3 给出了 LDMOS 制造流程和截面示意图.

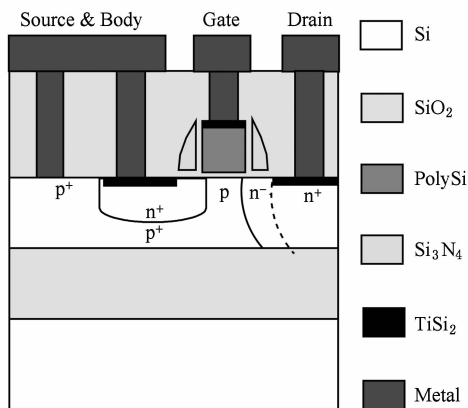


图 3 SOI 射频 LDMOS 截面示意图

4. 测试结果及讨论

功率特性测试是在中国科学院微电子研究所微波器件与集成电路研究室完成的,图 4 给出了 Load-Pull 测试系统的照片. 图 5 给出了频率为 2.5 GHz,栅电压为 1.5 V,漏电压为 5 V,栅宽 $30 \times 20 \mu\text{m}$,栅长 $0.5 \mu\text{m}$,漂移区长度为 $0.5 \mu\text{m}$,射频功率 SOI LDMOS 在片测量获得的 Load-Pull 特性. 匹配输入和输出网络使得 PAE 最大化. 在此测试条件下,射频功率 SOI LDMOS 小信号功率增益为 9 dB,功率附加效率峰值为 31%,峰值对应的输入功率为 13.1 dBm,输出功率为 18.27 dBm. 1 mW 的功率相当于 0 dBm,故

$$P(\text{dBm}) = 10 \log \frac{P(\text{mW})}{1 \text{mW}}. \quad (9)$$

减小栅长可以同时提高小信号功率增益和功率附加效率峰值. 如图 6 所示,频率为 2.5 GHz,栅电压为 1.5 V,漏电压为 5 V,栅宽 $30 \times 20 \mu\text{m}$,漂移区长度为 $0.5 \mu\text{m}$,栅长分别为 $0.35 \mu\text{m}$ 和 $0.5 \mu\text{m}$,射频功率 SOI LDMOS 在片测量获得的 Load-Pull 特性. 当栅长由 $0.5 \mu\text{m}$ 降到 $0.35 \mu\text{m}$ 时,小信号功率增益由 9 dB 增加到了 13 dB,功率附加效率峰值由 31% 增加大 40%. $0.5 \mu\text{m}$ 射频功率 SOI LDMOS 功率附加效率峰值对应的输入功率为 13.1 dBm,输出

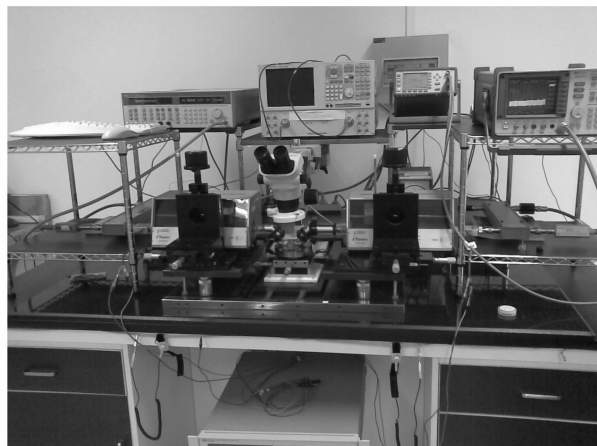


图 4 Load-Pull 测试系统

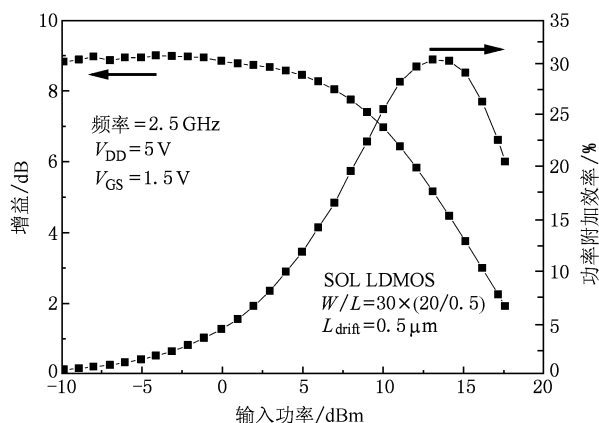


图 5 2.5 GHz 下, $30 \times 20 \mu\text{m}$ 射频功率 SOI LDMOS 的 Load-Pull 特性(匹配输入和输出网络使得 PAE 最大化)

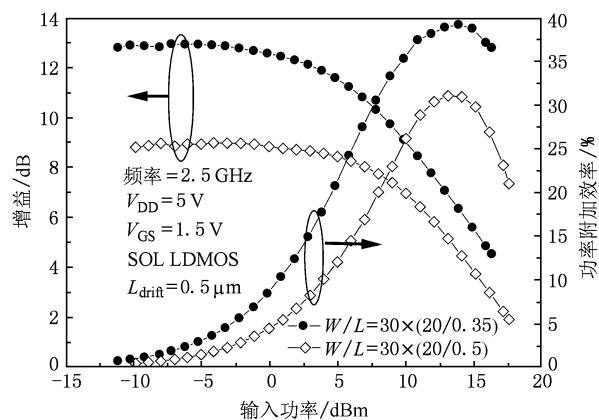


图 6 2.5 GHz 下, 漂移区长度 $0.5 \mu\text{m}$, 宽度为 $30 \times 20 \mu\text{m}$, 栅长分别为 $0.5 \mu\text{m}$ 和 $0.35 \mu\text{m}$ 射频功率 SOI LDMOS 的 Load-Pull 特性

功率为 18.27 dBm; $0.35 \mu\text{m}$ 射频功率 SOI LDMOS

功率附加效率峰值对应的输入功率为 13.88 dBm, 输出功率为 20.24 dBm.

保持总栅宽不变, 增加单指栅宽, 减小叉指数目, 将会降低小信号功率增益和功率附加效率峰值. 如图 7 所示, 频率为 2.5 GHz, 栅电压为 1.5 V, 漏电压为 5 V, 总栅宽 600 μm , 单指宽度分别为 20 μm 和 40 μm 射频功率 SOI LDMOS 在片测量的 Load-Pull 特性. 单指宽度由 20 μm 增加到 40 μm , 射频功率 SOI LDMOS 小信号功率增益由 9 dB 降到 6.9 dB, 功率附加效率峰值由 31% 降到 21.7%. 单指宽度 20 μm 射频功率 SOI LDMOS 功率附加效率峰值对应的输入功率为 13.1 dBm, 输出功率为 18.27 dBm; 单指宽度 40 μm 射频功率 SOI LDMOS 功率附加效率峰值对应的输入功率为 13.1 dBm, 输出功率为 17.04 dBm.

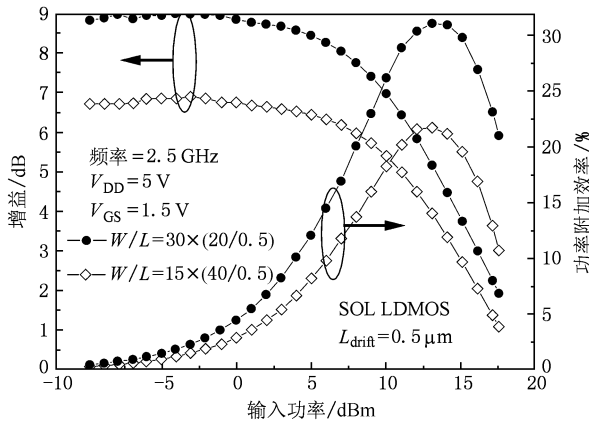


图 7 2.5 GHz 下, 漂移区长度 0.5 μm , 栅长 0.5 μm , 总栅宽 600 μm , 单指宽度分别为 20 μm 和 40 μm 射频功率 SOI LDMOS 的 Load-Pull 特性

提高工作电压可以提供更多的功率, 从而提高小信号功率增益和功率附加效率峰值. 如图 8 所示, 频率为 3.0 GHz, 栅电压为 1.5 V, 栅宽 30 \times 20 μm , 漂移区长度为 0.5 μm , 栅长为 0.35 μm , 漏端电压分别为 3 V 和 5 V 下的射频功率 SOI LDMOS 在片测量的 Load-Pull 特性. 漏端电压由 3 V 增加到 5 V, 射频功率 SOI LDMOS 小信号功率增益由 9.75 dB 增加到 11 dB, 功率附加效率峰值由 30% 增加到 35.5%. 漏端电压为 3 V 射频功率 SOI LDMOS 功率附加效率峰值对应的输入功率为 11.18 dBm, 输出功率为 15.83 dBm; 漏端电压为 5 V 射频功率 SOI LDMOS 功率附加效率峰值对应的输入功率为 13.6 dBm, 输出功率为 19.57 dBm.

提高工作频率, 会降低小信号功率增益和功率

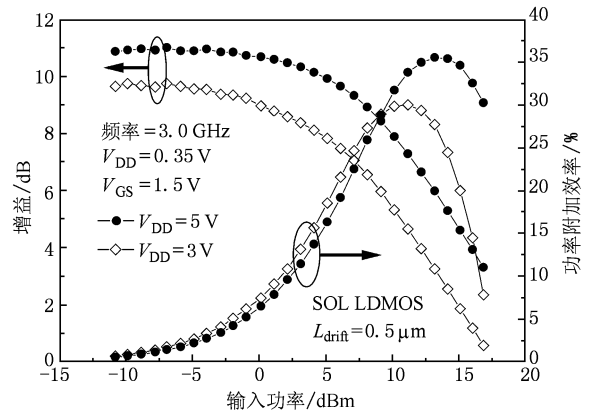


图 8 3.0 GHz 下, 漂移区长度 0.5 μm , 栅长 0.35 μm , 宽度为 30 \times 20 μm , 射频功率 SOI LDMOS 在漏端电压为 3 V 和 5 V 时的 Load-Pull 特性

附加效率峰值. 如图 9 所示, 漂移区长度 0.5 μm , 栅长 0.35 μm , 宽度为 30 \times 20 μm , 漏端电压为 5 V, 栅端电压为 1.5 V, 射频功率 SOI LDMOS 在 2.5 GHz 和 3.0 GHz 下在片测量 Load-Pull 特性. 频率由 2.5 GHz 提高到 3.0 GHz, 射频功率 SOI LDMOS 小信号功率增益由 13 dB 降到 11 dB, 功率附加效率峰值由 40% 降到 35.5%. 频率为 2.5 GHz, 射频功率 SOI LDMOS 功率附加效率峰值对应的输入功率为 13.88 dBm, 对应的输出功率为 20.24 dBm; 频率为 3.0 GHz, 射频功率 SOI LDMOS 功率附加效率峰值对应的输入功率为 13.6 dBm, 对应的输出功率为 19.57 dBm.

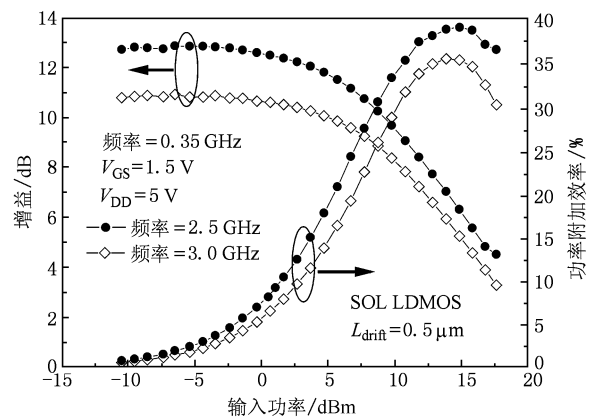


图 9 漂移区长度 0.5 μm , 栅长 0.35 μm , 宽度为 30 \times 20 μm , 漏端电压为 5 V, 栅端电压为 1.5 V, 射频功率 SOI LDMOS 在 2.5 GHz 和 3.0 GHz 下 Load-Pull 特性

5. 结 论

本文制备了深亚微米 SOI 射频 LDMOS, 给出了 SOI 射频 LDMOS 大信号等效电路模型, 功率增益和

输入阻抗表达式. 深入研究了 SOI LDMOS 率增益和功率附加效率与栅长, 单指宽度, 工作电压和频

率之间关系, 为深亚微米 SOI 射频 LDMOS 器件设计提供了指导.

-
- [1] Ajmera A, Sleight J W, Assaderaghi F 1999 *Proceedings Symposium VLSI Technology* 15
- [2] Nakagawa A, Yasuhara N, Omura I 1992 *IEDM* 229
- [3] Van Rijs F, Visser H A, Magnee P H C 1998 *IEDM* 957
- [4] Raskin J P, Viviani A, Flandre D 1997 *IEEE Trans Electron Devices* **44** 2252
- [5] Matsumoto S, Hiraoka H, Sakai T 2001 *IEEE Trans Electron Devices* **48** 1251
- [6] Qiao M, Zhang B, Li Z J 2007 *Acta. Phys. Sin.* **56** 3990 (in Chinese) [乔明、张波、李肇基 2007 物理学报 **56** 3990]
- [7] Lu L S, Sun Z L, Sun W F 2005 *Chinese Journal of Semiconductors* **26** 2286 (in Chinese) [陆生礼、孙智林、孙伟锋 2005 半导体学报 **26** 2286]
- [8] Luo X R, Li Z J, Zhang B 2006 *Chinese Journal of Semiconductors* **27** 881 (in Chinese) [罗小蓉、李肇基、张波 2006 半导体学报 **27** 881]
- [9] Duan B X, Zhang B, Li Z J 2006 *Chinese Journal of Semiconductors* **27** 1814 (in Chinese) [段宝兴、张波、李肇基 2006 半导体学报 **27** 1814]
- [10] Wang L, Yang H Y 2010 *Acta. Phys. Sin.* **59** 571 (in Chinese) [乔明、张波、李肇基等 2010 物理学报 **59** 571]
- [11] Duan B X, Zhang B, Li Z J 2007 *Chin. Phys.* **16** 3754
- [12] Li Q, Zhang B, Li Z J 2008 *Acta. Phys. Sin.* **57** 6565 (in Chinese) [李琦、张波、李肇基 2008 物理学报 **57** 6565]
- [13] Ouisse T, Cristoloveanu S, Borel G 1992 *Solid-State Electronics* 141
- [14] Muller D, Giry A, Judong F 2007 *IEEE Trans Electron Devices* **54** 861
- [15] Yang R, Li J F, Qian H 2006 *IEEE Electron Device Letters* **27** 917

Study on power characteristics of deep sub-micron SOI RF LDMOS*

Bi Jin-Shun[†] Hai Chao-He Han Zheng-Sheng

(Institute of Microelectronics of Chinese Science Academy, Beijing 100029, China)

(Received 21 April 2010; revised manuscript received 19 May 2010)

Abstract

A large signal equivalent circuit model of SOI LDMOS is proposed. Power gain and power-added efficiency of n-type LDMOS are modeled. Deep sub-micron SOI LDMOS was fabricated and measured. We investigated the dependence of SOI LDMOS power characteristics on channel length, single gate finger width, supply voltage and working frequency. Power gain and power-added efficiency are increased by 44% and 9%, respectively, with channel length reduction from 0.5 μm to 0.35 μm . When single gate finger width is increased from 20 μm to 40 μm , power gain and power-added efficiency of 600 $\mu\text{m}/0.5 \mu\text{m}$ device are decreased by 23% and 9.3%, respectively. Power-gain and power-added efficiency are increased by 13% and 5.5%, respectively, with supply voltage increased from 3 V to 5 V. When the working frequency is increased from 2.5 GHz to 3.0 GHz, power gain and power added efficiency of LDMOS are decreased by 15% and 4.5%, respectively.

Keywords: SOI RF LDMOS, deep sub-micron, power gain, power-added efficiency

PACS: 85.30.De, 85.30.Tv

* Project supported by the State Key Development Program for Basic Research of China (No. 2006CB3027-01).

[†] E-mail: bijinshun@ime.ac.cn