

漏致势垒降低效应对短沟道应变硅金属氧化物半导体场效应管阈值电压的影响

王晓艳^{1)2)†} 张鹤鸣¹⁾ 王冠宇¹⁾ 宋建军¹⁾ 秦珊珊¹⁾ 屈江涛¹⁾

1)(西安电子科技大学微电子学院,宽禁带半导体材料与器件重点实验室,西安 710071)

2)(宝鸡文理学院电子电气工程系,宝鸡 721007)

(2010年3月28日收到;2010年5月16日收到修改稿)

结合应变硅金属氧化物半导体场效应管(MOSFET)结构,通过求解二维泊松方程,得到了应变Si沟道的电势分布,并据此建立了短沟道应变硅NMOSFET的阈值电压模型.依据计算结果,详细分析了弛豫 $\text{Si}_{1-\beta}\text{Ge}_\beta$ 中锗组分 β 、沟道长度、漏电压、衬底掺杂浓度以及沟道掺杂浓度对阈值电压的影响,从而得到漏致势垒降低效应对小尺寸应变硅器件阈值电压的影响,对应变硅器件以及电路的设计具有重要的参考价值.

关键词: 应变硅金属氧化物半导体场效应管,漏致势垒降低,二维泊松方程,阈值电压模型

PACS: 71.23.An, 71.70.Fk

1. 引言

应变硅技术是实际应用中一项极具吸引力的技术^[1,2],受到了人们越来越多的关注^[3].在硅基应变Si/SiGe异质结构中,由双轴应变所引起的能带分裂可以使应变Si中的电子和空穴迁移率都得到显著增强.应用能带工程,在器件设计中可以获得更大的自由度.同时,应变硅技术与当前的主流硅工艺完全兼容^[4-6],利用离子束外延(MBE)、不同类型的化学气相淀积(CVD)和离子注入可以进行高质量应变Si/SiGe异质结的生长,使得能带工程能够集成到成熟的硅工艺中^[7].

随着器件特征尺寸的不断减小,在超大规模集成电路(VLSI)和甚大规模集成电路(ULSI)中,金属氧化物半导体场效应管(MOSFET)的漏端耗尽区和源端扩散区彼此间离得很近,引起从漏到源的电场穿透能力增强,源端的势垒高度由于电场穿透而降低.其穿透的程度与沟道长度、掺杂浓度和沟道的形状有关.另外,还与源/漏结的结深、漏源的偏置电压以及衬底的偏置电压有关^[8].

漏致势垒降低(DIBL)效应是超大规模MOSFET器件中重要的物理效应,体现在漏端电压

V_D 引起阈值电压的降低^[9-11],成为电路设计中器件应用的一个重要物理限制,并且在很大程度上影响了源漏电流的大小以及器件的 $I-V$ 特性.尤其在亚阈条件下,漏致势垒降低引起源端载流子注入的增强,导致器件亚阈漏电流的增加.由此可见,建立起考虑DIBL效应的准确阈值电压模型对于精确计算整个亚阈区、线性区和饱和区的漏电流至关重要^[12].

关于体硅MOSFET^[9,12]和绝缘衬底上的硅(SOI)^[13,14]漏致势垒降低效应的研究较多,但对于应变硅器件阈值电压的影响却研究较少^[15,16],且多为漏致势垒降低对电流的影响,而关于漏致势垒降低对阈值电压的影响尚缺少研究.为此,本文通过求解二维泊松方程,获得器件的二维表面势分布,首先得到二维阈值电压模型,进而详细分析研究了应变硅器件中漏致势垒降低的影响因素,得到了弛豫 $\text{Si}_{1-\beta}\text{Ge}_\beta$ 中锗组分 β 、沟道长度对表面势的影响,为亚阈电流的计算提供了基础.另外,文中还给出了锗组分 β 、沟道长度、漏电压、衬底掺杂浓度、沟道掺杂浓度对阈值电压的影响.

2. 二维阈值电压模型

图1所示为本文所采用的应变Si NMOSFET结

† E-mail: wxyswallow7907@163.com

构模型,只表示出了栅氧层、沟道和虚拟衬底部分. 应变 Si 沟道及弛豫 SiGe 虚拟衬底采用倒掺杂结构,即衬底的掺杂浓度高于沟道的掺杂浓度. t_{ox} 为栅氧化层厚度, t_{ssi} 为应变 Si 沟道的厚度, W_d 为耗尽层的厚度,空间电荷区主要存在于弛豫 SiGe 虚拟衬底,这可以从后面的计算结果中得到证实.

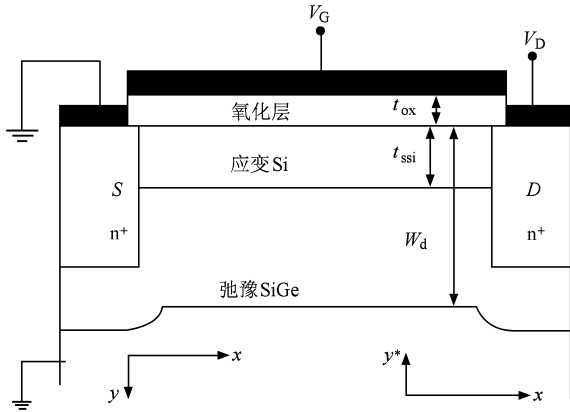


图1 应变 Si NMFET 结构模型

理想条件下,假设应变 Si 层掺杂均匀且完全耗尽,氧化层没有杂质电荷. 沟道区和耗尽层电势分布的二维 Poisson 方程为

$$\frac{\partial^2 \psi_{ssi}(x,y)}{\partial x^2} + \frac{\partial^2 \psi_{ssi}(x,y)}{\partial y^2} = \frac{qN_{ch}}{\epsilon_{ssi}} \quad (0 < y < t_{ssi}), \quad (1)$$

$$\frac{\partial^2 \psi_{siGe}(x,y)}{\partial x^2} + \frac{\partial^2 \psi_{siGe}(x,y)}{\partial y^2} = \frac{qN_B}{\epsilon_{siGe}} \quad (t_{ssi} < y < W_d), \quad (2)$$

其中 $\psi_{ssi}(x,y)$ 为应变 Si 沟道的电势分布, $\psi_{siGe}(x,y)$ 为耗尽层的电势分布, N_{ch}, N_B 分别为应变 Si 沟道和弛豫 SiGe 衬底的掺杂浓度, $\epsilon_{ssi}, \epsilon_{siGe}$ 分别为应变 Si 和 SiGe 的介电常数. $\psi_{ssi}(x,y)$ 和 $\psi_{siGe}(x,y)$ 分别用多项式表示为

$$\psi_{ssi}(x,y) = \psi_{ssi}(x) + C_1(x)y + C_2(x)y^2, \quad (3)$$

$$\psi_{siGe}(x,y) = \psi_{siGe}(x) + C_3(x)y^* + C_4(x)y^{*2}, \quad (4)$$

其中 $C_i(x)$ 仅为 x 的函数, $\psi_{ssi}(x)$ 为应变硅沟道和氧化层界面处的电势, $\psi_{siGe}(x)$ 为耗尽层边界处的电势, y^* 的原点选取在 W_d 处,这样便于计算.

为求解 Poisson 方程,需先求解出耗尽层厚度 W_d . 对于应变 Si MOSFET,应变 Si 沟道厚度一般远小于 SiGe 虚拟衬底耗尽层厚度,通过求解一维

Poisson 方程,得到强反型时耗尽区的宽度为

$$W_d \approx \left(\frac{2\epsilon_{siGe}}{qN_B} (\psi_s + \Delta\psi) \right)^{1/2}, \quad (5)$$

$$\Delta\psi = \frac{qN_B t_{ssi}^2}{\epsilon_{ssi}} - \frac{qN_{ch} t_{ssi}^2}{\epsilon_{ssi}} - \frac{qN_B t_{ssi}^2}{\epsilon_{siGe}}, \quad (6)$$

(5) 式中, ψ_s 为阈值表面势,即应变 Si 沟道表面积累的电子浓度等于体内空穴浓度(强反型开始)时应变 Si 沟道的表面电势. $\Delta\psi$ 的表达式体现出除 ψ_s 的影响外,应变 Si 层的厚度也会对耗尽层厚度产生影响. 因为沟道很薄,需计入 Si/SiGe 界面电势的影响,这样 ψ_s 可以认为是 SiO₂/Si 与 Si/SiGe 两个界面电势的平均值^[17,18]

$$\psi_s = \frac{kT}{q} \left(\ln \frac{N_{ch}}{n_{i,ssi}} + \ln \frac{N_B}{n_{i,siGe}} \right) - \left(\frac{|\Delta E_C| + |\Delta E_V|}{2} \right). \quad (7)$$

为了求解 Poisson 方程,需要用到以下边界条件:

1) 应变 Si 与栅氧界面处电位移矢量连续(这里 $V_G = V_{GS} - V_{FB}, r = \epsilon_{ssi}/\epsilon_{ox}$)

$$\frac{\partial \psi_{ssi}(x,y)}{\partial y} = - \left(\frac{V_G - \psi_{ssi}(x)}{rt_{ox}} \right);$$

2) 应变 Si 与弛豫 Si_{1-β}Ge_β 界面处电势连续,电位移矢量相等

$$\epsilon_{ssi} \frac{\partial \psi_{ssi}(x,y)}{\partial y} \Big|_{y=t_{ssi}} = \epsilon_{siGe} \frac{\partial \psi_{siGe}(x,y)}{\partial y} \Big|_{y=t_{ssi}},$$

$$\psi_{ssi}(x, t_{ssi}) = \psi_{siGe}(x, t_{ssi});$$

3) 在弛豫 Si_{1-β}Ge_β 耗尽区边界电势和纵向电场均为零

$$\frac{\partial \psi_{siGe}(x,y)}{\partial y} \Big|_{y=W_d} = 0,$$

$$\psi_{siGe}(x, W_d) = 0.$$

利用以上边界条件,可以得到(3)和(4)式中的 $C_i(x)$,将其代入(1)式,并令 $y=0$,可以得到

$$\frac{\partial^2 \psi_{ssi}(x)}{\partial x^2} - \alpha \psi_{ssi}(x) = \beta, \quad (8)$$

其中

$$\alpha = \frac{\left(\frac{\epsilon_{ssi}}{\epsilon_{siGe}} (W_d - t_{ssi}) - 2t_{ssi} - 2rt_{ox} \right)}{rt_{ox}t_{ssi} \left(\frac{\epsilon_{ssi}}{\epsilon_{siGe}} (W_d - t_{ssi}) - t_{ssi} \right)},$$

$$\beta = \frac{qN_{ch}}{\epsilon_{ssi}} - \frac{-2t_{ssi}V_G + \frac{\epsilon_{ssi}}{\epsilon_{siGe}}(W_d - t_{ssi})V_G}{rt_{ox}t_{ssi} \left(\frac{\epsilon_{ssi}}{\epsilon_{siGe}}(W_d - t_{ssi}) - t_{ssi} \right)}.$$

(8)式的解为

$$\psi_{\text{SSI}}(x) = A \exp(\lambda x) + B \exp(-\lambda x) - \sigma, \quad (9)$$

其中, $\lambda = \sqrt{\alpha}, \sigma = \beta/\alpha$. 为了求解参数 A 和 B , 利用边界条件 $\psi_{\text{SSI}}(0,0) = V_{\text{bi,SSI}}$ 和 $\psi_{\text{SSI}}(0,L) = V_{\text{bi,SSI}} + V_{\text{DS}}$, 得到

$$A = \left\{ \frac{(V_{\text{bi,SSI}} + \sigma + V_{\text{DS}}) - (V_{\text{bi,SSI}} + \sigma) \exp(-\lambda L)}{1 - \exp(-2\lambda L)} \right\} \times \exp(-\lambda L), \quad (10)$$

$$B = \left\{ \frac{(V_{\text{bi,SSI}} + \sigma) - (V_{\text{bi,SSI}} + \sigma + V_{\text{DS}}) \exp(-\lambda L)}{1 - \exp(-2\lambda L)} \right\}. \quad (11)$$

V_{bi} 为源极/沟道异质结的自建电势, 由于应变的存在, V_{bi} 变为

$$\begin{aligned} V_{\text{bi,SSI}} &= V_{\text{bi0}} + \Delta V_{\text{bi}} \\ &= \frac{E_{\text{g,Si}}}{2q} + \frac{kT}{q} \ln\left(\frac{N_{\text{ch}}}{n_{i,\text{Si}}}\right) \\ &\quad - \frac{\Delta E_{\text{g,SSI}}}{q} + \frac{kT}{q} \ln\left(\frac{N_{\text{V,Si}}}{N_{\text{V,SSI}}}\right). \end{aligned} \quad (12)$$

为了求阈值电压模型, 须求得(9)式的最小值, 令 $\frac{\partial \psi_{\text{SSI}}(x)}{\partial x} = 0$, 可以求得

$$\psi_{\text{SSI,min}} = 2 \sqrt{AB} - \sigma. \quad (13)$$

在平带条件下, 由于较大的价带断续 ΔE_{V} 的存在, 体内的空穴在 Si/SiGe 界面处积累形成了偶极

层, 使界面处能带弯曲, 从而影响了平带电压. 应变 Si 层很薄, 需计入偶极层的影响. 利用高斯定理, 可以得到偶极层的电势 Φ_{dipole} [18]

$$\Phi_{\text{dipole}} = \frac{qN_{\text{ch}}t_{\text{Si}}}{2\epsilon_{\text{SSI}}} (\sqrt{2}L_{\text{d}} + t_{\text{SSI}}), \quad (14)$$

式中, L_{d} 为德拜长度, 其值为 $L_{\text{d}} = \sqrt{\epsilon_{\text{SiGe}}kT/q^2N_{\text{B}}}$. 这样, 将栅极区域的平带电压 V_{FB} 修正如下:

$$\begin{aligned} V_{\text{FB}} &= \phi_{\text{metal}} - \left(\left(\chi_{\text{SiGe}} + \frac{\Delta E_{\text{C}}}{2q} \right) \right. \\ &\quad \left. + \left(\frac{E_{\text{g,SSI}}}{2} - \frac{kT}{q} \ln\left(\frac{N_{\text{ch}}}{n_{i,\text{SSI}}}\right) \right) \right) - \Phi_{\text{dipole}}, \end{aligned} \quad (15)$$

满足 $\psi_{\text{SSI,min}}$ 等于阈值表面势 ϕ_{th} 的栅源电压 V_{GS} 即为 MOSFET 的阈值电压 V_{th}

$$\begin{aligned} V_{\text{th}} &= \frac{\alpha\phi_{\text{th}}(\exp(\sqrt{\alpha}L) + 1)^2 + FP_3(\exp(\sqrt{\alpha}L) - 1)^2 - 4\alpha V_{\text{bi,SSI}}\exp(\sqrt{\alpha}L) + P_1V_{\text{FB}}(\exp(\sqrt{\alpha}L) - 1)^2}{(\exp(\sqrt{\alpha}L) - 1)^2P_1} \\ &\quad - \frac{2\alpha V_{\text{DS}}\exp(\sqrt{\alpha}L) + 2\alpha\exp(\sqrt{\alpha}L/2)(1 + \exp(\sqrt{\alpha}L)) \sqrt{(\phi_{\text{th}} - V_{\text{bi,SSI}})^2 - (\phi_{\text{th}} - V_{\text{bi,SSI}})V_{\text{DS}}}}{(\exp(\sqrt{\alpha}L) - 1)^2P_1}, \end{aligned} \quad (16)$$

其中, $\phi_{\text{th}} = \psi_{\text{s}}$, 为阈值表面势, $FP_1 = \frac{\epsilon_{\text{SSI}}}{\epsilon_{\text{SiGe}}}(W_{\text{d}} - t_{\text{SSI}}) - t_{\text{SSI}}$, $FP_2 = rt_{\text{ox}}t_{\text{SSI}}$, $FP_3 = \frac{qN_{\text{ch}}}{\epsilon_{\text{SSI}}}$, $P_1 = \frac{(FP_1 - t_{\text{SSI}})}{FP_2FP_1}$.

(16)式对于 V_{DS} 求导, 即可得到阈值电压随漏端偏置电压的变化关系式

$$\frac{\partial V_{\text{th}}}{\partial V_{\text{DS}}} = - \frac{2\alpha\exp(\sqrt{\alpha}L)}{(\exp(\sqrt{\alpha}L) - 1)^2P_1} + \frac{2\alpha\exp(\sqrt{\alpha}L/2)(1 + \exp(\sqrt{\alpha}L))(\phi_{\text{th}} - V_{\text{bi,SSI}})}{(\exp(\sqrt{\alpha}L) - 1)^2P_1 \sqrt{(\phi_{\text{th}} - V_{\text{bi,SSI}})^2 - (\phi_{\text{th}} - V_{\text{bi,SSI}})V_{\text{DS}}}}. \quad (17)$$

3. 结果与讨论

应用 Matlab 对模型进行计算, 基本参数选取如下:

金属功函数 $W_{\text{metal}} = 4.7 \text{ eV}$, $t_{\text{ox}} = 2 \text{ nm}$, $t_{\text{SSI}} = 5 \text{ nm}$, 未做特殊说明时, $N_{\text{ch}} = 1 \times 10^{16} \text{ cm}^{-3}$, $N_{\text{b}} = 3.5 \times 10^{17} \text{ cm}^{-3}$, $\beta = 0.2$.

图 2 为 $V_{\text{GS}} = 0 \text{ V}$, $V_{\text{DS}} = 1 \text{ V}$, 沟道长度不同时,

表面电势沿沟道方向的分布情况. 从图中可以看出, 随着沟道长度的缩短, 沟道表面势逐渐增大. 这是由于沟道变短时, 漏端电压通过耗尽区直接影响沟道表面的电势分布, 抬高了沟道表面的电势. 漏端对于沟道电场的影晌太大, 使得位于栅下惟一的一个势垒减弱, 漏端对器件性能的过分控制就好像第二个栅极一样 [19]. 应变硅短沟道器件源端下面的耗尽区降低了源端的势垒高度, 与体硅器件中沟道长度对源端的势垒高度的影响一致.

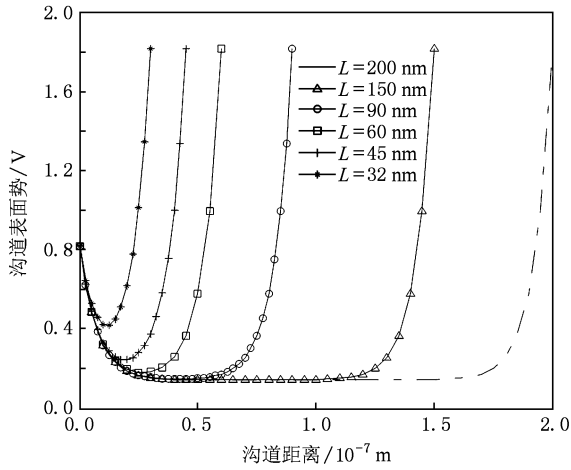


图2 不同沟道长度的沟道表面势

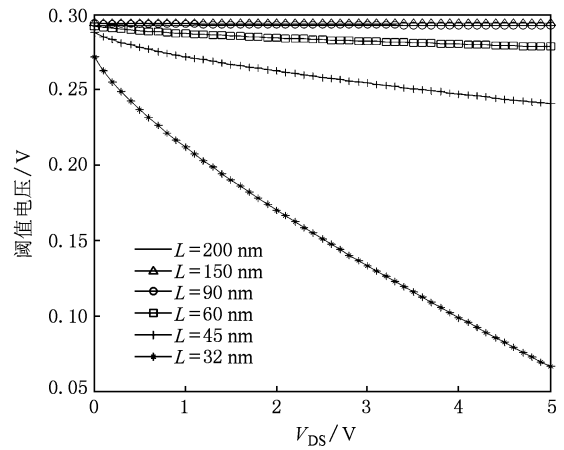


图4 不同沟道长度下阈值电压随漏端电压的变化

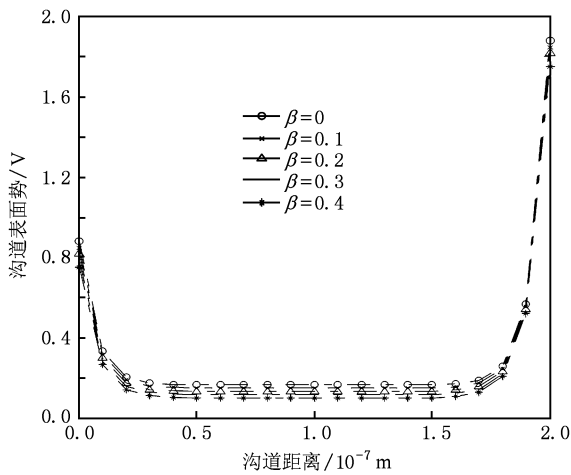


图3 沟道表面势与 Ge 组分的关系

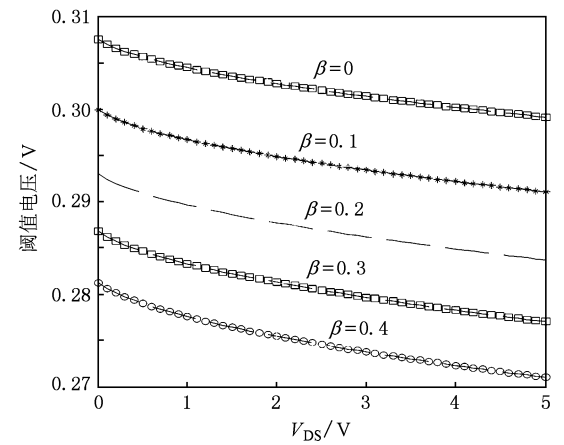


图5 不同 Ge 组分下阈值电压随漏端电压的变化

图3为 $V_{GS} = 0\text{ V}$, $V_{DS} = 1\text{ V}$ 时, Ge 组分对表面沟道的影响, 从图中可以看出, 随着 Ge 组分的变大, 沟道表面势减小. 这是因为 Ge 组分变大, (12) 式表示的源极/沟道异质结的自建电势减小.

从图4可以看出阈值电压随着漏电压的增加而减小, 同时可以看出, 当沟道长度逐渐减小时, 漏端电压对阈值电压的影响变大, 这就证明了漏致势垒降低确实是一种短沟道效应. 沟道长度和漏端电压对阈值电压的影响都归根于源端的势垒高度的变化. 当沟道长度变短或者漏端电压增加时, 源端的势垒高度降低, 这样电子更容易注入到沟道区, 因此阈值电压减小, 栅对沟道的控制能力减弱.

图5为 Ge 组分不同时, 阈值电压随漏端电压的变化情况. 从图中可以看出, 阈值电压随着 Ge 组分的增加而减小, 与文献[20]报道的结果相符合. 这

是由于(15)式表示的平带电压减小, 源极/沟道异质结的自建电势减小, 并且由于费米势的降低, 导致反型更早开始. 另一方面, 随着 Ge 组分的增加, 表面应变 Si 沟道量子阱的高度也随之增加, 这样就提高了二维电子气的的面密度, 从而降低了阈值电压.

图6和图7是当沟道长度为65 nm时, 衬底掺杂浓度和沟道掺杂浓度对阈值电压随漏电压变换的影响, 从图可以看出, 阈值电压随着衬底掺杂浓度和沟道掺杂浓度的增加而增加.

图8为不同沟道长度下阈值电压随 Ge 组分的变化. 从图中可以看出, 随着沟道长度的减小, 阈值电压变小, 与图4结果一致. 随着 Ge 组分的变大, 即应力的增强, 阈值电压逐渐变小, 与图5结果一致. 阈值电压随 Ge 组分的增加而减小, 并且阈值电压的降低与锗组分基本上呈线性, 如图9所示.

图10为不同漏电压下阈值电压随沟道长度的

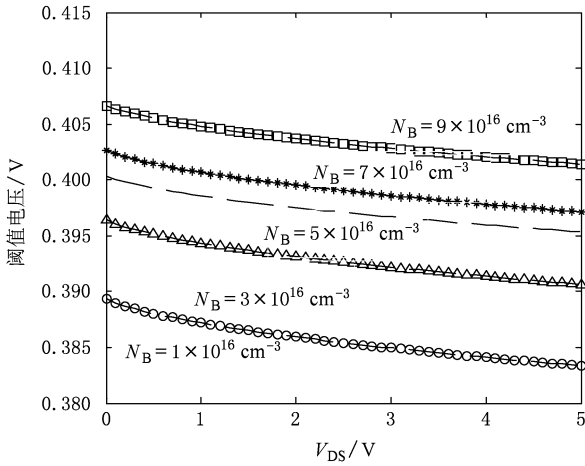


图6 不同衬底浓度下阈值电压随漏电压的变化

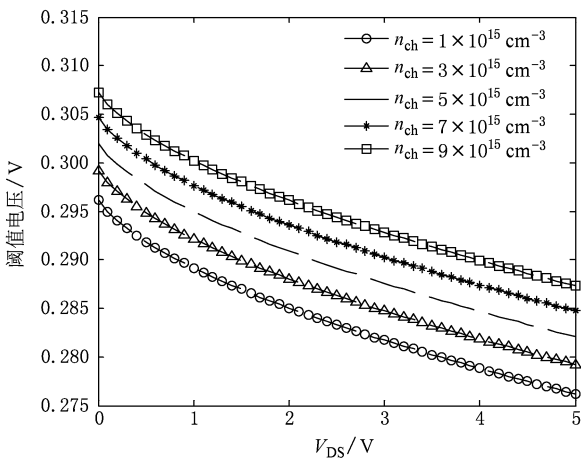


图7 不同沟道浓度下阈值电压随漏电压的变化

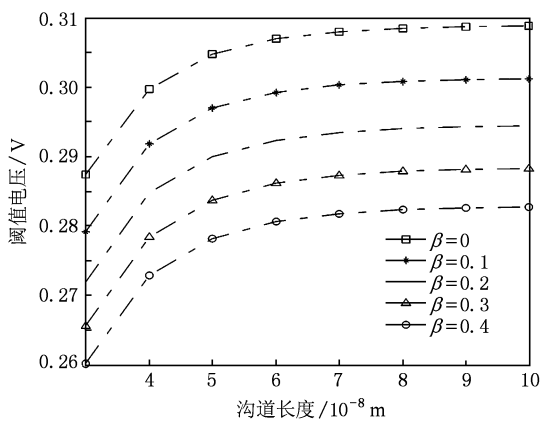


图8 不同Ge组分下阈值电压随沟道长度的变化

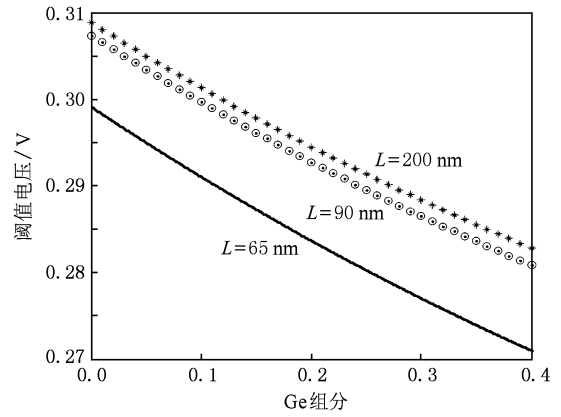


图9 不同沟道长度下阈值电压随Ge组分的变化

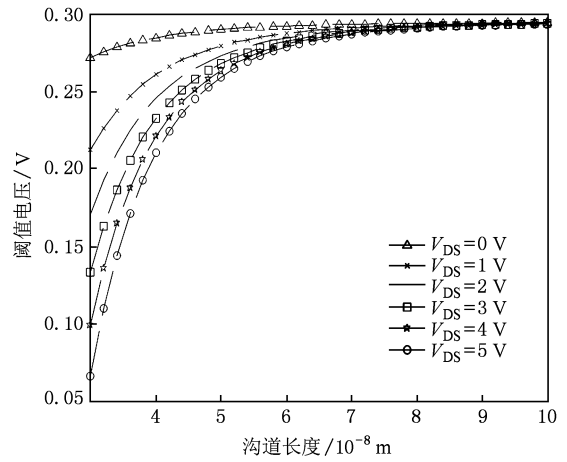


图10 不同漏电压下阈值电压随沟道长度的变化

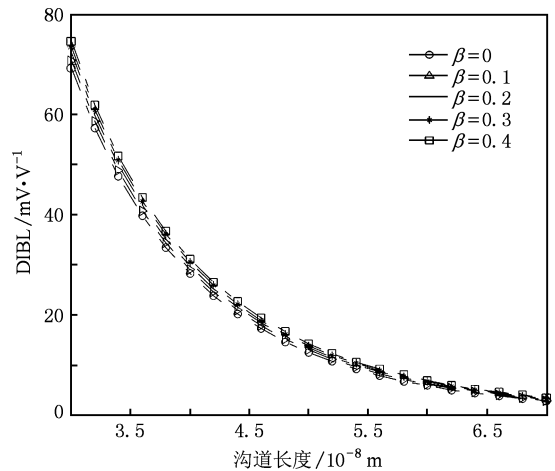


图11 不同Ge组分下阈值电压变化率随沟道长度的变化

变化情况.从图中可以看出漏电压相同时,阈值电压随沟道长度的减小而减小,当沟道长度较小时,阈值电压随着漏电压的增大而减小,与图4结果一

致.当沟道长度增大90 nm后,漏电压对阈值电压基本不产生任何影响,这与漏致势垒降低的短沟道特性相符合.

图 11—13 是根据 (17) 式求得的不同 Ge 组分下阈值电压的变化率情况. 图 11 为阈值电压的变化率与沟道长度的变化关系, 从图中可以看出, 阈值电压的变化率随着沟道长度的增加而逐渐减小, 另外, 沟道长度相同时, Ge 组分越大, 阈值电压随沟道长度的变化率越大. 图 12 为阈值电压的变化率随漏电压的增加而降低, 对于相同的漏电压, Ge 组分越大, 阈值电压随沟道长度的变化率越大. 这说明应变会导致漏致降低的加剧.

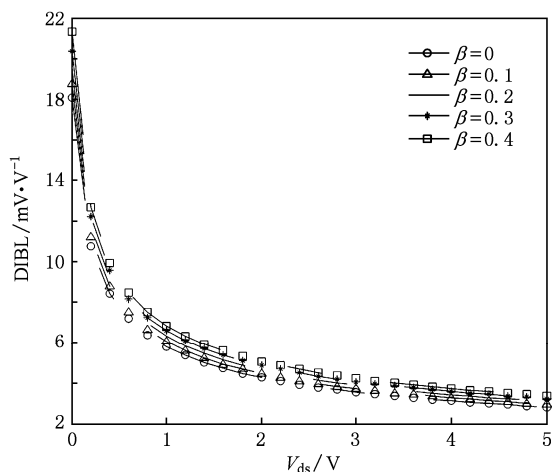


图 12 不同 Ge 组分下阈值电压变化率随漏电压的变化

图 13 为阈值电压变化率与沟道长度及漏电压的变化关系三维图, 可以看出阈值电压的变化率随着沟道长度的增加而减小, 同时随着漏电压的增加而减小.

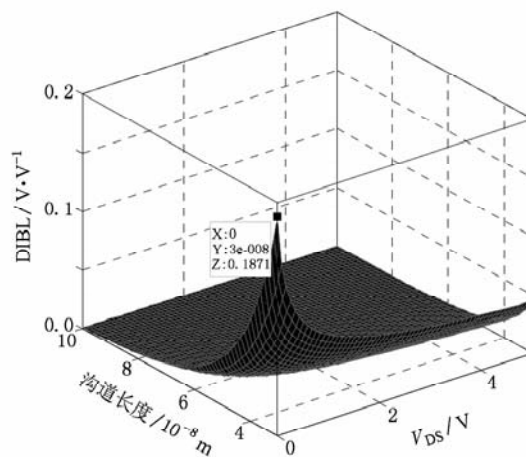


图 13 阈值电压变化率与沟道长度及漏电压的关系

4. 结 论

通过解二维 Poisson 方程, 本文给出了应变硅 MOSFET 的阈值电压模型. 通过计算得到了弛豫 $\text{Si}_{1-\beta}\text{Ge}_\beta$ 中锗组分 β , 沟道长度、漏电压、衬底掺杂浓度、沟道掺杂浓度对阈值电压的影响, 结果表明随着沟道长度的减小, 沟道表面势和阈值电压减小, 当沟道长度降低到 90 nm 以下, 阈值电压随着漏电压的增大而减小, 证明了本文对漏致势垒降低效应影响的分析以及阈值电压模型的正确性. 另外, 结果表明 Ge 组分越大, 阈值电压随漏电压变化率越大, 说明应变会导致漏致降低的加剧.

[1] Dhar S, Kosina H, Selberherr S 2005 *IEEE Trans. Electron Dev.* **52** 527

[2] Nelson S F, Iamail K, Chu J O, Meyerson B S 1993 *Appl. Phys. Lett.* **63** 367

[3] Chan V, Rim K, leong M, Yang S, Malik R, Teh Y W, Yang M, Ouyang Q Q 2005 *IEEE Custom Integrated Circuits Conference* p667

[4] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2007 *Chin. Phys.* **16** 3827

[5] Song J J, Zhang H M, Dai X Y, Hu H Y, Xuan R X 2008 *Acta Phys. Sin.* **57** 5918 (in Chinese) [宋建军、张鹤鸣、戴显英、胡辉勇、宣荣喜 2008 物理学报 **57** 5918]

[6] Zhang H M, Cui X Y, Hu H Y, Dai X Y, Xuan R X 2007 *Acta Phys. Sin.* **56** 3504 (in Chinese) [张鹤鸣、崔晓英、胡辉勇、戴显英、宣荣喜 2007 物理学报 **56** 3504]

[7] Ouyang Q Q, Chen X D, Mudanai S P, Wang X, Kencke D L, Tasch A F, Register L F, Banerjee S K 2000 *IEEE Trans. Electron Dev.* **47** 1943

[8] Chamberlain S G, Ramanan S 1986 *IEEE Trans. Electron Dev.* **33** 1745

[9] Deen M J, Yan Z X 1990 *IEEE Trans. Electron Dev.* **37** 1707

[10] Troutman R R 1979 *IEEE Trans. Electron Dev.* **26** 461

[11] Eitan B, Frohman-Bentchkowsky D 1982 *IEEE Trans. Electron Dev.* **29** 254

[12] Liu S, Nage L W 1982 *IEEE J. Solid Circuit* **17** 983

[13] Balamurugan N B, Sankaranarayanan K, Suguna M, Balasubadra K, Kalaivani 2007 *IEEE-ICSCN* p382

[14] Abe S, Miyazawa Y, Nakajima Y, Hanajiri T, Toyabe T, Sugano T 2009 *IEEE ULIS* 329

[15] Mahato I S S, Chakraborty P, Maiti T K, Bera M K, Mahata C M, Sengupta, Chakraborty A, Sarkar S K, Maiti C K 2008 *IEEE Conferences* p1

- [16] Deen M J, Yan Z X 1992 *IEEE Trans. Electron Dev.* **39** 908
- [17] Nayfeh H M, Hoyt J L, Antoniadis D A 2004 *IEEE Trans. Electron Dev.* **51** 2069
- [18] Tsang Y L, Chattopadhyay S, Uppal S, Escobedo-Cousin E, Ramakrishnan H K, Olsen S H, O' Neill A G 2007 *IEEE Trans. Electron Dev.* **54** 3040
- [19] Hao Y, Liu H X 2008 *Reliability and Failure Mechanism of Micro-Nano Mos Device* (Beijing: Science Press) p403 (in Chinese) [郝跃、刘红侠 2008 微纳米 MOS 器件可靠性与失效机理(北京: 科学出版社) p403]
- [20] Zhang Z F, Zhang H M, Hu H Y, Xuan R X, Song J J 2009 *Acta Phys. Sin.* **58** 4948 (in Chinese) [张志锋、张鹤鸣、胡辉勇、宣荣喜、宋建军 2009 物理学报 **58** 4948]

Drain-induced barrier-lowering effects on threshold voltage in short-channel strained Si metal-oxide semiconductor field transistor

Wang Xiao-Yan^{1)2)†} Zhang He-Ming¹⁾ Wang Guan-Yu¹⁾ Song Jian-Jun¹⁾ Qin Shan-Shan¹⁾ Qu Jiang-Tao¹⁾

1) (Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

2) (Department of Electron and Electricity Engineering, Baoji University of Arts and Sciences, Baoji 721007, China)

(Received 28 March 2010; revised manuscript received 16 May 2010)

Abstract

Based on strained silicon metal-oxide semiconductor field transistor (MOSFET) structure, the distribution of surface potential is obtained by solving two-dimensional Poisson equation, and the threshold voltage model is built. According to calculation results, the dependence of threshold voltage on germanium content of relaxed $\text{Si}_{1-\beta}\text{Ge}_\beta$, channel length, voltage of drain, doping content of substrate and channel are studied in detail, and the influence of drain-induced barrier-lowering on scaled strained silicon MOSFET is obtained, which can provide important reference for the design of strained silicon MOSFET device and circuit.

Keywords: strained Si metal-oxide semiconductor field transistor, drain-induced barrier-lowering, two-dimensional Poisson equation, threshold voltage model

PACS: 71.23.An, 71.70.Fk

† E-mail: wxyswallow7907@163.com