

# a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> 双势垒结构中的 电荷隧穿和存储效应\*

王祥<sup>1)2)†</sup> 黄锐<sup>1)</sup> 宋捷<sup>1)</sup> 郭艳青<sup>1)</sup> 陈坤基<sup>2)</sup> 李伟<sup>2)</sup>

1) (韩山师范学院物理与电子工程系, 潮州 521041)

2) (南京大学物理系, 南京 210093)

(2010年4月27日收到; 2010年5月21日收到修改稿)

在等离子体增强化学气相沉积系统中利用大氢稀释逐层淀积技术制备 nc-Si 量子点阵列, 用硅烷和氨气混合气体淀积氮化硅层, 制备了 a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> 不对称双势垒结构, 其中隧穿和控制 a-SiN<sub>x</sub> 层的厚度分别为 3 和 20 nm. 利用电导-电压和电容-电压测量研究结构中的载流子隧穿和存储特性. 在同一样品中观测到由于电荷隧穿引起的电导峰和由于电荷存储引起的电容回滞现象. 研究表明, 合理地选择隧穿层和控制栅层的厚度, 就能够实现载流子发生共振隧穿进入到 nc-Si 量子点中, 并被保存在 nc-Si 量子点中.

**关键词:** nc-Si 量子点, 电导峰, 存储效应

**PACS:** 73.63.Kv, 73.40.Qv, 73.43.Jn

## 1. 引言

近年来, 半导体纳米结构研究引起了人们极大的兴趣, 特别是基于纳米硅量子点的双势垒结构研究. 因为硅基结构可以和现代微电子技术高度兼容, 可以利用现有成熟的硅工艺制备出高质量的纳米器件结构, 以及由于在纳米尺度下量子尺寸效应所产生的许多新奇的物理现象, 使得这种结构成为许多纳米电子器件的基本结构, 因此引起人们的广泛关注<sup>[1-8]</sup>. 在这种结构中, nc-Si 量子点镶嵌在绝缘层中, 电荷通过隧穿效应隧穿过超薄的氧化层进入到 nc-Si 量子点中, 达到控制阈值电压的目的. 其中作为电荷存储介质的 nc-Si 量子点的尺寸可以小到几个纳米, 因此在室温下, nc-Si 量子点的量子尺寸效应就会表现得很明显, 使得这些纳米器件可以在室温下工作. 目前, 很多研究小组都在研究基于硅量子点的纳米结构器件, 取得了很多人振奋的研究成果. 但是大部分研究工作都是利用宽带隙的二氧化硅作为势垒层, 硅量子点镶嵌在二氧化硅层

中, 形成 SiO<sub>2</sub>/nc-Si/SiO<sub>2</sub> 双势垒结构, 而以氮化硅作为势垒层的结构, 研究得相对较少. 相对于二氧化硅绝缘层, 氮化硅有着一些特有的特点, 比如, 氮化硅具有更高的机械强度, 可以提高器件的稳定性; 较窄的带隙使得隧穿过程更容易发生; 介电常数和带隙可以通过调节硅和氮的比例来控制; 能制备出非常均匀的氮化硅膜等等.

本文主要研究以氮化硅作为势垒层, nc-Si 量子点镶嵌在氮化硅层之间的不对称双势垒结构样品, 通过变频电导-电压 ( $G-V$ ) 和电容-电压 ( $C-V$ ) 测量研究该结构在室温下的电荷共振隧穿和电荷存储特性. 研究表明, 当隧穿层的厚度减小到一定程度时, 此时如果衬底的费米能级在直流偏压的调制下刚好和 nc-Si 量子点中的一个能级相对齐时, 这时载流子就会发生共振隧穿进入到 nc-Si 中, 同时引起结构电容和电导的变化, 导致出现电容峰和电导峰. 上氮化硅层为控制栅层, 厚度较厚, 能够有效阻止载流子向上电极的隧穿, 使得载流子能够很好地存储在量子点中. 因此合理地选择隧穿层和控制栅层的厚度, 就能够实现载流子发生共振隧穿进

\* 国家自然科学基金 (批准号: 60806046, 10947106)、广东省自然科学基金 (批准号: 8152104101000004) 和广东高校优秀青年创新人才培养项目 (批准号: LYM09101) 资助的课题.

† E-mail: xwang@hstc.edu.cn

入到 nc-Si 量子点中,并被保存在 nc-Si 量子点中.

## 2. 实 验

制备量子点的方法有多种,如利用电子束曝光结合离子刻蚀直接在硅材料上制备纳米颗粒和结构;用磁控溅射法、微波等离子淀积法、分子束外延的方法来制备量子点等等. 本文采用的是在大氢稀释的气氛中逐层生长 nc-Si 量子点. 在等离子增强化学气相淀积(PECVD)系统中一次性原位淀积整个 a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> 不对称双势垒结构,从而减小了外界环境因素对结构的影响,能够得到质量良好的纳米结构. 所用的衬底有 n 型硅(电阻率为 2—5 Ω·cm)和石英衬底,其中 n 型硅衬底用来测量 *C-V* 和 *G-V* 特性,而石英衬底用于 Raman 测量. 衬底放入 PECVD 系统生长腔之前,经过了标准的 RCA (radio corporation of American) 清洗,并且用稀释的氢氟酸溶液(浓度为 30% HF: H<sub>2</sub>O = 1: 10)漂去硅衬底上的天然氧化层. 实验中使用的射频源的频率为 13.56 MHz,衬底温度为 250 °C. 在淀积整个结构之前,为了减小界面态密度,我们首先对样品进行等离子氮化处理,在硅衬底表面形成一层高质量的超薄氮化硅层,厚度大约为 1 nm<sup>[9]</sup>. 之后再淀积一层厚度约为 2 nm 的氮化硅层,作为隧穿层. 然后利用大氢稀释气氛下的逐层技术淀积一层厚度为 5 nm 的 nc-Si 量子点层. 最后再淀积一层较厚的氮化硅

层,厚度大约为 20 nm,作为控制栅层. 为了进行电学性质的测量,利用真空热蒸发技术,在样品表面上制备铝电极,在衬底背面蒸铝,最后经过合金化形成欧姆接触. 为了便于观测 nc-Si 量子点的形貌,在相同的生长条件下,我们制备了一些不含上控制 SiN<sub>x</sub> 层的样品.

## 3. 结果与讨论

利用原子力显微镜(AFM)直接观测了不含上控制层的样品中 nc-Si 的形貌. 图 1 为样品表面的 AFM 图片,图 1(a)是清洗后的原始硅衬底表面图像,图 1(b)为只淀积了隧穿氮化硅层和 nc-Si 层的样品的表面图像,它直接反映了 nc-Si 量子点的形貌. 从图 1 看出,原始硅衬底的表面是平坦的. 经过生长后,nc-Si 量子点紧密地排列在样品表面上,nc-Si 形状基本上是球形的,尺寸分布也比较均匀. 这说明利用逐层生长技术生长的薄膜中成功制备出 nc-Si 量子点. 我们估算出 nc-Si 量子点的密度大约为  $2 \times 10^{11} \text{ cm}^{-2}$ ,nc-Si 晶粒的平均直径为 15 nm. 有文献报道,利用 AFM 观测到的晶粒大小偏大,主要原因是 AFM 针尖的横向放大效应引起的,横向放大效应会使观测的结果偏大一倍以上<sup>[10]</sup>. 此外,nc-Si 晶粒的表面还有可能有一些非晶成分的存在,这也会使 AFM 图像中 nc-Si 晶粒偏大.

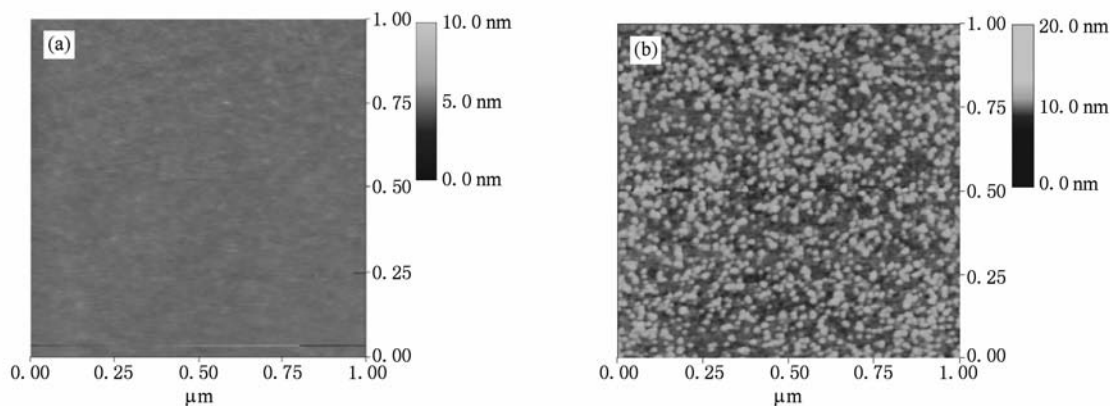


图1 样品表面的 AFM 图像 (a) 清洗后的原始硅衬底表面, (b) nc-Si 晶粒的 AFM 表面图像

我们还利用 Raman 散射光谱研究了石英衬底上的样品,研究利用逐层生长技术制备的 nc-Si 薄膜的结晶情况和 nc-Si 量子点的情况,得到的谱线如图 2 所示. 从图中可以看出,在  $516.9 \text{ cm}^{-1}$  波数处有一个明显的结晶峰,其来源于样品中 nc-Si 晶粒

中的横向光学模(TO)的振动模式<sup>[11]</sup>,这说明利用逐层生长技术生长的薄膜样品中的确存在 nc-Si 晶粒. 在光谱的左侧还有一个小的抬起,它对应于 nc-Si 薄膜中残留的 a-Si 类横向光学模声子的散射. 将 Raman 光谱进行高斯分峰,可以得到单晶硅尖锐的

晶化峰 ( $520\text{ cm}^{-1}$ ) 和非晶硅弥散的非晶峰 ( $480\text{ cm}^{-1}$ ), 利用公式

$$\rho = \frac{\rho_0}{0.88\rho_m + \rho_0},$$

其中  $\rho_0$  和  $\rho_m$  分别为 Raman 散射光谱经高斯分峰得到的晶化峰和非晶化峰的面积, 估算得到 nc-Si 薄膜的晶化比为 40%.

此外, 根据微观粒子的动量和位置的测不准关系, 以及单晶硅的声子散射曲线, 得到通过 Raman 光谱来估算 nc-Si 晶粒平均尺寸的经验公式<sup>[12]</sup>

$$\Delta d = 2\pi \sqrt{\frac{B}{\Delta\omega}},$$

其中  $B = 2.24\text{ nm}^2/\text{cm}$ ,  $\Delta\omega$  是晶化峰位置相对于单晶硅峰位的 Raman 位移. 将图 2 中的数据代入这个经验公式, 可以估算薄膜中 nc-Si 晶粒的尺寸大约为 5.3 nm.

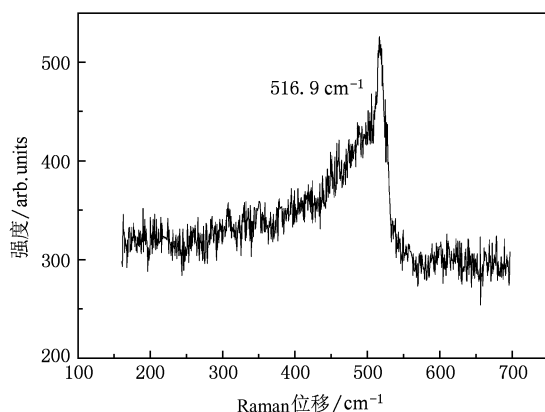


图2 逐层生长的 nc-Si 薄膜的 Raman 散射光谱

我们在室温下利用 Agilent 4284A precision LCR meter 测量样品的变频率  $G-V$  特性, 测试中所用的交流信号的幅度为 20 mV, 偏压扫描方向是从电荷反型区扫描到电荷积累区, 扫描的范围是从  $-3\text{ V}$  到  $+3\text{ V}$ . 图 3 为 a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> 结构样品在室温下的变频率  $G-V$  测量结果, 测量频率从 1 MHz 到 10 KHz. 从图中可以看出,  $G-V$  曲线在反型区域出现一个明显的电导峰, 而且随着频率的增加, 电导峰的高度逐渐增加. 电导峰的位置基本不随频率而变化, 说明电容峰的出现不是由于界面态而引起的. 在电导电压测量中, 所加的交流小信号使得 nc-Si 量子点能级和衬底之间不停地发生电子交换, nc-Si 能级不停地俘获和发射电子的过程中会引起交流能量损耗. 当损耗达到最大值时, 在电导曲线上会出现一个电导峰. 当改变偏压使得衬底的费米能级和量子

点中的某一能级相平时, 电子隧穿进入量子点的概率增加, 这个时候, 在外加小交流信号的作用下, 衬底和量子点能级间发生电子交换, 导致交流损耗的出现, 电导值会增加. 当改变偏压使得衬底费米能级和 nc-Si 能级错开时, 电子隧穿概率降低, 衬底和 nc-Si 量子点之间将很少有电子交换, 这时候能量损耗减小, 电导值降低, 这样随着偏压的变化将会在电导曲线上观测到一个电导峰. 因此图 3 中的电导峰是由于电荷隧穿进入 nc-Si 量子点引起的. 随着频率的增加, nc-Si 能级俘获和发射电子过程渐渐不能跟得上信号的变化, 这会导致交流能量损耗增大, 因此电导峰峰值随着频率的增加是逐渐增加的.

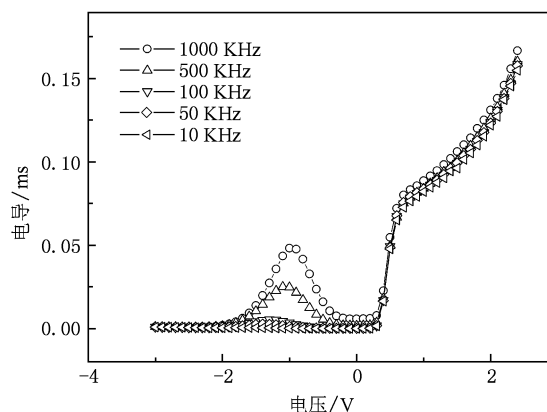


图3 a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> 结构样品在室温下的变频  $G-V$  测量结果

为了研究 a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> 结构中的电荷存储效应, 我们在高频下 (1 MHz) 测量了样品的  $C-V$  特性, 采用 double 扫描模式, 即偏压扫描范围从反型到积累区, 然后再从积累区扫到反型区. 扫描范围从低电压 ( $-1\text{ V} < V_G < 1\text{ V}$ ) 逐渐增加到高电压 ( $-9\text{ V} < V_G < 9\text{ V}$ ), 并且在每次扫描之前, 在样品上加上恒定电压并保持 0.5 min, 所加的恒定电压与扫描的起始电压相同.

从图 4 可看出, 当扫描电压比较小的时候, 没有出现回滞窗口, 说明电荷存储没有发生. 逐渐增加扫描电压, 电荷越来越多地注入到 nc-Si 量子点中, 出现回滞窗口. 从测量步骤可知, 对于每一次测量, 样品首先被加上一个负电压 0.5 min, 这时, 空穴被注入到量子点中, 使得平带电压向左移动, 然后电压从负电压向正电压方向扫描的过程中, 这些注入的空穴在偏压的作用下, 逐渐被释放出来, 电子逐渐被注入到量子点中, 电子的注入使得平带电压向

右移动. 然后电压再从正电压向负电压方向扫描, 在这个过程中, 注入的电子又被逐渐释放出来. 所以上面得到的回滞窗口来源于空穴存储和电子存储的总和. 从图中还可以看出, 当扫描电压达到  $-7V < V_G < 7V$  时, 回滞窗口的大小不再移动, 说明空穴和电子的注入达到饱和状态.

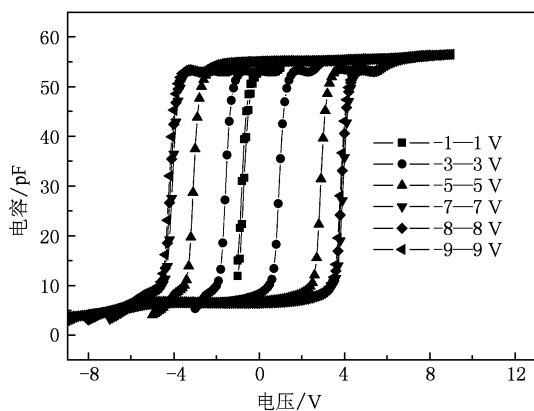


图4 a-Si<sub>x</sub>/nc-Si/a-Si<sub>x</sub> 结构样品在室温下的变频 C-V 测量结果

注入到 nc-Si 中的空穴或电子在没有相对应的电压保持的情况下, 会由于热扰动而逐渐地隧穿回到硅衬底中. 这会改变结构的能带弯曲状况, 阻止其他的空穴或电子隧穿回到衬底中. 隧穿回到衬底的空穴或电子越多, nc-Si 中的空穴或电子隧穿回到衬底的概率就越小. 因此隧穿概率应该和时间呈指数关系<sup>[13]</sup>. 图5为样品的电容随时间的变化关系. 样品在加上恒定电压 0.5 min 后 ( $-7V$  对应于空穴,  $7V$  对应于电子), 立即进行电容-时间测量. 随着时间的推移, nc-Si 中的电子 (空穴) 逐渐回到衬底中, C-V 曲线的平带电压不断向左 (右) 移动, 在测量电压  $-1V$  的位置, 电容值逐渐减小 (增大), 最终达到没有电荷存储时的电容值. 图4清楚地说明了载流子隧穿回到衬底的概率逐渐减少, 使得平带电压的移动减小, 最后趋于一恒定值, 体现为指数关系. 大约 5000 s 后, 注入的空穴和电子基本上全部回到硅衬底中.

在文献[14,15]的研究工作中, 也观测到电容峰和电导峰现象, 但是电荷存储引起的回滞窗口没有被观测到. 同时在文献[16]的样品结构中, 由于电荷存储引起的回滞窗口非常明显, 但是电荷隧穿引起的电容峰却没有被观测到. 在文献[14,15]中, 样品的隧穿层和控制层厚度分别为 2 和 5 nm. 薄的隧穿层使得电子发生共振隧穿进入量子点的概率

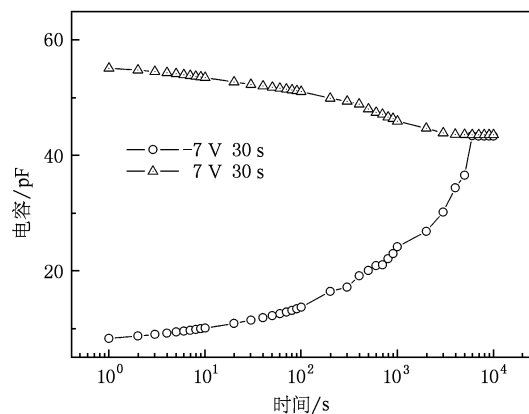


图5 外加恒定电压后电容随时间的变化 测量电压为  $-1V$

很大, 因此能够观测到由此引起的电容峰现象. 但是, 控制层的厚度仅为 5 nm, 这使得 nc-Si 量子点中的电子在外加偏压的作用下, 有很大概率隧穿过控制层而到达铝电极上, 导致电子不能有效地存储在 nc-Si 量子点中, 因此观测不到回滞窗口. 而在文献[16]中, 隧穿层和控制层的厚度都为 30 nm. 在这样的结构中, 衬底中的电子通过共振隧穿进入量子点的概率很小, 只能在大偏压下通过  $F-N$  隧穿机理进入量子点, 因此电容峰和电导峰现象不容易被观测到. 由于隧穿层和控制层的厚度都很厚, 因此电子能够很好地存储在量子点中, 出现较大的电容回滞窗口. 我们的样品结构的隧穿氮化硅层和控制氮化硅层的厚度分别为 3 和 20 nm. 这样电荷能够很容易地穿过隧穿层进入到量子点中, 较厚的控制层使得这些进入量子点的电荷不可能向上电极泄漏, 而是被保存在量子点中, 因此电导峰现象和电荷存储现象可以同时在我们的样品结构中被观测到.

#### 4. 结 论

利用 PECVD 技术结合大氢稀释逐层淀积技术制备了 a-Si<sub>x</sub>/nc-Si/a-Si<sub>x</sub> 不对称双势垒结构. 利用 Raman 散射光谱, 观测到明显的位于  $516.9\text{ cm}^{-1}$  左右的 Si 的晶化峰, 证实了 nc-Si 量子点在样品中的存在. 利用原子力显微镜直接观测了 nc-Si 量子点的表面形貌, 估算出 nc-Si 晶粒的大小为 5 nm, 密度为  $2 \times 10^{11}\text{ cm}^{-2}$ . 利用 C-V 和 G-V 测量方法研究 nc-Si 量子点阵列 a-Si<sub>x</sub>/nc-Si/a-Si<sub>x</sub> 不对称双势垒结构中电荷共振隧穿引起的电导峰和电荷存储现象. 通过与文献对比, 研究了隧穿层和控制层厚度对电子共振隧穿引起的电导峰和电荷存

储的影响,解释了我们样品中能够同时观测到电导峰和电荷存储引起的电容回滞窗口的原因是源于合适的隧穿层和控制层厚度.隧穿层厚度较薄

使得电荷很容易隧穿进入到量子点中,较厚的控制层厚度使得电荷不可能向电极泄漏,而是存储在 nc-Si 中.

- [1] Huang R, Wang D Q, Ding H L, Wang X, Chen K J, Xu J, Guo Y Q, Song J, Ma Z Y 2010 *Opt. Express* **18** 1144
- [2] Ashoori R C 1996 *Nature* **379** 413
- [3] Jia R, Li Z G, Liu M, Long S B, Lü J, Shi Y, Wang S Y 2007 *Chin. Phys.* **16** 795
- [4] Ding H L, Liu K, Wang X, Fang Z H, Huang J, Yu L W, Li W, Huang X F, Chen K J 2008 *Acta Phys. Sin.* **57** 4482 (in Chinese) [丁宏林、刘奎、王祥、方忠慧、黄健、余林蔚、李伟、黄信凡、陈坤基 2008 物理学报 **57** 4482]
- [5] Chen G, Hou X Y, Huang R, Liu C, Wang Y Y, Yu B, Zhang X 2008 *Chin. Phys. B* **17** 685
- [6] Xu J, Chen K J, Feng D, Miyazaki S, Hirose M 1996 *Solid State Commun.* **99** 269
- [7] Zhang S K, Zhu H J, Lu F, Jiang Z M, Wang X 1998 *Phys. Rev. Lett.* **80** 3340
- [8] Yu W, Li Y C, Ding W G, Zhang J Y, Yang Y B, Fu G S 2008 *Acta Phys. Sin.* **57** 3661 (in Chinese) [于威、李亚超、丁文革、张江勇、杨彦斌、傅广生 2008 物理学报 **57** 3661]
- [9] Song J, Wang J M, Yu L W, Huang X F, Li W, Chen K J 2007 *Res. Prog. Solid State Electron.* **27** 468 (in Chinese) [宋捷、王久敏、余林蔚、黄信凡、李伟、陈坤基 2007 固体电子学研究进展 **27** 468]
- [10] Hirano Y, Sato F, Aihara S, Saito N, Miyazaki S, Hirose M 2001 *Appl. Phys. Lett.* **79** 2255
- [11] Wang Q, Yue G Z, Li J, Han D 2000 *Solid State Commun* **113** 175
- [12] Montelius L, Tegenfeldt J O 1993 *Appl. Phys. Lett.* **62** 2628
- [13] Huang S, Banerjee S, Tung R T, Oda S 2003 *J. Appl. Phys.* **93** 576
- [14] Wu L C, Dai M, Huang X F, Li W, Chen K J 2004 *J. Vac. Sci. Technol. B* **22** 678
- [15] Wu L C, Huang X F, Shi J J, Dai M, Qiao F, Li W, Xu J, Chen K J 2003 *Thin Solid Films* **425** 221
- [16] Dai M, Chen K, Huang X F, Wu L C, Chen K J 2004 *J. Appl. Phys.* **95** 640

## Tunnelling and storage of charges in a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> structures<sup>\*</sup>

Wang Xiang<sup>1)2)†</sup> Huang Rui<sup>1)</sup> Song Jie<sup>1)</sup> Guo Yan-Qing<sup>1)</sup> Chen Kun-Ji<sup>2)</sup> Li Wei<sup>2)</sup>

1) (Department of Physics and Electronic Engineering, Hanshan Normal University, Chaozhou 521041, China)

2) (Department of Physics, Nanjing University, Nanjing 210093, China)

(Received 27 April 2010; revised manuscript received 21 May 2010)

### Abstract

The a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> sandwiched structures are fabricated in a plasma enhanced chemical vapour deposition (PECVD) system on n-type Si substrate. The nc-Si layer in thickness of 5 nm is fabricated from hydrogen diluted silane gas by layer-by-layer deposition technique. The thicknesses of tunnel and control SiN<sub>x</sub> layer are 3 nm and 20 nm, respectively. Conductance-voltage and capacitance-voltage measurements are used to study the charges tunnelling and storage in the sandwiched structures. Distinct frequency-dependent conductance peaks due to charges tunneling into the nc-Si dots and capacitance-voltage hysteresis characteristic due to charges storage in the nc-Si dots are observed in the same sample. The experimental results demonstrate that by controlling the thickness of tunnel and control SiN<sub>x</sub> layers charges can be loaded onto nc-Si dots via tunnelling and be stored in a-SiN<sub>x</sub>/nc-Si/a-SiN<sub>x</sub> structures.

**Keywords:** nc-Si dots, conductance peak, storage

**PACS:** 73.63.Kv, 73.40.Qv, 73.43.Jn

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China (Grant Nos. 60806046, 10947106), the Natural Science Foundation of Guangdong Province of China (Grant No. 8152104101000004) and the Innovation Program of Young Teacher of Guangdong Province of China (Grant No. LYM09101).

<sup>†</sup> E-mail: xwang@hstc.edu.cn