

## 多晶 SiGe 栅量子阱 pMOSFET 阈值电压模型\*

屈江涛<sup>†</sup> 张鹤鸣 王冠宇 王晓艳 胡辉勇

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2010年6月4日收到; 2010年8月17日收到修改稿)

本文基于多晶 SiGe 栅量子阱 SiGe pMOSFET 器件物理, 考虑沟道反型时自由载流子对器件纵向电势的影响, 通过求解泊松方程, 建立了 p+ 多晶 SiGe 栅量子阱沟道 pMOS 阈值电压和表面寄生沟道开启电压模型. 应用 MATLAB 对该器件模型进行了数值分析, 讨论了多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅 Ge 组分、 $\text{Si}_{1-x}\text{Ge}_x$  量子阱沟道 Ge 组分、栅氧化层厚度、Si 帽层厚度、沟道区掺杂浓度和衬底掺杂浓度对量子阱沟道阈值电压和表面寄生沟道开启电压的影响, 获得了抑制表面寄生沟道开启的途径. 模型所得结果与文献报道结果及 ISE 仿真结果一致.

**关键词:** 多晶 SiGe 栅, 寄生沟道, 量子阱沟道, 阈值电压

**PACS:** 85.30.-Z, 85.30.De, 85.30.Tv

## 1. 引言

随着集成电路集成度的不断提高, 器件特征尺寸不断减小, 器件性能及其工艺趋近于物理极限. 硅基应变(应变 Si、应变 SiGe)技术因其能显著提高电子和空穴的迁移率<sup>[1]</sup>, 且与当前的 Si 工艺兼容, 所以在高性能 MOS 器件的设计中被广泛应用<sup>[2-4]</sup>.

研究表明, Si/SiGe/Si 结构量子阱 MOS 器件, 由于 SiGe 导电沟道区与栅介质间有一层 Si 作为帽层, 因此可以有效的避免  $\text{SiO}_2/\text{SiGe}$  界面粗糙度对沟道反型载流子的散射作用, 从而提高器件的频率特性<sup>[5,6]</sup>, 但 Si 帽层易形成表面寄生沟道. 由于 Si 寄生沟道中空穴的迁移率远小于 SiGe 量子阱中空穴的迁移率, 另外界面粗糙散射等因素, 将使应变器件的性能, 尤其是频率特性严重退化. 所以, 应通过合理的器件结构参数设计, 避免表面寄生沟道开启对性能的影响. 近几年, 有关量子阱 SiGe pMOS 器件的研究多集中在具体工艺下器件性能及 SiGe 量子阱沟道阈值电压模型的研究<sup>[7,8]</sup>, 而对 Si 帽层表面寄生沟道的开启电压研究较少, 且量子阱沟道阈值电压模型都忽略了沟道自由载流子(空穴)浓度对其的影响<sup>[2,9]</sup>. 事实上, 由于 Si/SiGe/Si 量子阱有一定的深度, 空穴很容易在其中积累, 因此需计入自由载流子对阈值电压的影响.

本文通过研究多晶 SiGe 栅量子阱沟道 pMOS 纵向电势分布, 同时考虑自由载流子对纵向电势的影响, 建立了量子阱沟道 pMOS 阈值电压模型及其表面寄生沟道开启电压模型. 通过数值仿真, 分析了多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅 Ge 组分、 $\text{Si}_{1-x}\text{Ge}_x$  量子阱沟道 Ge 组分、栅氧化层厚度、Si 帽层厚度、沟道区掺杂浓度和衬底掺杂浓度对 pMOSFET 量子阱沟道阈值电压和表面寄生沟道开启电压的影响, 获得了抑制表面寄生沟道开启的途径, 并利用器件仿真软件 ISE 及文献报道结果对模型进行了验证.

## 2. 器件结构模型

多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅  $\text{Si}_{1-x}\text{Ge}_x$  量子阱沟道 pMOS 结构如图 1 所示<sup>[10]</sup>, 器件采用倒掺杂分布, 较低的沟道掺杂  $N_{ch}$  可减少离化杂质散射.  $\text{Si}_{1-x}\text{Ge}_x$  层作为空穴导电沟道, 其上的 Si 帽层保证了良好的界面态. 一般  $\text{Si}_{1-x}\text{Ge}_x$  量子阱 pMOS 器件采用的是多晶 Si 栅, 而本文采用了多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅. 与多晶 Si 栅相比, 多晶 SiGe 栅既可抑制栅耗尽效应, 提高栅氧化层的可靠性<sup>[11,12]</sup>, 同时随 Ge 组分的不同功函数有较宽的变化范围, 利于调节器件的阈值电压<sup>[11,13]</sup>. 器件能带结构如图 2 所示,  $\text{Si}_{1-x}\text{Ge}_x$  量子阱沟道表面势和 Si 帽层表面势都有可能先达到强反型时的

\* 国家部委项目(批准号:51308040203, 9140A08060407DZ0103, 6139801)资助的课题.

<sup>†</sup> E-mail: taoq716@foxmail.com

两倍费米势,因此都有可能先开启,所以应通过合理的器件结构参数设计使器件主要工作在量子阱沟道,避免表面寄生沟道的开启.

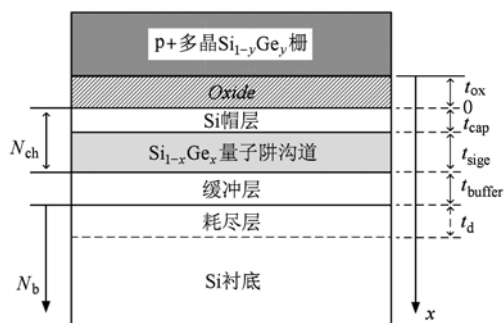


图1 多晶 Si<sub>1-y</sub>Ge<sub>y</sub> 栅 Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道 pMOS 结构示意图

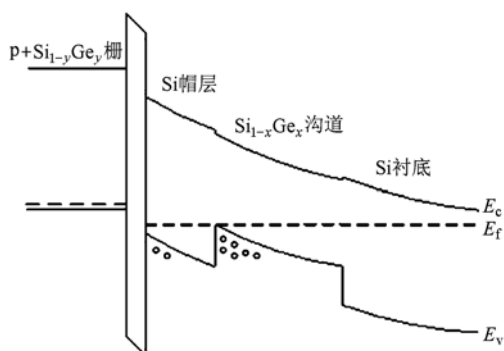


图2 p+多晶 Si<sub>1-y</sub>Ge<sub>y</sub> 栅 Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道 pMOS 能带图

### 3. 阈值电压模型的建立

量子阱沟道阈值电压和表面寄生沟道开启电压分别为各自表面势达到两倍费米势时栅极的电压. 当器件沟道开启后,耗尽层将扩展到 Si 衬底中. 因此,为了建立量子阱沟道阈值电压模型和表面寄生沟道开启电压模型,需要采用 Poisson 方程求解图 1 所示从耗尽层边界到多晶 SiGe 栅中各层的电场和电势分布,包括耗尽层、Si 缓冲层、应变 Si<sub>1-x</sub>Ge<sub>x</sub> 层、Si 帽层和栅氧化层,其中下层的电场、电势作为求解上一层电场和电势分布的边界条件.

#### 3.1. Si 衬底耗尽层电势分布

该区域耗尽层 Poisson 方程为

$$\frac{\partial^2 \Phi_1(x)}{\partial x^2} = -\frac{qN_b}{\epsilon_{si}},$$

$$(t_{cap} + t_{sige} + t_{buffer} < x \leq t_{cap} + t_{sige} + t_{buffer} + t_d), \quad (1)$$

式中,  $\Phi_1(x)$  为耗尽层中的电势,  $q$  为电子电荷,  $N_b$  为衬底掺杂浓度,  $t_{cap}$  为 Si 帽层厚度,  $t_{sige}$  为压应变 Si<sub>1-x</sub>Ge<sub>x</sub> 沟道厚度,  $t_{buffer}$  为缓冲层厚度,  $t_d$  为耗尽层厚度,  $\epsilon_{si}$  为 Si 介电常数. 设耗尽层中的电场强度为  $E_1(x)$ , 利用边界条件

$$E_1(x) = -\left. \frac{\partial \Phi_1(x)}{\partial x} \right|_{x=t_{cap}+t_{sige}+t_{buffer}+t_d} = 0$$

对(1)式积分可得 Si 耗尽层电场分布

$$E_1(x) = \frac{qN_b}{\epsilon_{si}}x - \frac{qN_b}{\epsilon_{si}} \times (t_{cap} + t_{sige} + t_{buffer} + t_d). \quad (2)$$

因为  $E(x) = -\frac{\partial \Phi(x)}{\partial x}$ , 再利用边界条件  $\Phi_1(t_{cap} + t_{sige} + t_{buffer} + t_d) = \Phi_{sub} = 0$ , 对(2)式积分可得 Si 耗尽层电势为

$$\Phi_1(x) = -\frac{qN_b}{2\epsilon_{si}}x^2 + \frac{qN_b}{\epsilon_{si}}(t_{cap} + t_{sige} + t_{buffer} + t_d)x - \frac{qN_b}{2\epsilon_{si}}(t_{cap} + t_{sige} + t_{buffer} + t_d)^2. \quad (3)$$

$E_1(x)$  和  $\Phi_1(x)$  可作为求解 Si 缓冲层中电场分布和电势分布的边界条件.

#### 3.2. Si 缓冲层电势分布

Si 缓冲层的 Poisson 方程为

$$\frac{\partial^2 \Phi_2(x)}{\partial x^2} = 0,$$

$$(t_{cap} + t_{sige} < x \leq t_{cap} + t_{sige} + t_{buffer}). \quad (4)$$

设缓冲层电场强度为  $E_2(x)$ , 根据电位连续原理, 在  $x = t_{cap} + t_{sige} + t_{buffer}$  处有

$$\epsilon_{si} \left. \frac{\partial \Phi_2(x)}{\partial x} \right|_{x=t_{cap}+t_{sige}+t_{buffer}} = \epsilon_{si} \left. \frac{\partial \Phi_1(x)}{\partial x} \right|_{x=t_{cap}+t_{sige}+t_{buffer}},$$

将它作为边界条件对(4)式积分可得 Si 缓冲层中的电场强度

$$E_2(x) = -\frac{qN_b t_d}{\epsilon_{si}}. \quad (5)$$

根据电势连续有  $\Phi_2(t_{cap} + t_{sige} + t_{buffer}) = \Phi_1(t_{cap} + t_{sige} + t_{buffer})$ , 利用该式作为边界条件对(5)式积分, 可得 Si 缓冲层中的电势分布

$$\Phi_2(x) = \frac{qN_b t_d}{\epsilon_{si}}x - \frac{qN_b t_d}{2\epsilon_{si}} \times (2t_{cap} + 2t_{sige} + 2t_{buffer} + t_d). \quad (6)$$

$E_2(x)$  和  $\Phi_2(x)$  可作为求解应变 Si<sub>1-x</sub>Ge<sub>x</sub> 中电场分

布和电势分布的边界条件.

### 3.3. 应变 $\text{Si}_{1-x}\text{Ge}_x$ 电势分布

当应变  $\text{Si}_{1-x}\text{Ge}_x$  刚开始发生强反型的时候,沟道里面的电荷由两部分组成:一部分是离化施主杂质  $N_{\text{ch}}^+$ ,另一部分是来自衬底的空穴  $p$ ,由此可得应变  $\text{Si}_{1-x}\text{Ge}_x$  的 Poisson 方程为

$$\frac{\partial^2 \Phi_3(x)}{\partial x^2} = -\frac{q}{\varepsilon_{\text{sig}}} (p + N_{\text{ch}}^+) \\ = -\frac{q}{\varepsilon_{\text{sig}}} \left( N_{\text{b}} \exp\left(\frac{q\Phi_3}{kT}\right) + N_{\text{ch}} \right), \quad (7)$$

$(t_{\text{cap}} < x \leq t_{\text{cap}} + t_{\text{sig}}),$

式中,  $N_{\text{ch}}$  为沟道区掺杂浓度,  $\Phi_3(x)$  为  $\text{Si}_{1-x}\text{Ge}_x$  中的电势,  $\varepsilon_{\text{sig}}$  为  $\text{Si}_{1-x}\text{Ge}_x$  的介电常数. 对上式从  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}_{\text{buffer}}$  界面到  $\text{Si}_{\text{cap}}/\text{Si}_{1-x}\text{Ge}_x$  界面积分得

$$\int_{\frac{\partial\Phi_{31}}{\partial x}}^{\frac{\partial\Phi_{32}}{\partial x}} \left( \frac{\partial\Phi_3}{\partial x} \right) d\left( \frac{\partial\Phi_3}{\partial x} \right) \\ = -\frac{q}{\varepsilon_{\text{sig}}} \int_{\Phi_{32}}^{\Phi_{31}} \left[ N_{\text{b}} \exp\left(\frac{q\Phi_3}{kT}\right) + N_{\text{ch}} \right] d\Phi_3. \quad (8)$$

由  $E(x) = -\frac{\partial\Phi(x)}{\partial x}$  可得

$$E_{31}^2 - E_{32}^2 = \frac{2q}{\varepsilon_{\text{sig}}} \left\{ \frac{N_{\text{b}}kT}{q} \left[ \exp\left(\frac{q\Phi_{31}}{kT}\right) - \exp\left(\frac{q\Phi_{32}}{kT}\right) \right] \right\} \\ + \frac{2qN_{\text{ch}}}{\varepsilon_{\text{sig}}} (\Phi_{31} - \Phi_{32}), \quad (9)$$

$E_{31}$  为  $\text{Si}_{\text{cap}}/\text{Si}_{1-x}\text{Ge}_x$  界面的电场强度,  $E_{32}$  为  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}_{\text{buffer}}$  界面的电场强度.

设  $\Phi_{\text{H}}$  为  $\text{Si}_{\text{cap}}/\text{Si}_{1-x}\text{Ge}_x$  界面的电势,  $\Phi_{\text{TB}}$  为  $\text{Si}_{1-x}\text{Ge}_x$  沟道开始强反型时所需电势. 当  $|\Phi_{\text{H}}| \geq |\Phi_{\text{TB}}|$  时,空穴在沟道开始聚集,所以有边界条件

$$\Phi_{31} = \Phi_{\text{TB}} - \Phi_{\text{H}}, \\ \Phi_{32} = \Phi_{\text{TB}} - \Phi_2(t_{\text{cap}} + t_{\text{sig}}). \quad (10)$$

由(5)式可得

$$E_{32} = E_2(t_{\text{cap}} + t_{\text{sig}}) = -\frac{qN_{\text{b}}}{\varepsilon_{\text{si}}} t_{\text{d}}. \quad (11)$$

由(6)式可得

$$\Phi_2(t_{\text{cap}} + t_{\text{sig}}) = -\frac{qN_{\text{b}}t_{\text{d}}}{2\varepsilon_{\text{si}}} (2t_{\text{buffer}} + t_{\text{d}}). \quad (12)$$

设  $E_{31} = E_{\text{H}}$ , 将(12)式代入(10)式,再将(10)式和(11)式代入(9)式,可得

$$E_{\text{H}} = -\sqrt{\frac{q^2 N_{\text{b}}^2 t_{\text{d}}^2}{\varepsilon_{\text{si}}^2} + H(\Phi_{\text{H}}) + N_{\text{d}}(\Phi_{\text{H}})}, \quad (13)$$

式中  $H(\Phi_{\text{H}})$ ,  $N_{\text{d}}(\Phi_{\text{H}})$  分别为反型空穴对电场的影

响和离化施主杂质对电场的影响,可表示为

$$H(\Phi_{\text{H}}) = \frac{2q}{\varepsilon_{\text{sig}}} \left\{ \frac{N_{\text{b}}kT}{q} \left[ \exp\left(\frac{\Phi_{\text{TB}} - \Phi_{\text{H}}}{kT/q}\right) - \exp\left(\frac{\Phi_{\text{TB}} - \Phi_2(t_{\text{cap}} + t_{\text{sig}})}{kT/q}\right) \right] \right\}, \quad (14)$$

$$N_{\text{d}}(\Phi_{\text{H}}) = \frac{2qN_{\text{ch}}}{\varepsilon_{\text{sig}}} (\Phi_2(t_{\text{cap}} + t_{\text{sig}}) - \Phi_{\text{H}}). \quad (15)$$

$E_{\text{H}}$  和  $\Phi_{\text{H}}$  可作为求解 Si 帽层中电场分布和电势分布的边界条件.

### 3.4. Si 帽层电势分布

表面的 Si 帽层与应变 SiGe 沟道有统一的掺杂浓度  $N_{\text{ch}}$ ,器件刚开启时,帽层中的自由载流子可忽略不计,因而该层的 Poisson 方程为

$$\frac{\partial^2 \Phi_4(x)}{\partial x^2} = -\frac{qN_{\text{ch}}}{\varepsilon_{\text{si}}}, \quad (0 < x \leq t_{\text{cap}}), \quad (16)$$

$\Phi_4(x)$  为 Si 帽层的电势分布,设 Si 帽层的电场强度为  $E_4(x)$ ,利用电位连续原理,在  $x = t_{\text{cap}}$  处,有边界条件  $\varepsilon_{\text{si}}E_4(t_{\text{cap}}) = \varepsilon_{\text{sig}}E_{\text{H}}$ ,利用该式对(16)式积分可得电场强度

$$E_4(x) = \frac{qN_{\text{ch}}}{\varepsilon_{\text{si}}}x - \frac{qN_{\text{ch}}t_{\text{cap}}}{\varepsilon_{\text{si}}} + \frac{\varepsilon_{\text{sig}}}{\varepsilon_{\text{si}}}E_{\text{H}}. \quad (17)$$

根据电势连续性有  $\Phi_4(t_{\text{cap}}) = \Phi_{\text{H}}$ ,利用该边界条件对(17)式积分,可得 Si 帽层中的电势分布

$$\Phi_4(x) = -\frac{qN_{\text{ch}}x^2}{2\varepsilon_{\text{si}}} + \left( \frac{qN_{\text{ch}}t_{\text{cap}}}{\varepsilon_{\text{si}}} - \frac{\varepsilon_{\text{sig}}}{\varepsilon_{\text{si}}}E_{\text{H}} \right)x \\ + \Phi_{\text{H}} + \frac{\varepsilon_{\text{sig}}}{\varepsilon_{\text{si}}}E_{\text{H}}t_{\text{cap}} - \frac{qN_{\text{ch}}t_{\text{cap}}^2}{2\varepsilon_{\text{si}}}. \quad (18)$$

$E_4(x)$  和  $\Phi_4(x)$  可作为求解  $\text{SiO}_2$  栅氧化层中电场分布和电势分布的边界条件.

### 3.5. $\text{SiO}_2$ 栅氧化层电势分布

$\text{SiO}_2$  栅介质层的 Poisson 方程为

$$\frac{\partial^2 \Phi_5(x)}{\partial x^2} = 0, \quad (-t_{\text{ox}} < x \leq 0), \quad (19)$$

式中,  $\Phi_5(x)$  为  $\text{SiO}_2$  栅介质层中的电势分布. 根据

电位连续原理,在  $x = 0$  处,有  $\varepsilon_{\text{ox}} \frac{\partial\Phi_5(x)}{\partial x} \Big|_{x=0}$

$= \varepsilon_{\text{si}} \frac{\partial\Phi_4(x)}{\partial x} \Big|_{x=0}$ ,  $\varepsilon_{\text{ox}}$  为  $\text{SiO}_2$  材料的介电常数. 可得

$\text{SiO}_2$  栅介质层中的电场强度为

$$E_5(x) = \frac{\varepsilon_{\text{sig}}}{\varepsilon_{\text{ox}}}E_{\text{H}} - \frac{qN_{\text{ch}}t_{\text{cap}}}{\varepsilon_{\text{ox}}}. \quad (20)$$

又根据电势在  $x = 0$  处连续,即  $\Phi_5(0) = \Phi_4(0)$ ,可

得该层中的电势分布

$$\Phi_5(x) = \left( \frac{qN_{ch}t_{cap}}{\epsilon_{ox}} - \frac{\epsilon_{sige}E_H}{\epsilon_{ox}} \right)x + \Phi_H + \frac{\epsilon_{sige}E_H t_{cap}}{\epsilon_{si}} - \frac{qN_{ch}t_{cap}^2}{2\epsilon_{si}}. \quad (21)$$

由(21)式可计算出 SiO<sub>2</sub> 栅介质表面的压降,即可求得 Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道阈值电压和 Si 帽层表面寄生沟道开启电压,因此器件栅极电压为

$$V_g = \Phi_5(-t_{ox}) + V_{FB} = \Phi_H - \left( \frac{t_{ox}}{\epsilon_{ox}} + \frac{t_{cap}}{2\epsilon_{si}} \right) qN_{ch}t_{cap} + \left( \frac{t_{ox}}{\epsilon_{ox}} + \frac{t_{cap}}{\epsilon_{si}} \right) \epsilon_{sige}E_H + V_{FB}, \quad (22)$$

式中 V<sub>FB</sub> 为平带电压,可表示为

$$V_{FB} = \phi_{sige} - \phi_{ssi} + \frac{Q_{ox}}{C_{ox}}, \quad (23)$$

式中,φ<sub>sige</sub> 为多晶 Si<sub>1-y</sub>Ge<sub>y</sub> 栅的功函数,φ<sub>ssi</sub> 为应变 Si 的功函数, Q<sub>ox</sub> 为 SiO<sub>2</sub> 中的电荷, C<sub>ox</sub> 为 SiO<sub>2</sub> 栅电容.

### 3.6. Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道阈值电压模型

当 Φ<sub>H</sub> = Φ<sub>TB</sub> 时, Si<sub>1-x</sub>Ge<sub>x</sub> 沟道开始强反型,可表示为 Si 衬底和 Si<sub>1-x</sub>Ge<sub>x</sub> 沟道阈值电势的平均值<sup>[14]</sup>为

$$\Phi_{TB} = -\frac{kT}{q} \left[ \ln \frac{N_{ch}}{n_{i,SiGe}} + \ln \frac{N_b}{n_{i,Si}} \right] + \frac{\Delta E_v}{q}, \quad (24)$$

式中,ΔE<sub>v</sub> 为 Si 与压应变 SiGe 的价带差, n<sub>i,SiGe</sub> 为压应变 SiGe 的本征载流子浓度, n<sub>i,Si</sub> 为 Si 的本征载流子浓度. 根据全耗尽近似,能计算出衬底中最大耗尽层深度为

$$t_d = \sqrt{(R_\epsilon t_{sige} + t_{buffer})^2 - \frac{2\epsilon_{si}\Phi_{TB}}{qN_b} - R_\epsilon \frac{N_{ch}t_{sige}^2}{N_b}} - t_{buffer} - R_\epsilon t_{sige}, \quad (25)$$

式中, R<sub>ε</sub> = ε<sub>si</sub>/ε<sub>sige</sub>, 将(13), (23), (24), (25)式代入(22)式,可得量子阱沟道阈值电压为

$$V_{TB} = \Phi_{TB} - \left( \frac{t_{ox}}{\epsilon_{ox}} + \frac{t_{cap}}{2\epsilon_{si}} \right) qN_{ch}t_{cap} + \left( \frac{t_{ox}}{\epsilon_{ox}} + \frac{t_{cap}}{\epsilon_{si}} \right) \epsilon_{sige}E_H + V_{FB}. \quad (26)$$

### 3.7. Si 帽层表面寄生沟道开启电压模型

当 Si 帽层表面势 Φ<sub>4</sub>(0) 达到强反型所需电势

Φ<sub>TS</sub> 时,则表面寄生沟道开启. 类似 Φ<sub>TB</sub>, Φ<sub>TS</sub> 可表示为

$$\Phi_{TS} = -\frac{kT}{q} \left[ \ln \frac{N_{ch}}{n_{i,Si}} + \ln \frac{N_b}{n_{i,Si}} \right], \quad (27)$$

即 Φ<sub>4</sub>(0) = Φ<sub>TS</sub>, 由(18)式可得

$$\Phi_H = \Phi_{TS} - \frac{\epsilon_{sige}E_H t_{cap}}{\epsilon_{si}} + \frac{qN_{ch}t_{cap}^2}{2\epsilon_{si}}. \quad (28)$$

将(28)式代入(22)式,可得表面寄生沟道的开启电压为

$$V_{TS} = \Phi_{TS} - \frac{t_{ox}}{\epsilon_{ox}} (qN_{ch}t_{cap} - \epsilon_{sige}E_H) + V_{FB}, \quad (29)$$

则(26)式, (29)式分别为所求得的 Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道阈值电压模型和 Si 帽层表面寄生沟道的开启电压模型.

## 4. 仿真分析与验证

从(26)式和(29)式中可知, Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道阈值电压和 Si 帽层表面寄生沟道开启电压分别与多晶 Si<sub>1-y</sub>Ge<sub>y</sub> 栅 Ge 组分、 Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道 Ge 组分、栅氧化层厚度 t<sub>ox</sub>、 Si 帽层厚度 t<sub>cap</sub>、沟道区掺杂浓度 N<sub>ch</sub>、衬底掺杂浓度 N<sub>b</sub> 有关,因此对(26)式和(29)式分别进行数值仿真,所用参数如表 1 所示.

表 1 所用参数列表

φ <sub>si</sub> /eV	ΔE <sub>v</sub> /eV	ε <sub>sige</sub>	ε <sub>si</sub>	ε <sub>ox</sub>	ε <sub>o</sub> /(F/m)
4.6	0.74x	11.9 + 4.1x	11.9	3.9	8.854 × 10 <sup>-12</sup>

根据 Hellberg, Zhang 和 Petersson 的实验结果<sup>[15]</sup>, 拟合出 P<sup>+</sup> 多晶 Si<sub>1-y</sub>Ge<sub>y</sub> 栅功函数 φ<sub>SiGe</sub> = 0.51448y<sup>2</sup> - 1.0029y + 5.1619.

图 3 为多晶 Si<sub>1-y</sub>Ge<sub>y</sub> 栅 Ge 组分为 y = 0.5 时,量子阱沟道阈值电压和表面寄生沟道开启电压与 Si<sub>1-x</sub>Ge<sub>x</sub> 量子阱沟道 Ge 组分关系. 如图所示,随沟道 Ge 组分的增加 V<sub>TB</sub> 降低,这是由于随着 Ge 组分的增加, Si<sub>1-x</sub>Ge<sub>x</sub> 沟道的价带开始向上移动,即 ΔE<sub>v</sub> 随 Ge 组分的增加而线性增大. 价带的移动导致了 |Φ<sub>TB</sub>| 的减小,因此同等数量的空穴可在相对低的栅压下进入量子阱沟道,从而导致了 V<sub>TB</sub> 的降低. 当 Ge 组分低于一定值时, ΔE<sub>v</sub> 不够大,导致量子阱沟道不足以束缚空穴,使空穴能够直接进入表面沟道,造成表面沟道先开启. V<sub>TS</sub> 的变化情况与 V<sub>TB</sub> 相反,这是由于随 Ge 组分的增加,空穴从量子阱沟道进入表面沟道所需克服的势垒变高,所以阈值电压

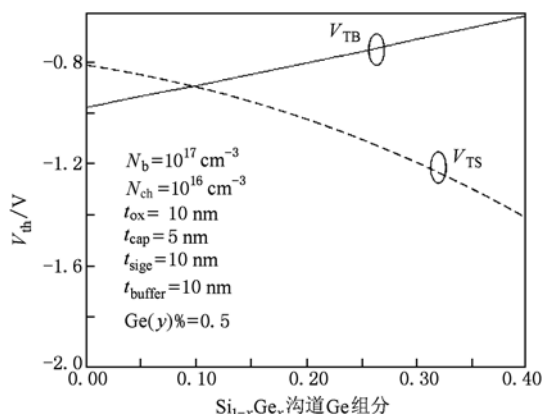


图3 量子阱沟道阈值电压和表面寄生沟道开启电压与量子阱沟道 Ge 组分关系

升高. 因此在器件设计中,量子阱沟道 Ge 组分应至少大于  $V_{TB}$  与  $V_{TS}$  两条曲线的交点,即  $x \geq 0.1$ ,以保证量子阱沟道有足够高的势垒束缚空穴,避免表面寄生沟道较早的开启.

图4为量子阱沟道阈值电压和表面寄生沟道开启电压与栅氧化层厚度  $t_{ox}$  的关系,从图中可以看出,随着  $t_{ox}$  的增厚,量子阱沟道和表面寄生沟道的阈值电压都提高了,这是由于随着  $t_{ox}$  增加,栅极对沟道的控制能力减弱,造成阈值电压的提高.

图5为量子阱沟道阈值电压和表面寄生沟道开启电压与 Si 帽层厚度  $t_{cap}$  的关系. 如图所示,  $V_{TB}$  随 Si 帽层厚度  $t_{cap}$  的增加而升高,这是由于  $t_{cap}$  的增厚造成栅串联电容的减小从而导致了栅极对量子阱沟道的控制能力减弱,而表面寄生沟道  $V_{TS}$  则随着  $t_{cap}$  的增加而减小,这是因为较厚的 Si 帽层  $t_{cap}$  更容易达到强反型时所需的两倍费米势,其特性逐渐接近体硅 pMOS 的阈值电压特性,在其他参数不变的情况

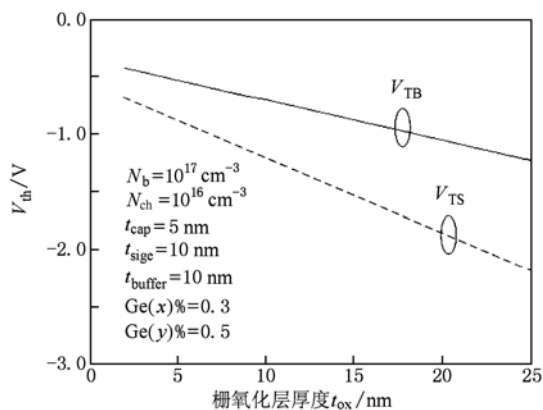


图4 量子阱沟道阈值电压和表面寄生沟道开启电压与栅氧化层厚度  $t_{ox}$  的关系

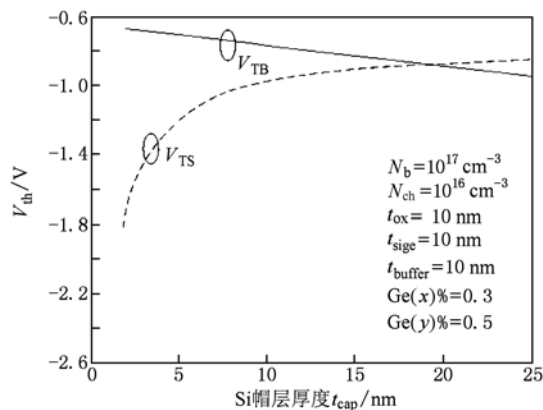


图5 量子阱沟道阈值电压和表面寄生沟道开启电压与 Si 帽层厚度的关系

下,如果  $t_{cap}$  厚度大于 20 nm,则表面寄生沟道先于量子阱沟道开启. 反之,如果减薄  $t_{cap}$  至 5 nm 则可以很好的抑制表面沟道的开启.

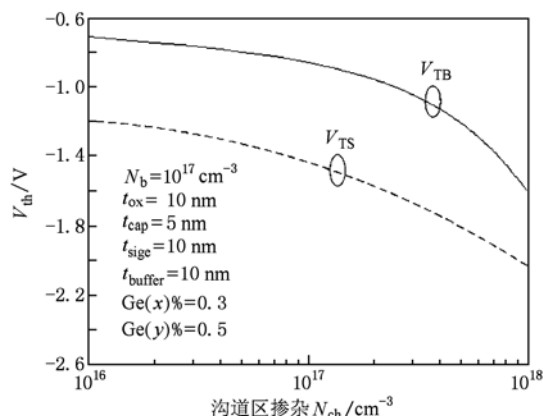


图6 量子阱沟道阈值电压和表面寄生沟道开启电压与沟道区掺杂浓度的关系

图6为量子阱沟道阈值电压和表面寄生沟道开启电压与沟道区掺杂浓度的关系. 如图所示,量子阱沟道阈值电压和表面寄生沟道开启电压随着沟道区掺杂浓度  $N_{ch}$  的增加而同时提高,当沟道掺杂浓度  $N_{ch}$  小于  $10^{17}$  时,阈值电压和表面寄生沟道开启电压变化不大,这是因为较低的沟道掺杂浓度  $N_{ch}$  很容易完全耗尽,因此对电压的影响很小. 当  $N_{ch}$  大于  $10^{17}$  时,阈值电压和表面寄生沟道开启电压的变化幅度增大,这是因为随着  $N_{ch}$  的提高,沟道需要更高的栅压才能完全耗尽,同时沟道达到强反型时所需的费米势提高,因此量子阱沟道阈值电压和表面寄生沟道开启电压迅速提高.

图7为量子阱沟道阈值电压和表面寄生沟道开

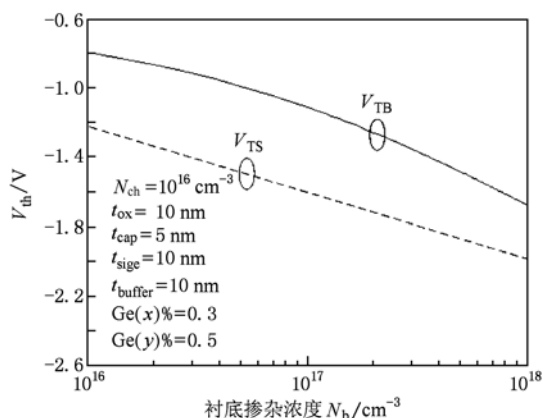


图7 量子阱沟道阈值电压和表面寄生沟道开启电压与衬底掺杂浓度的关系

启电压与衬底掺杂浓度的关系. 如图所示,  $V_{TB}$  和  $V_{TS}$  均随  $N_b$  的增大而增大, 这是由于  $N_b$  的增大使器件量子阱沟道和表面寄生沟道强反型时所需的费米势均增大, 因此造成阈值电压的升高.

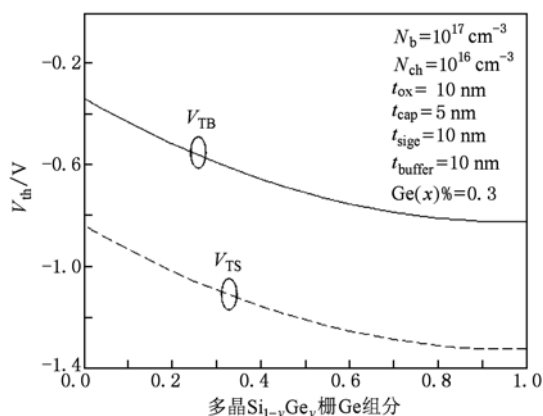


图8 量子阱沟道阈值电压和表面寄生沟道开启电压与多晶 SiGe 栅 Ge 组分关系

图8为量子阱沟道阈值电压和表面寄生沟道开启电压与多晶 SiGe 栅 Ge 组分关系. 如图所示, 无论是  $V_{TB}$  还是  $V_{TS}$  都随多晶 SiGe 栅 Ge 组分的增大而提高, 这是由于多晶 SiGe 栅随着 Ge 组分的增大其功函数降低, 使平带电压  $V_{FB}$  降低, 则阈值电压升高. Ge 组分从 0 到 1 阈值电压的变化幅度约 0.5 V, 所以采用多晶 SiGe 做器件的栅材料, 对器件的阈值电压有很宽的调节范围.

为了验证模型的正确性, 我们使用器件模拟器 ISE 对多晶 SiGe 栅量子阱沟道 pMOS 进行仿真, 并参考 Yeo 等人的实验结果<sup>[16]</sup>与 MATLAB 计算得到的量子阱阈值电压和表面寄生沟道开启电压进行

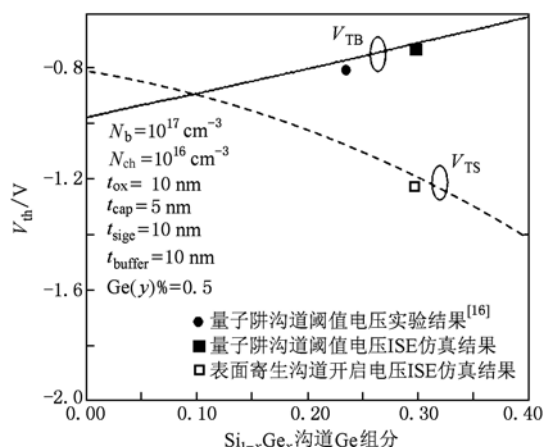


图9 量子阱沟道阈值电压和表面寄生沟道开启电压与量子阱沟道 Ge 组分关系

比对, 如图9所示. 图中实线为  $Si_{1-x}Ge_x$  量子阱沟道阈值电压模型数值仿真结果, 虚线为 Si 帽层表面寄生沟道开启电压模型仿真结果, 实心圆点代表 Yeo 等人采用外延技术制造沟道 Ge 组分为 0.24 的量子阱 pMOS 阈值电压值, 实心方框和空心方框分别表示了运用 ISE 对器件模拟仿真所得量子阱沟道阈值电压值和表面寄生沟道开启电压值. 从图中可看出计算结果与仿真结果基本符合, 从而证明了模型的正确性.

### 5. 结 论

本文在分析多晶 SiGe 栅量子阱沟道 pMOS 器件各层电势分布的基础上, 建立了量子阱沟道阈值电压模型  $V_{TB}$  和表面寄生沟道开启电压模型, 并对该模型进行了数值分析与验证. 研究表明:  $V_{TB}$  和  $V_{TS}$  随多晶  $Si_{1-y}Ge_y$  栅 Ge 组分的增加同时升高;  $V_{TB}$  随  $Si_{1-x}Ge_x$  层中 Ge 组分的增大而降低,  $V_{TS}$  随 Ge 组分的增大而升高;  $V_{TB}$  和  $V_{TS}$  均随衬底掺杂浓度  $N_b$ 、沟道区掺杂浓度  $N_{ch}$ 、栅氧化层厚度的提高而提高;  $V_{TB}$  随帽层的增厚而提高,  $V_{TS}$  则随 Si 帽的增厚而降低. 因此, 在器件设计中, 为了避免表面寄生沟道的开启对器件性能的影响, Si 帽层的厚度应该控制在一定范围内, 并提高  $Si_{1-x}Ge_x$  量子阱沟道中 Ge 组分浓度, 例如在本文的结构参数和物理参数下, Si 帽层的厚度不应超过 5 nm, 沟道中 Ge 组分至少大于 0.1, 则能避免量子阱沟道的开启, 使器件主要工作在  $Si_{1-x}Ge_x$  量子阱沟道.

- [1] Currie M T 2004 *IEEE international Conference on integrated Circuit Design and Technology* 2004 p261
- [2] Zhang Z F, Zhang H M, Hu H Y, Xuan R X 2009 *Acta Phys. Sin.* **58** 4948 (in Chinese) [张志锋、张鹤鸣、胡辉勇、宣荣喜 2009 物理学报 **58** 4948]
- [3] Song J J, Zhang H M, Hu H Y, Dai X Y 2008 *Acta Phys. Sin.* **57** 5918 (in Chinese) [宋建军、张鹤鸣、胡辉勇、戴显英 2008 物理学报 **57** 5918]
- [4] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2007 *Chin. Phys.* **16** 3827
- [5] LeGoues F K, Rosenberg R, Nguyen T, Himpsel F 1989 *J. Appl. Phys.* **65** 1721
- [6] Nayak D K, Kamjoo K, Park J S, Woo J C S 1990 *Appl. Phys. Lett.* **57** 369
- [7] Liao W S, Liaw Y G, Mao-Chyuan 2008 *IEEE Electron Devices Lett.* **29** 86
- [8] Gilmer D C, Schaeffer, Taylor J K 2010 *IEEE Trans. Electron Devices* **57** 898
- [9] Zhang H M, Cui X Y, Hu H Y, Dai X Y, Xuan R X 2007 *Acta Phys. Sin.* **56** 3504 (in Chinese) [张鹤鸣、崔晓英、胡辉勇、戴显英、宣荣喜 2007 物理学报 **56** 3504]
- [10] Nayak D K, Woo J C S, Park J S 1991 *IEEE Electron Devices Lett.* **12** 154
- [11] Ponomarev Y V, Salm C, Schmitz J, Woerlee P H 1997 *IEDM* p829
- [12] Lee W C 1999 *IEEE Electron Devices Lett.* **20** 232
- [13] King T J, McVittie J P, Saraswat K C, Pfiester J R 1994 *IEEE Trans. Electron Devices* **41** 228
- [14] Nayfeh H M, Hoyt J L, Antoniadis D A 2004 *IEEE Trans. Electron Devices* **51** 2069
- [15] Hellberg P E, Zhang S L, Petersson C S 1997 *IEEE Electron Devices Lett.* **18** 456
- [16] Yeo Y C, Lu Q, King T J, Hu C M 2000 *IEDM* p753

## Threshold voltage model for quantum-well channel pMOSFET with poly SiGe gate<sup>\*</sup>

Qu Jiang-Tao<sup>†</sup> Zhang He-Ming Wang Guan-Yu Wang Xiao-Yan Hu Hui-Yong

(Key Lab of Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 4 June 2010; revised manuscript received 17 August 2010)

### Abstract

In this paper, threshold voltage model of quantum-well channel pMOSFET with p + polycrystalline SiGe gate and its cut-in voltage model were established based on solving Poisson equation while considering the impact of free carrier. The effects of relevant parameters (Ge concentration of poly SiGe gate, Ge concentration of quantum-well SiGe channel, thickness of oxide layer, thickness of Si cap layer, doping content of quantum-well SiGe channel, and doping content of substrate) on threshold voltage and cut-in voltage of the parasitic channel was analysed by numerical analysis, and obtained the methods to restrain the opening of parasitic channel. The results of the models are in good agreement with that of experiment reported as well as of ISE simulation.

**Keywords:** polycrystalline SiGe gate, parasitic channel, quantum-well channel, threshold voltage

**PACS:** 85.30.-Z, 85.30.De, 85.30.Tv

<sup>\*</sup> Project supported by the National Ministries and Commissions (Grant Nos. 51308040203, 9140A08060407DZ0103, 6139801).

<sup>†</sup> E-mail: taoq716@foxmail.com