

SOI 部分耗尽 SiGe HBT 集电结空间电荷区模型*

徐小波[†] 张鹤鸣 胡辉勇 许立军 马建立

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2010年6月21日收到; 2010年10月13日收到修改稿)

SOI 上的薄膜异质 SiGe 晶体管通过采用“折叠”集电极, 已成功实现 SOI 上 CMOS 与 HBT 的兼容. 本文结合 SOI 薄膜上的纵向 SiGe HBT 结构模型, 提出了包含纵向、横向欧姆电阻和耗尽电容的“部分耗尽 (partially depleted) 晶体管”集电区简化电路模型. 基于器件物理及实际考虑, 系统建立了外延集电层电场、电势、耗尽宽度模型, 并根据该模型对不同器件结构参数进行分析. 结果表明, 空间电荷区表现为本征集电结耗尽与 MOS 电容耗尽, 空间电荷区宽度随集电结掺杂浓度减小而增大, 随集电结反偏电压提高而增大, 随衬底电压减小而增大, 直到集电区纵向全部耗尽, 然后开始横向扩展. 该模型为新一代基于 SOI 的 SiGe 毫米波 BiCMOS 电路设计和仿真提供了重要参考.

关键词: SOI, SiGe HBT, 集电区, 空间电荷区模型

PACS: 85.30.Pq, 85.30.De, 85.30.-z

1. 引言

随着硅基电路进入毫米波应用, 如 60GHz 高速通信系统, 77GHz 汽车雷达系统和 94GHz 成像系统等^[1], 基于 SOI 结构的 SiGe BiCMOS 成为研究热点. 由于 SOI 具有抑制寄生, 降低信号串扰, 消除门锁效应, 提高软错误免疫, 提高工作电压范围等优点^[2], 在过去的 15 年, SOI CMOS 技术不断成熟完善, 成为了 IBM PowerPC 系列等高性能低功耗应用的主流选择^[3,4].

在 3G 无线和光纤通信等混合信号设计中, 模拟和 RF 模块的功耗、速度和动态范围性能至关重要^[5], 加上 SiGe 工艺与标准 Si 工艺兼容, 基于 SOI 的 SiGe 工艺成为主流 BiCMOS 代工厂, 包括 Hitachi, NEC, IBM, STMicroelectronics, IHP 等的一个突破点^[6-10]. 为了实现小尺寸下与 SOI CMOS 的集成, IBM 提出了一种薄膜 SOI 上的纵向 SiGe HBT 结构^[8], 通过引入“折叠集电极 (folded collector)”, 去除埋层和重掺杂亚集电区 (sub-collector), 大大降低了集电区厚度. 这种结构的工艺实现与电学优越性^[11-16]、衬底偏置特性^[17]、高低温特性^[18,19]、辐射

特性^[20]、以及热电阻效应^[21]等都得到广泛而深入的仿真分析和实验研究, 并于 2008 年成功应用到意法半导体最新一代毫米波 0.13 μm SOI SiGe BiCMOS 工艺^[15]. 但是薄膜 SOI 上 SiGe HBT 紧密模型却很少得到关注, 而这是电路设计和仿真中的核心问题.

分析 IBM 提出的折叠集电极 HBT 结构表明, 不同于传统的 SiGe HBT 模型^[22,23], SOI 结构器件载流子分布发生了根本变化, 产生了横向和纵向电场分布, 传统的紧密模型 HICUM^[24], MEXTRAM^[25] 与 VBIC^[26] 已不能准确描述. 本文以薄膜 SOI 上 SiGe HBT 为例, 系统建立了小电流下此结构集电区的二维表面电场和空间电荷区物理模型, 并进行了计算分析. 结果表明空间电荷区变化受到集电结电压、集电区厚度、衬底偏压调控, 通过集电区耗尽方式实现电子高速漂移.

2. 器件结构和物理模型

图 1 给出了纵向 npn SOI HBT 截面图及本征集电区等效电路, $W_{\text{epi}}, L_{\text{epi}}$ 分别表示外延集电区厚度和长度, $W_{\text{B}}, L_{\text{B}}$ 分别表示基区厚度和长度, W_{E} 为发射

* 国家部委资助项目 (批准号: 51308040203, 6139801), 中央高校基本科研业务费 (批准号: 72105499, 72104089) 和陕西省自然科学基金研究计划 (批准号: 2010JQ8008) 资助的课题.

[†] E-mail: xxb_xidian@163.com

区宽度. 由于结构对称, 画出了器件左半部分, 右半部分特性类似可得. 为计算方便, 定义集电结交界处为 x 轴零点, 中间对称点为 y 轴零点, 如图 1 所示. 体硅 HBT 要求 $1\text{--}2\ \mu\text{m}$ 高掺杂亚集电区和埋层以降低电阻, 集成在新一代 SOI BiCMOS 上的薄膜 HBT 集电区厚度一般在 $150\ \text{nm}$ ^[9], 通过集电结全部耗尽 (fully depleted) 或者部分耗尽的方式实现电子高速漂移. 因此电流在本征集电结纵向流动, 并且在外集电区横向移动. 考虑薄膜 SOI HBT 空间电荷

区, 如果外延集电区浓度 N_{epi} 低或厚度 W_{epi} 特别小, 不加偏压时集电结已纵向全部耗尽, 空间电荷区横向扩展, 即全耗尽 HBT (fully depleted HBT); 如果 N_{epi} 中等或 W_{epi} 小, 随着反向偏压的增大, 耗尽区首先纵向扩展, 逐渐接近 Si/SiO₂ 界面, 当反向偏压到某一值时, 耗尽区开始横向扩展, 即部分耗尽 HBT (partially depleted HBT); 如果 N_{epi} 高, 耗尽区在任何偏压下均表现为纵向扩展.

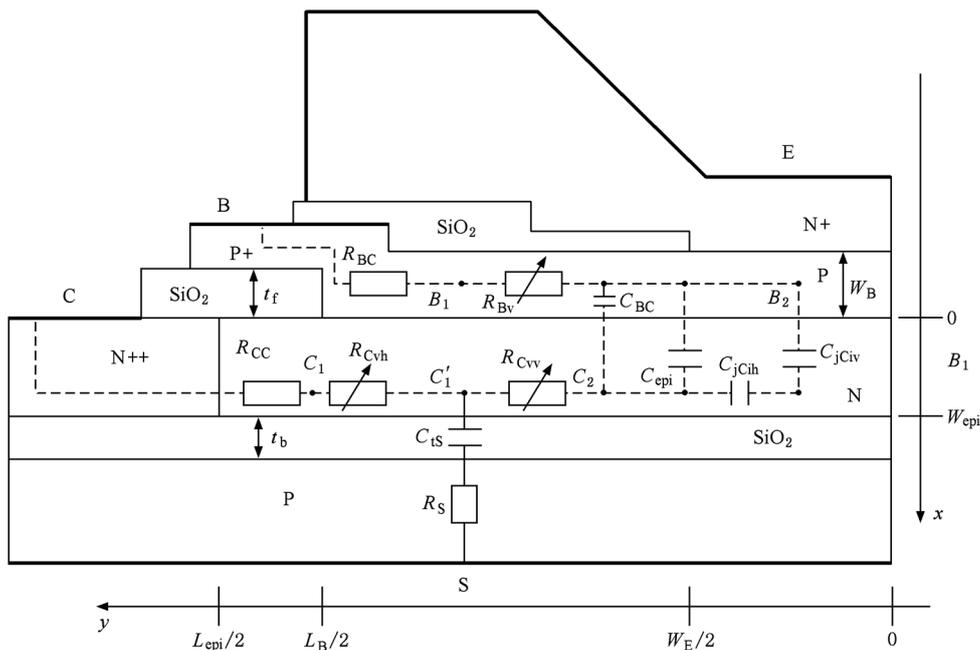


图 1 薄膜 SOI 衬底上纵向 npn HBT 截面图及本征集电区简化等效电路

与体硅模型相比, 除去众所周知的 SOI 结构带来的衬底二极管的消除和衬底电容电阻的增加外, 薄膜 SOI HBT 最大的不同在于存在本征集电结纵向、横向耗尽电容和集电区纵向、横向可变电阻. ST^[27] 研究组提出的等效电路模型考虑了纵向和横向耗尽电容, 本文进一步考虑了纵向和横向欧姆电阻的影响, 第一次提出了包含纵向、横向耗尽电容和欧姆电阻的集电区简化电路模型. 引入 C_{jCiv} 表示空间电荷区纵向耗尽电容, C_{jCih} 表示空间电荷区横向耗尽电容, R_{Cv} 表示集电区纵向可变电阻, R_{Cvh} 表示横向可变电阻. 其他模型参数参照 mextram 模型保持不变. C_{epi} 为外延集电层扩散电容, C_{BC} 为集电区扩散电容. R_{BC} 和 R_{Bv} 分别表示基区电阻的固定部分和随基区电流的可变部分. 同样的, R_{CC} 表示集电区电阻的固定部分. 与体硅结构相比, 部分耗尽晶体管存在空间电荷区突变, 本文集中于研究部分耗尽

SOI HBT.

2.1. 部分耗尽晶体管集电区纵向空间电荷区模型

集电区纵向部分等效为反偏 pn 结和 MOS 电容的串联.

集电结部分耗尽情况下, 为了求出电场分布, 假设忽略载流子产生复合, 杂质完全电离, 忽略外延层空穴电流, 利用耗尽近似, 本征集电结纵向空间电荷区的一维 Poisson 方程可以写为^[28]

$$\frac{dE_1}{dx} = \frac{1}{\epsilon_{\text{si}}} \left(qN_{\text{epi}} - \frac{J_{\text{epi}}}{v_{\text{sat}}} \right), \quad (1)$$

其中 E_1 为本征集电结纵向电场, ϵ_{si} 为 Si 介电常数, N_{epi} 为集电极掺杂浓度, J_{epi} 外延层单位面积电流密度, v_{sat} 表示空间电荷区电子的饱和速度.

令载流子速度饱和电流为 I_{hc} , $I_{\text{hc}} = qN_{\text{epi}}A_{\text{em}}V_{\text{sat}}$, A_{em} 为发射结面积, I_{epi} 为外延层电流. 则(1)式改

写为

$$\frac{dE_1}{dx} = \frac{qN_{\text{epi}}}{\epsilon_{\text{Si}}} \left(1 - \frac{I_{\text{epi}}}{I_{\text{hc}}} \right), \quad (2)$$

式中 $(1 - I_{\text{epi}}/I_{\text{hc}})$ 代表通过耗尽区的电子对带正电的离化施主杂质的影响作用. 假设集电区均匀掺杂, 并且小电流时作欧姆近似, 则边界条件 $E_1(x_1) = E_{\omega} = -J_{\text{epi}}/\sigma = -I_{\text{epi}}/A_{\text{em}}N_{\text{epi}}q\mu_n$, 得到 $E_1(x)$ 为

$$E_1(x) = \frac{qN_{\text{epi}}}{\epsilon_{\text{Si}}} \left(1 - \frac{I_{\text{epi}}}{I_{\text{hc}}} \right) (x - x_1) + E_{\omega}, \quad (3)$$

$$0 < x \leq x_1.$$

假定 $V(0) = 0$, 从 0 到 x 积分

$$V_1(x) = \frac{qN_{\text{epi}}}{\epsilon_{\text{Si}}} \left(1 - \frac{I_{\text{epi}}}{I_{\text{hc}}} \right) \left(-\frac{x^2}{2} + x_1x \right) - E_{\omega}x, \quad (4)$$

$$0 < x \leq x_1.$$

假设集电结为突变结, $N_B \gg N_{\text{epi}}$, N_B 为基区掺杂浓度. 因此中性基区电场下降特别快, 有

$$-\int_0^{x_1} E_1(x) dx = V_{\text{jCiv}} + V_{\text{dc}}. \quad (5)$$

$V_{\text{jCiv}} = V_{\text{ClB2}} - I_{\text{epi}}R_{\text{Cvh}} - I_{\text{epi}}R_{\text{Cv}}/A_{\text{em}}$ 是纵向本征集电结电压, 表示 I_{epi} 流过集电区引起的欧姆压降. x_1 为本征集电结耗尽区宽度, x_2 为 MOS 电容集电区一侧耗尽区宽度, R_{Cv} 是集电区有效纵向欧姆电阻, R_{Cvh} 是集电区有效横向欧姆电阻. 体硅 HBT 本征集电结耗尽区宽度相对于集电区厚度可以忽略不计, 欧姆电阻近似认为在整个外延层存在. 而 SOI 上薄膜 HBT 纵向集电区只有 150 nm 左右, 一般情况下集电结空间电荷区宽度在零偏时也有几十纳米, 对电阻影响大. 部分耗尽时 $x_1 + x_2 < W_{\text{epi}}$, 有 $R_{\text{Cv}} = \rho(W_{\text{epi}} - x_1 - x_2)/A_{\text{em}} = (W_{\text{epi}} - x_1 - x_2)/q\mu_n N_{\text{epi}} A_{\text{em}}$. 部分耗尽时 $R_{\text{Cvh}} = \rho(L_{\text{epi}} - L_B)/2A_{\text{em}} = (L_{\text{epi}} - L_B)/$

$2q\mu_n N_{\text{epi}} A_{\text{em}}$, V_{dc} 表示本征集电结内建电势, 物理表达式为 $V_{\text{dc}} = V_T \ln(N_{\text{epi}}^2/n_i^2)$. (3) 式代入 (5) 式, 得到本征集电结耗尽区宽度

$$x_1 = \sqrt{\frac{2\epsilon_{\text{Si}}(V_{\text{jCiv}} + V_{\text{dc}} + E_{\omega}x_1)}{qN_{\text{epi}} \left(1 - \frac{I_{\text{epi}}}{I_{\text{hc}}} \right)}}.$$

代入 V_{jCiv} , 求出 x_1 为

$$x_1 = \sqrt{\frac{2\epsilon_{\text{Si}} \left(V_{\text{ClB2}} + V_{\text{dc}} - I_{\text{epi}}R_{\text{Cvh}} - \frac{I_{\text{epi}}(W_{\text{epi}} - x_2)}{q\mu_n N_{\text{epi}} A_{\text{em}}} \right)}{qN_{\text{epi}} \left(1 - \frac{I_{\text{epi}}}{I_{\text{hc}}} \right)}}. \quad (6)$$

正常工作时, 衬底接地, 此时 x_2 很小, 小电流时, 忽略 I_{epi} 对欧姆区和对离化施主杂质的影响, 则 x_1 简化为传统的最基本形式

$$x_1 = \sqrt{\frac{2\epsilon_{\text{Si}}(V_{\text{ClB2}} + V_{\text{dc}})}{qN_{\text{epi}}}}.$$

集电区靠近绝缘层部分假设为理想 MOS 电容, 即不加外电压时能带为平带, 任何偏置下只存在半导体中的电荷, 直流偏置下不存在通过绝缘体的载流子输运. 令 t_b 为绝缘层厚度. 由于电路设计中所有器件衬底共用, 绝缘层下的电容并联值很大, 可以忽略. 衬底电容 C_{is} 相当于绝缘层电容和集电区 Si/SiO₂ 边界处空间电荷区电容的串联, 因此表达式为

$$\frac{1}{C_{\text{is}}} = \frac{1}{C_b} + \frac{1}{C_{\text{Si}}}, \quad (7)$$

其中 $C_b = \epsilon_{\text{SiO}_2}/t_b$ 是 SiO₂ 绝缘层单位面积电容, $C_{\text{Si}} = \epsilon_{\text{Si}}/x_2$ 为 Si/SiO₂ 界面单位面积耗尽电容. 又

$$C_{\text{is}}(V_{\text{ClS}} - I_{\text{epi}}R_{\text{Cvh}}) = qN_{\text{epi}}x_2. \quad (8)$$

$V_{\text{ClS}} = V_{\text{Cl}} - V_{\text{S}}$ 为外集电区与衬底电势差. 由 (7) 式和 (8) 式, 很容易求出 x_2 .

$$x_2 = \frac{-t_b\epsilon_{\text{Si}}qN_{\text{epi}} + \sqrt{(t_b\epsilon_{\text{Si}}qN_{\text{epi}})^2 + 4\epsilon_{\text{Si}}\epsilon_{\text{SiO}_2}qN_{\text{epi}}(V_{\text{ClS}} - I_{\text{epi}}R_{\text{Cvh}})}}{2\epsilon_{\text{SiO}_2}qN_{\text{epi}}}. \quad (9)$$

同样在集电区靠近绝缘层边界空间电荷区运用 Poisson 方程, 边界条件为

$$x = W_{\text{epi}} - x_2, \text{ 电场为 } E_{\omega}, -dV_2/dx = E_{\omega},$$

$$x = W_{\text{epi}} - x_2, \text{ 电势为 } V_{\text{ClS}} - I_{\text{epi}}R_{\text{Cvh}},$$

得到电场电势表达式为

$$E_2(x) = -\frac{dV_2}{dx} = \frac{qN_{\text{epi}}}{\epsilon_{\text{Si}}}(x - W_{\text{epi}} + x_2) + E_{\omega}, \quad (10)$$

$$W_{\text{epi}} - x_2 \leq x \leq W_{\text{epi}}$$

$$V_2(x) = V_{\text{ClS}} - I_{\text{epi}}R_{\text{Cvh}} - \frac{qN_{\text{epi}}}{\epsilon_{\text{Si}}} \times \left[\frac{x^2}{2} + \frac{(W_{\text{epi}} - x_2)^2}{2} - (W_{\text{epi}} - x_2)x \right] - E_{\omega}x, \quad (11)$$

$$W_{\text{epi}} - x_2 \leq x \leq W_{\text{epi}}.$$

值得注意的是, 加在 Si/SiO₂ 界面的电压值增

大到 $V_{Cl} = V_{dc}$, 恰好产生强反型, 反型层中的积累电子屏蔽了外电场的作用, 耗尽区宽度达到最大值 x_{2m} , 不随外加电压增加而增加^[29].

$$x_{2m} = \left[\frac{4k_0 T \epsilon_{Si}}{q^2 N_{epi}} \ln \left(\frac{N_{epi}}{n_i} \right) \right]^{1/2}. \quad (12)$$

根据上面分析, 写出集电区纵向空间电荷区宽度表达式

$$x = \begin{cases} x_1 + x_2, & x_1 + x_2 \leq W_{epi}, \\ W_{epi}, & x_1 + x_2 > W_{epi}. \end{cases} \quad (13)$$

根据 HICUM^[24] 紧密模型的定义, 随着反偏电压的增加, 到某一电压值, 集电结恰好全部耗尽, 结电压 V_{jCiv} 为有效纵向穿通电压

$$V_{jPCi} = \frac{qN_{epi}}{2\epsilon_{Si}} (W_{epi} - x_2)^2 - V_{dc}. \quad (14)$$

$V_{jCiv} < V_{jPCi}$ 时, $x_1 + x_2 \leq W_{epi}$, 此时, 外延层没有耗尽, 两个耗尽区之间存在准中性区. 随着偏压的增加, 两个耗尽区之间互相靠近, 逐渐压缩准中性区.

$V_{jCiv} = V_{jPCi}$ 时, $x_1 + x_2 = W_{epi}$, 此时, 外延层全部耗尽, 两个耗尽区边缘恰好重合, 不存在准中性区.

偏压进一步增加时, $V_{jCiv} = V_{jPCi}$, 纵向结电压不再变化, 电压降落在了横向电场上.

从等式(14)可以看出, $x_1 = W_{epi}$ 时, 有效纵向穿通电压 V_{jPCi} 存在最大值

$$V_{jPCim} = \frac{qN_{epi}}{2\epsilon_{Si}} W_{epi}^2 - V_{dc}. \quad (15)$$

最大值要求 $x_2 = 0$, 也就要求集电区 Si/SiO₂ 界面处于平带状态.

2.2. 部分耗尽晶体管集电区横向空间电荷区模型

集电结纵向部分耗尽时, 理想情况下横向空间电荷区宽度为零, 横向电场为欧姆电场 E_{ω} ; 纵向全部耗尽后, 偏压增大, 本征集电结、集电区 Si/SiO₂ 界面分别继续耗尽, 横向空间电荷区宽度 $y = y_1 + y_2$ 逐渐变大, 其中 y_1 为本征集电结引起的横向耗尽长度, y_2 为 MOS 电容耗尽引起横向扩展; 达到 L_{epi} 宽度后, 横向空间电荷区进入重掺杂穿通区 (N + reach through), 此后宽度随偏压的变化非常缓慢, 可以忽略. 全耗尽后, 偏压进一步增加时, 电压降落在横向电场上, 横向空间电荷区电场开始增加. 集电区横向集电结压降为

$$V_{jGh} = V_{ClB2} - V_{jPCi} - \frac{(L_{epi} - L_B)/2 - y_1 - y_2}{(L_{epi} - L_B)/2} I_{epi} R_{cvh}. \quad (16)$$

与纵向求解类似, 在 L_{epi} 宽度内分别求解一维 poisson 方程, 一般情况下横向集电区长度比横向空间电荷区宽度大得多, 忽略 y_2 对横向欧姆压降的影响, 得到

$$y_1 = \sqrt{\frac{2\epsilon_{Si}(V_{jGh} + E_{\omega}y_1)}{qN_{epi}\left(1 - \frac{I_{epi}}{I_{hc}}\right)}} \approx \sqrt{\frac{2\epsilon_{Si}(V_{ClB2} - V_{jPCi} - I_{epi}R_{cvh})}{qN_{epi}\left(1 - \frac{I_{epi}}{I_{hc}}\right)}}, \quad (y_1 \leq L_{epi}). \quad (17)$$

同样求解 MOS 电容引起的横向耗尽, 忽略横向空间电荷区展宽对电阻的影响, 得到

$$y_2 \approx \frac{-t_b \epsilon_{Si} q N_{epi} + \sqrt{(t_b \epsilon_{Si} q N_{epi})^2 + 4 \epsilon_{Si} \epsilon_{SiO_2}^2 q N_{epi} (V_{ClB2} - V_{jPCi} - I_{epi} R_{cvh})}}{2 \epsilon_{SiO_2} q N_{epi}}, \quad (y_1 \leq L_{epi}), \quad (18)$$

$$E(y) = \frac{qN_{epi}}{\epsilon_{Si}} \left(1 - \frac{I_{epi}}{I_{hc}} \right) (y - y_1) + E_{\omega}, \quad (0 \leq y \leq y_1). \quad (19)$$

集电区横向空间电荷区宽度表达式

$$y = \begin{cases} y_1 + y_2, & y_1 + y_2 \leq L_{epi}, \\ L_{epi}, & y_1 + y_2 > L_{epi}. \end{cases} \quad (20)$$

3. 结果与分析

表 1 给出了计算仿真所用的具体器件主要结构

参数. 下面的计算中如未特殊说明, 取 $V_{CE} = 1 \text{ V}$, $V_{BE} = 0.7 \text{ V}$, 衬底接地, 本征基区发射结边界 Ge 含量 10%, 集电结边界上 25%, 线性增加. 非本征基极 Ge 组分为 0. 基区宽度 $W_B = 35 \text{ nm}$, 发射区为 $170 \times 850 \text{ nm}$, 衬底浓度 $N_s = 1 \times 10^{15} \text{ cm}^{-3}$, $N_E = 2 \times 10^{20} \text{ cm}^{-3}$, $N_B = 3 \times 10^{18} \text{ cm}^{-3}$.

表1 计算器件主要结构参数

参数	$N_{\text{epi}}/\text{cm}^{-3}$	t_{b}/nm	W_{epi}/nm	L_{B}/nm	L_{E}/nm	L_{epi}/nm
取值	3×10^{17}	400	150	500	170	1040

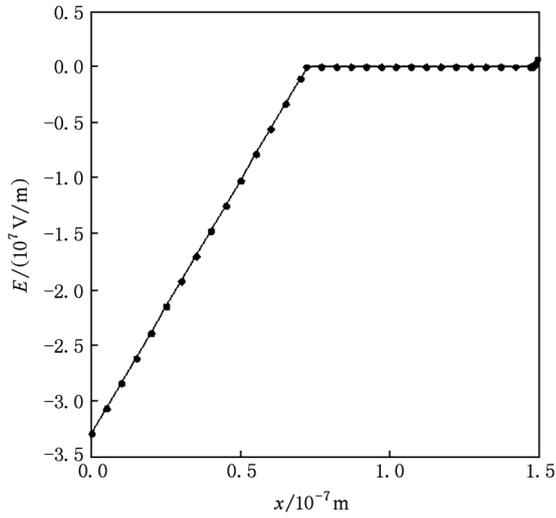


图2 部分耗尽 HBT 集电区电场纵向变化图

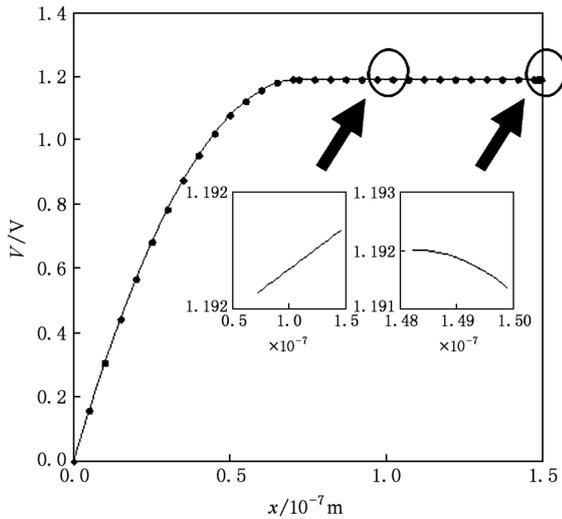


图3 部分耗尽 HBT 集电区电压纵向变化图

图2 为部分耗尽晶体管集电区纵向电场分布. 由图可以看出,随着 x 增大,电场在本征集电结空间电荷区逐渐减小,到边界接近零,显然这是由于起作用的离化电荷 P^+ 随 x 增大而逐渐减少;进入欧姆区,电场保持不变,此时电场为载流子输运引起;接近氧化层边界很薄一层上,进入 Si/SiO₂ 界面耗尽区,起作用离化电荷 P^+ 逐渐增多,因此电场开始增加,直到 Si/SiO₂ 界面.

图3 为部分耗尽晶体管集电区纵向电势分布. 显

然,本征集电结空间电荷区电势随 x 增大而上升的趋势明显,欧姆区电势变化微弱,Si/SiO₂ 界面电势轻微下降. 图3 表明,小电流工作时,压降主要落在本征集电结空间电荷区,欧姆区电势变化可以忽略;衬底接地时,集电区与绝缘层之间的电势差也可以忽略. 显然,电势分布与图2 电场变化趋势符合.

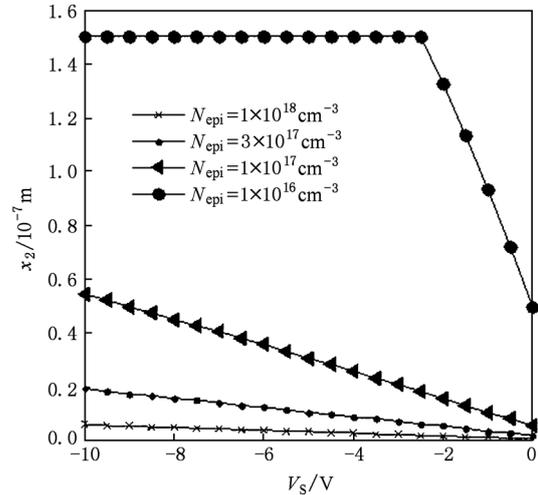


图4 不同掺杂下集电区 Si/SiO₂ 界面空间电荷区宽度与衬底电压的关系

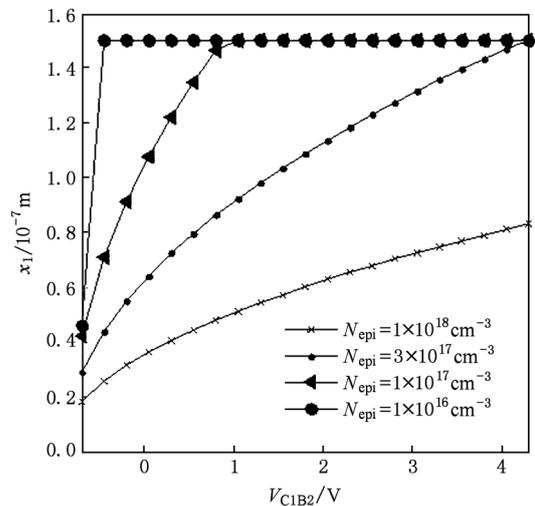


图5 不同掺杂下本征集电结纵向空间电荷区宽度与外集电结电压的关系

图4 为不同浓度下集电区 Si/SiO₂ 耗尽区宽度随衬底偏压的变化. 为了方便分析 x_2 , 本征集电结加正偏电压 $V_{B2} = V_{dc}$, $V_{C1} = 0$, 使 $x_1 \approx 0$. 同时提高发射区电压,使 $V_{BE} < 0.7$ V, 晶体管不导通. 衬底负偏置越多, Si/SiO₂ 耗尽区宽度越大. 重掺杂时,耗尽

区宽度 x_2 很小,随衬偏变化缓慢,影响可以忽略;轻掺杂时,即使衬底接地, x_2 相对外延层宽度足够大;如果集电区中等掺杂,衬底接地时 x_2 影响小,衬底存在反偏电压时, x_2 的宽度不能够忽略.

图 5 为不同浓度下本征集电结耗尽区宽度随外集电结偏压的变化. 此时令衬底电压与集电区电压相等,使 $x_2 \approx 0$. 集电区重掺杂,本征集电结空间电荷区变化缓慢,不能全部耗尽;集电区中等掺杂,集电结反偏到某一电压值,空间电荷区已达到 Si/SiO₂ 界面,集电结纵向全部耗尽;集电区轻掺杂,不加电压甚至本征集电结轻微正偏电压也能够纵向耗尽.

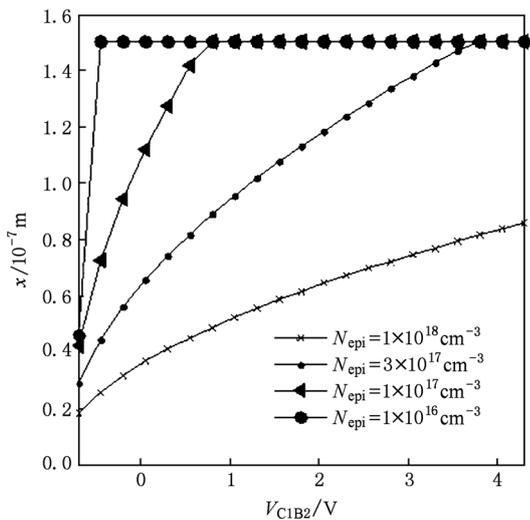


图 6 集电区纵向空间电荷区宽度与外集电结电压的关系

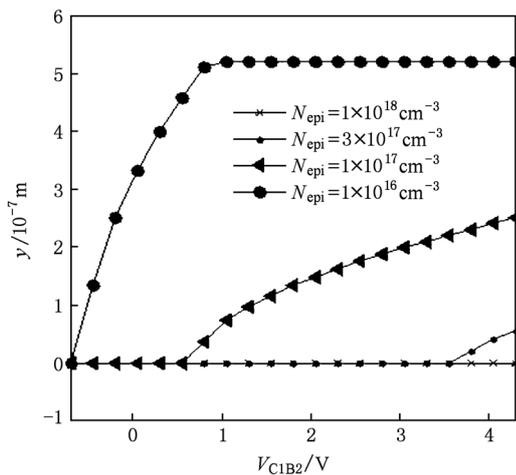


图 7 集电区横向空间电荷区宽度与外集电结电压的关系

图 6、图 7 分别为集电结纵向、横向空间电荷区宽度与外集电结电压、掺杂浓度的关系. 全耗尽之前,浓度一定,空间电荷区纵向宽度随反偏电压增加而增

加. 集电结全耗尽之后,宽度保持不变. 此时增加偏压,横向空间电荷区开始展宽. 固定偏压下,掺杂浓度越小,纵向空间电荷区宽度越大,在轻掺杂 $1 \times 10^{16} \text{ cm}^{-3}$ 情况下,如图所示,不加偏压,本征集电结已全部耗尽,并且横向扩展. 可以看到,图 6 与图 5 相比变化很小,再次说明零偏衬底对集电区影响小.

图 3 至图 7 为空间电荷区宽度随衬底偏压、反偏集电结电压、集电区浓度的关系分析. 可以看出,由于内建电场方向为集电区到基区,反偏集电结电压产生的电场与内建电场一致,随着反向集电结电压的增大,集电区空穴的抽取能力增强,因此耗尽区宽度逐渐变大,直至纵向全部耗尽并横向扩展. 随着集电区掺杂浓度的提高,单位集电区宽度产生的空穴变多,而在相同偏压下,集电区空穴抽取能力不变,此时集电结空间电荷区宽度随反向偏压的增大而增大的趋势变缓. 随着衬底偏压往负值方向变大,衬底积累越来越多的电子,相应的,集电区靠近 Si/SiO₂ 界面产生越来越多的空穴,界面处空间电荷区宽度越来越大. 值得注意的是,衬底接正电位的时候,集电区 Si/SiO₂ 界面产生电子积累,连通 N⁺ 区,导致集电区击穿电压急剧减小.

图 8 为部分耗尽晶体管集电结有效纵向穿通电压随外延集电层掺杂以及衬底电压的变化. 为了单独分析影响因素,令集电极电压固定,改变基极电压使 V_{C1B2} 等于穿通电压. 由图可知,集电区掺杂浓度越高,提供的空穴越多,集电结耗尽越慢,全部耗尽所需要的穿通电压越大. 衬底负向偏置越大,集电区 Si/SiO₂ 界面积累越多空穴,空间电荷区扩展越多,一定程度

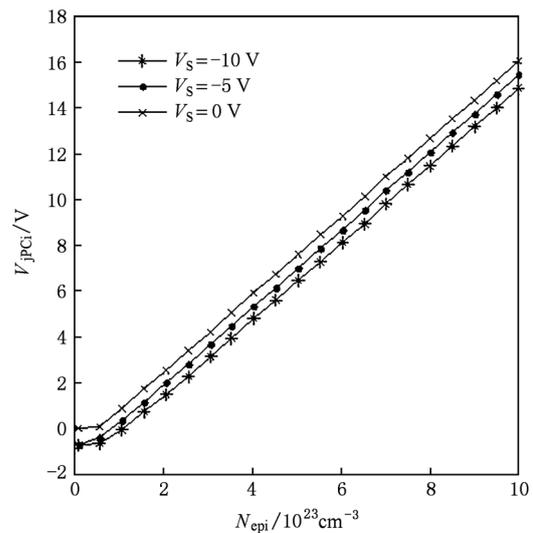


图 8 部分耗尽 HBT 集电结有效纵向穿通电压随掺杂和衬偏的变化

上降低了穿通电压. 应该看到, 增大集电极电压, 进一步产生集电区 Si/SiO₂ 界面空穴积累, 同样增大了空间电荷区, 进一步降低了有效穿通电压.

4. 直流交流电学特性讨论

上一节对 SOI SiGe HBT 器件集电区空间电荷区各个参数进行分析, 预测了变化趋势并对导致这些变化的物理机理做了探讨. 基于上面的分析结果, 本节定性讨论变化趋势对电学特性的影响, 具体的建模仿真分析属于后续工作.

首先讨论直流特性. 由于集电区纵向厚度很薄, 集电区横向长度相对很大, 根据本文的横向欧姆电阻概念, 以往存在于发射区的电流集边效应出现于集电区. 集电区的电流平行于集电结平面流动, 集电极电流趋向于聚集到集电结边缘附近. 因此在 Gummel 图中, SOI HBT 集电极电流在大偏置下比体硅 HBT 小.

由于集电结既存在纵向空间电荷区, 又存在横向空间电荷区, 根据上一节的分析, 随着集电结电压增大, 集电结由纵向部分耗尽, 过渡到纵向全部耗尽, 最后集电结空间电荷区横向扩展. 由集电结空间电荷区宽度定义的集电结耗尽电容表现为纵向耗尽电容与横向耗尽电容. 因此在纵向全耗尽前后, 集电结耗尽电容随集电结偏压的增加表现出不同的变化趋势.

其次讨论交流特性. 随着集电结反向偏压的增大, 体硅 HBT 在集电区纵向全耗尽后, 空间电荷区宽度不再变化, 导致集电区渡越时间不再变化; SOI HBT 集电区纵向全耗尽后开始横向耗尽, 导致集电区渡越时间继续增大. 因此电学特性上表现为集电区纵向全耗尽后特征频率随集电结反向偏压增大而减小.

基于上一节进行的定性讨论与文献的报道一致^[8, 11, 14-16], 验证了模型的正确性.

5. 结 论

本文研究了基于 SOI 的 SiGe 部分耗尽晶体管 (partially - depleted HBT) 集电区电场、电势和耗尽宽度. 提出了包含纵向、横向欧姆电阻和耗尽电容的集电区简化等效电路模型, 系统建立了集电区纵向和横向电场、电势、耗尽宽度物理模型, 并根据实际工艺参数对物理模型进行了研究分析. 研究结果表明, 空间电荷区表现为本征集电结耗尽与 MOS 电容耗尽, 空间电荷区宽度随集电结掺杂浓度减小而增大, 随集电结反偏电压提高而增大, 随衬底电压减小而增大, 直到集电区纵向全部耗尽, 然后开始横向扩展. SOI 薄膜上纵向 SiGe HBT 集电区紧密模型的建立和计算分析为毫米波 BiCMOS 电路设计和仿真提供了有价值的参考.

- [1] Floyd B, Pfeiffer U, Reynolds S, Valdes-Garcia A, Haymes C, Katayama Y, Nakano D, Beukema T, Gaucher B, Soyuer M 2007 *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems SiRF07* Long Beach, CA, United states, 2007 p213
- [2] Fleetwood D M, Thome F V, Tsao S S, Dressendorfer P V, Dandini V J, Schwank J R 1988 *IEEE Trans. Nucl. Sci.* **35** 1099
- [3] Shahidi G G 2002 *IBM Journal of Research and Development* **46** 121
- [4] Shahidi G G, Ajmera A, Assaderaghi F, Bolam R J, Leobandung E, Rausch W, Sankus D, Schepis D, Wagner L F, Kun W, Davari B 1999 *IEEE International Solid-State Circuits Conference. Digest of Technical Papers. ISSCC. First Edition*, Piscataway, NJ, USA, Feb. 15-17, 1999, p426
- [5] Larson L E 2000 *International Electron Devices Meeting, Technical Digest. IEDM*, San Francisco, CA, USA, Dec. 10-13, 2000 p737
- [6] Washio K, Ohue E, Shimamoto H, Oda K, Hayami R, Kiyota Y, Tanabe M, Kondo M, Hashimoto T, Harada, T 2002 *IEEE Trans ED* **49** 271
- [7] Sato F, Hashimoto T, Tezuka H, Soda M, Suzaki T, Tatsumi T, Tashiro T 1999 *IEEE Trans ED* **46** 1332
- [8] Cai J, Ajmera A, Ouyang Q Q, Oldiges P, Steigerwalt M, Stein K, Jenkins K, Shahidi G, Ning T H 2002 *Symposium on VLSI Technology Digest of Technical Papers* Honolulu, HI, United states, June 11-13, 2002 p172
- [9] Avenier G, Schwartzmann T, Chevalier P, Vandelle B, Rubaldo L, Dutartre D, Boissonnet L, Saguin F, Pantel R, Fregonese S, Maneux C, Zimmer T, Chantre A 2005 *IEEE Bipolar/BiCMOS Circuits and Technol. Meeting* Santa Barbara, CA, USA, October 9-11, 2005, p128.
- [10] Rucker H, Heinemann B, Barth R, Bolze D, Drews J, Fursenko O, Grabolla T, Haak U, Höppner W, Knoll D, Marschmeyer S, Mohapatra N, Richter H H, Schley P, Schmidt D, Tillack B,

- Weidner G, Wolansky D, Wulf H E, Yamamoto Y 2004 *Technical Digest - International Electron Devices Meeting IEDM* San Francisco CA, United states, Dec. 13—15, 2004 p239
- [11] Ouyang Q Q, Cai J, Ning T, Oldiges P, Jeffery B J 2003 *Proc. IEEE Bipolar/BiCMOS Circuits and Technol. Meeting BCTM* Minneapolis, United states, Sep. 29—Oct. 1, 2002 p28
- [12] Cai J, Mahender K, Steigerwalt M, Ho H, Schonenberg K, Stein K, Chen H J, Jenkins K, Ouyang Q Q, Oldiges P, Ning T H 2003 *Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting BCTM* Toulouse, France, 2003 p215
- [13] Cai J, Ning T H 2004 *7th International Conference on Solid-State and Integrated Circuits Technology Proceedings ICSICT* Beijing, China, Oct. 18—21, 2004 p2102
- [14] Avenier G, Chevalier P, Vandelle B, Lenoble D, Saguin F, Frégonèse S, Zimmer T, Chantre A 2005 *Proceedings of ESSDERC 2005: 35th European Solid-State Device Research Conference* Grenoble, France, Sep. 12—16, 2005 p133
- [15] Avenier G, Frégonè S, Chevalier P, Bustos J, Saguin F, Schwartzmann T, Maneux C, Zimmer T, Chantre A 2008 *IEEE Transactions on Electron Devices* **55** 585
- [16] Avenier G, Diop M, Chevalier P, Troillard G, Loubet N, Bouvier J, Depoyan Linda, Derrier N, Buczko M, Leyris C, Boret S, Montusclat S, Margain A, Pruvost S, Nicolson S T, Yau K H K, Revil N, Gloria D, Dutartre D, Voinigescu S P, Chantre, A 2009 *IEEE Journal of Solid-State Circuits* **44** 2312
- [17] Chen T B, Bellini M, Zhao E H, Comeau J P, Sutton A K, Grens C M, Cressler J D, Cai J, Ning T H 2005 *Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting BCTM* Santa Barbara, CA, USA, Oct. 9—11, 2005 p256
- [18] Bellini M, Cressler J D, Cai J 2007 *Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting BCTM* Boston MA, USA, Sep. 30—Oct. 2, 2007 p234
- [19] Bellini M, Chen T B, Zhu C D, Cressler J D, Cai J 2006 *IEEE Bipolar/BiCMOS Circuits and Technology Meeting BCTM* Maastricht Netherlands Oct. 8—10 2006 p4
- [20] Chen T B, Sutton A K, Bellini M, Haugerud B M, Comeau J P, Liang Q Q, Cressler J D, Cai J, Ning T H, Marshall P W, Marshall C J 2005 *IEEE Transactions on Nuclear Science* **52** 2353
- [21] Vanhoucke T, Boots H M J, Van Noort W D 2004 *IEEE Electron Device Letters* **25** 150
- [22] Hu H Y, Zhang H M, Lü Y, Dai X Y, Hou H, Ou J F, Wang W, Wang X Y 2006 *Acta Phys. Sin.* **55** 403 (in Chinese) [胡辉勇、张鹤鸣、吕懿、戴显英、侯慧、区健锋、王伟、王喜媛 2006 物理学报 **55** 403]
- [23] Lü Y, Zhang H M, Dai X Y, Hu H Y, Shu B 2004 *Acta Phys. Sin.* **53** 3239 (in Chinese) [吕懿、张鹤鸣、戴显英、胡辉勇、舒斌 2004 物理学报 **53** 3239]
- [24] Schröter M http://www.iee.et.tu-dresden.de/iee/eb/hic_new/hic_doc.html
- [25] Toorn R V, Paasschens J C J, Kloosterman W J 2008 *The Mextram Bipolar Transistor Model level 504.7*, Mextram definition document, 2008 Delft University of Technology
- [26] <http://hbt.ucsd.edu>
- [27] Frégonè S, Avenier G, Maneux C, Chantre A 2006 *IEEE Trans ED* **53** 296
- [28] Kirk C T 1962 *IRE Trans. Electron Devices* **9** 164
- [29] Shi M, Wu G Y 2008 *Semiconductor Device Physics* (Xi'an: Xi'an Jiaotong University Press) p256—264 (in Chinese) [施敏著 伍国珏译 2008 半导体器件物理(西安:西安交通大学出版社)第256—264页]

A collector space charge region model for SiGe HBT on thin-film SOI *

Xu Xiao-Bo[†] Zhang He-Ming Hu Hui-Yong Xu Li-Jun Ma Jian-Li

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 21 June 2010; revised manuscript received 13 October 2010)

Abstract

SiGe heterojunction bipolar transistor (HBT) on thin film SOI has been successfully integrated with SOI CMOS by “folded collector”. This paper deals with the collector of “partially depleted transistor” according to the thin film vertical SiGe HBT structure. A simplified circuit model including vertical and horizontal resistors and depletion capacitance is presented for the first time, and the model of the collector for field, voltage, and depletion width is systematically established. The model is analyzed with reasonable parameters. The results indicate that the space charge region consists of intrinsic junction depletion and MOS capacitance depletion, that the width of the space charge region increases with doping concentration of the collector, larger reverse junction voltage, and smaller substrate voltage, and that the region features a vertical expansion followed by a lateral expansion. This space charge region model of collector provides a valuable reference to the SiGe mm-wave BiCMOS circuit design and simulation on thin film SOI.

Keywords: SOI, SiGe HBT, collector, space charge region model

PACS: 85.30.Pq, 85.30.De, 85.30.-z

* Project supported by the National Ministries and Commissions (Grant Nos. 51308040203, 6139801), the Fundamental Research Funds for the Central Universities (Grant Nos. 72105499, 72104089), and Natural Science Basic Research Plan in Shaanxi Province China (Grant No. 2010JQ8008).

[†] E-mail: xxb_xidian@163.com