

p 型金属氧化物半导体场效应晶体管界面态的积累对单粒子电荷共享收集的影响*

陈建军[†] 陈书明 梁 斌 刘必慰 池雅庆 秦军瑞 何益百

(国防科学技术大学计算机学院, 长沙 410073)

(2010 年 9 月 3 日收到; 2011 年 3 月 29 日收到修改稿)

由于负偏置温度不稳定性 and 热载流子注入, p 型金属氧化物半导体场效应晶体管 (pMOSFET) 将在工作中不断退化, 而其 SiO_2/Si 界面处界面态的积累是导致其退化的主要原因之一. 采用三维器件数值模拟方法, 基于 130 nm 体硅工艺, 研究了界面态的积累对相邻 pMOSFET 之间单粒子电荷共享收集的影响. 研究发现, 随着 pMOSFET SiO_2/Si 界面处界面态的积累, 相邻 pMOSFET 漏端的单粒子电荷共享收集量均减少. 还研究了界面态的积累对相邻反相器中单粒子电荷共享收集所导致的多瞬态脉冲的影响. 研究发现, 随着 pMOSFET SiO_2/Si 界面处界面态的积累, pMOSFET 之间电荷共享收集所导致的多瞬态脉冲压缩, 而 n 型金属氧化物半导体场效应晶体管之间电荷共享收集所导致的多瞬态脉冲展宽.

关键词: 负偏置温度不稳定性, 电荷共享收集, 双极放大效应, 单粒子多瞬态

PACS: 61.80. Jh, 85.30. Tv, 43.30. Hw

1. 引言

随着工艺尺度的不断缩减, 负偏置温度不稳定性 (NBTI)、热载流子注入 (HCI) 以及两者的耦合效应成为了近年来 p 型金属氧化物半导体场效应晶体管 (pMOSFET) 中备受关注的可靠性问题^[1-3]. 已有的研究表明, pMOSFET 退化的机理主要归因于其栅氧化层陷阱电荷的俘获以及栅氧化层与沟道的 SiO_2/Si 界面处界面态的积累^[1-3]. 文献[4]的研究进一步表明, 对于采用 SiO_2 栅氧层且栅氧层厚度 T_{ox} 很薄 ($T_{\text{ox}} \approx 2 \text{ nm}$) 的 pMOSFET, 其界面态的积累是导致器件退化的更主要原因. 在现代工艺条件下, pMOSFET 在退化之前, 其 SiO_2/Si 界面处界面态密度 N_{it} 大约在 10^{10} cm^{-2} 量级, 而在退化的过程中, SiO_2/Si 界面处所能提供的 N_{it} 的极限值在 $1 \times 10^{12} \text{ cm}^{-2}$ 到 $1 \times 10^{13} \text{ cm}^{-2}$ 之间^[5], 以典型的阈值电压退化的量级 (10 mV) 计算, $T_{\text{ox}} \approx 2 \text{ nm}$ 的 pMOSFET, 其 N_{it} 的积累将达到 10^{11} cm^{-2} 量级. 研究发现: 若干年之后, pMOSFET 的退化会导致数字集成电路的性能

下降 9.2%^[6], 还会导致 SRAM 6T 管存储单元的读噪声容限下降 10% 以上^[7].

随着工艺尺度的缩减, 辐射导致的单粒子电荷共享收集也成为了近年来另一个备受关注的可靠性问题. 研究表明, pMOSFET 之间电荷共享收集的物理机理主要是扩散和双极放大效应, 然而 n 型金属氧化物半导体场效应晶体管 (nMOSFET) 之间电荷共享收集的物理机理主要是扩散, 其双极放大效应并不明显^[8]. 研究发现: 单个粒子轰击集成电路的敏感区之后, 电荷共享收集能够导致相邻的多个存储单元发生翻转; 还会导致组合电路中相邻的节点出现多个瞬态脉冲, 使得集成电路的软错误率截面增加几十倍甚至几百倍^[9,10].

由于单粒子电荷共享收集的试验设计十分复杂, 目前国际上仍然没有出现研究电荷共享收集的重粒子试验, Amusan 等^[11] 在 2009 年才首次通过激光模拟试验观察到了电荷共享收集. 但是基于模拟方法的研究却取得了很多重要的成果, 其中 Amusan 等^[8,12] 发现双阱工艺下器件之间的距离、粒子的线性能量转移 (LET) 值以及晶体管类型等对电荷共享收集有重要影响, 文献[13] 的研究也发现温度对电

* 国家自然科学基金重点项目 (批准号: 60836004) 和国家自然科学基金 (批准号: 61006070) 资助的课题.

[†] E-mail: cjj192000@yahoo.com.cn

荷共享收集有重要影响.

辐射导致的可靠性问题对 NBTI, HCI 等可靠性问题有着重要的影响^[14-16], 而施加 NBTI 和 HCI 应力之后退化了的器件会对辐射导致的可靠性问题(如电荷共享收集)所造成的影响, 目前还没有相关研究结论. 在 NBTI 和 HCI 应力下, pMOSFET SiO₂/Si 界面处 Si—H 键或 Si—O 键将会断裂而产生界面态, 界面态的积累会导致 pMOSFET 阈值电压、沟道迁移率和饱和电流等重要电气参数随时间而不断退化^[1-7], 这种退化必然会改变集成电路的单粒子电荷共享收集特性. 通常单粒子瞬态引起的软错误率与瞬态脉冲的宽度成正比, 如果电荷共享收集所导致的多个瞬态脉冲的宽度出现展宽, 系统的软错误率将增加, 空间系统出现故障的概率也将增加.

2. 模拟设置

模拟共分为三组进行. 第一组用于研究相邻两 pMOSFET 单管之间的电荷共享收集特性, 两 pMOSFET 建模为三维器件模型, 如图 1(a) 所示. 第

二组用于研究相邻两反相器中 pMOSFET 之间的电荷共享收集特性, 为缩短数值模拟的计算时间, 两相邻 pMOSFET 建模为三维器件模型, 而其余两 nMOSFET 建模为独立的二维器件模型. 第三组用于研究相邻两反相器中 nMOSFET 之间的电荷共享收集特性, 其中两相邻 nMOSFET 建模为三维器件模型, 而其余两 pMOSFET 建模为独立的二维器件模型, 如图 1(b) 所示. 模拟中, 两相邻反相器的输出端均接了 5 fF 的理想电容. 所有 pMOSFET 的沟道宽度和长度均为 0.64 和 0.13 μm , 所有 nMOSFET 的沟道宽度和长度均为 0.42 和 0.13 μm . 相邻两器件之间的距离为 0.21 μm , 器件的阱接触与器件的距离为 0.37 μm , 浅槽隔离技术用于隔离两个器件, 其深度为 0.36 μm . 本文所用器件在掺杂分布上均与目标工艺进行了工艺校准, 通过调整掺杂分布使得数值模拟的 $I_{\text{ds}}-V_{\text{gs}}$ 和 $I_{\text{ds}}-V_{\text{ds}}$ 曲线与电路模拟工具 SPICE (Simulation Program with Integrated Circuit Emphasis) 模拟的结果取得一致. 本文引用文献[8]中的定义, 把粒子轰击的器件称为主器件, 相邻的另一个器件称为从器件.

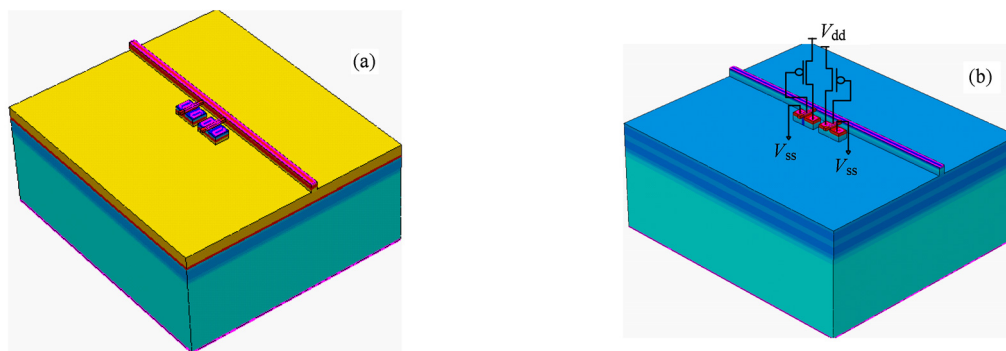


图1 模拟中所用器件模型 (a)单管, (b)反相器

在研究 pMOSFET 单管之间的电荷共享收集时, 粒子轰击之前, 两个 pMOSFET 的源、栅和体端均接高电平 (V_{dd}), 漏端接低电平 (V_{ss}). 在研究相邻两反相器中 pMOSFET 之间的电荷共享收集时, 两反相器输入均为 V_{dd} , 而在研究相邻两反相器中 nMOSFET 之间的电荷共享收集时, 两反相器输入均为 V_{ss} . 模拟中, 将界面态加载到两 pMOSFET 器件模型的 SiO₂/Si 界面处, 再引入重粒子垂直轰击主 pMOSFET 或者主 nMOSFET 的漏区中央, 来模拟研究 pMOSFET 在 SiO₂/Si 界面处积累界面态之后对单粒子电荷共享收集的影响. N_{it} 分别为 $2.5 \times 10^{11} \text{ cm}^{-2}$, $5 \times 10^{11} \text{ cm}^{-2}$, $7.5 \times 10^{11} \text{ cm}^{-2}$ 和 $10 \times 10^{11} \text{ cm}^{-2}$, 其中界面态均匀地分布在禁带中, 且沿沟道

均匀分布.

本文采用 Synopsys 公司开发的 Sentaurus TCAD 软件来构造器件并进行器件模拟. 模拟中, 重粒子入射产生的电子空穴对在器件中垂直主器件漏端中央呈圆柱结构, 高度为 36.5 μm , 半径为 0.87 μm , LET 值为 48.5 MeVcm²/mg (高度、半径以及 LET 值与重粒子 Zr 入射 Si 材料的参数一致^[13]). 假定粒子垂直于主器件表面轰击, 本文不讨论粒子入射角度对电荷共享收集的影响.

在模拟中, 采用了费米-狄拉克统计方法; 选择肖克莱-里德-霍尔模型和俄歇模型作为载流子产生/复合模型; 选择流体力学模型作为载流子的输运模型; 选择禁带变窄模型描述禁带变窄对本征载

流子浓度的影响;考虑了掺杂浓度、电场饱和、载流子之间的散射以及界面散射对迁移率的影响.

3. 模拟结果及分析

3.1. pMOSFET 单管之间的电荷共享收集

图 2 显示了粒子垂直轰击主 pMOSFET 漏端之

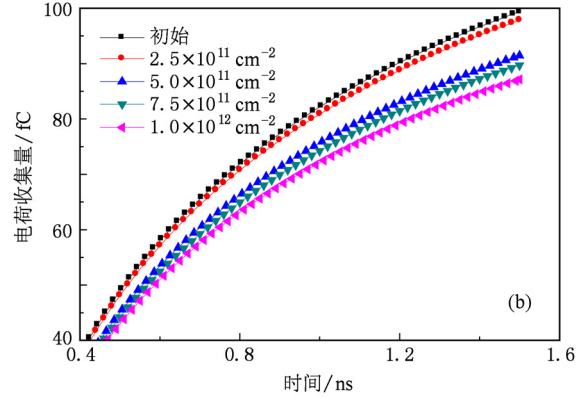
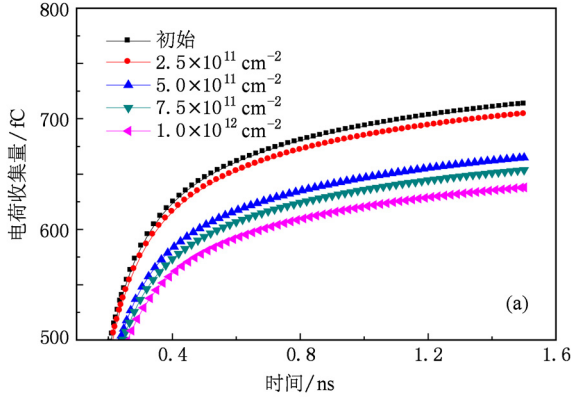


图 2 pMOSFET 单管主从器件漏端电荷收集量的变化 (a) 主器件, (b) 从器件

影响主 pMOSFET 电荷收集的物理机理主要是漂移扩散和双极放大效应. 图 3 是单粒子电荷共享收集的示意图. 如图 3 所示, 在粒子轰击主 pMOSFET 漏端中央之后, 电离产生的一部分空穴会被主器件的漏端通过漂移扩散收集; 同时产生的过剩电子会造成阱电势的扰动, 导致主 pMOSFET 的源-沟道-漏寄生的 p^+-n-p^+ 双极型晶体管开启, 从而使得主器件源区注入空穴, 空穴穿过沟道被漏端收集, 增加漏端的电荷收集量. 这就是双极放大效应电荷收集机理.

pMOSFET SiO_2/Si 界面处界面态的积累, 不会影响漏端的漂移扩散收集过程. 然而, 在寄生双极晶体管开启之后, 源端注入的空穴在穿过沟道的过程中, 会受到 SiO_2/Si 界面散射 (界面不光滑度及声子散射), 这种散射会随着界面态的积累而增强, 导致界面处沟道迁移率不断下降, 其关系可以表示为^[17]

$$\mu_r = \frac{\mu_0}{(1 + K\Delta N_{it})}. \quad (1)$$

这里 K 为拟合常数, $K = (7.0 \pm 1.3) \times 10^{-13} \text{ cm}^2$; μ_0 和 μ_r 分别为初始及退化之后器件的界面处沟道迁

后, 主从 pMOSFET 漏端电荷收集量随时间的变化. 从图 2 可以看到, 随着 pMOSFET SiO_2/Si 界面处界面态的积累, 主从 pMOSFET 漏端电荷收集量均逐渐减少, 当 N_{it} 积累到 $1 \times 10^{12} \text{ cm}^{-2}$ 之后, 主 pMOSFET 漏端电荷收集量在经过 1.5 ns 的收集时间之后从 712 fC 下降到 638 fC, 减少了 10.4%; 从 pMOSFET 漏端的电荷收集量从 99 fC 下降到 87 fC, 减少了 12.1%.

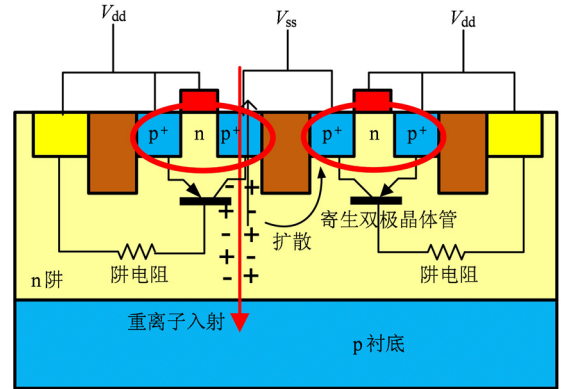


图 3 pMOSFET 单管之间的电荷共享收集

移率; ΔN_{it} 为界面态浓度的变化量. 由 (1) 式可知, 随着 N_{it} 的增加, μ_r 将下降. 根据爱因斯坦关系^[18]

$$D_B = \left(\frac{k_B T}{q} \right) \mu_r, \quad (2)$$

式中 k_B 为玻尔兹曼常数, T 为温度, q 为电荷常数, D_B 为界面处沟道区载流子扩散系数. 由 (2) 式可知, D_B 将随 μ_r 的下降而下降. 寄生双极晶体管共发射极电流增益因子 β 值可以表示为^[18]

$$\beta = \frac{1}{\frac{N_B}{N_E} \frac{D_E}{D_B} \frac{x_B}{x_E} + \frac{1}{2} \left(\frac{x_B}{L_B} \right)^2 + \frac{x_{BE} n_i L_B \tanh(x_B/L_B)}{2\tau_0 D_B n_{B0}} \exp\left(\frac{qV_{BE}}{2k_B T}\right)}, \quad (3)$$

式中 x_B 和 x_E 分别为基区和发射区宽度, D_B 和 D_E 分别为基区和发射区少数扩散系数, N_B 和 N_E 分别为基区和发射区掺杂浓度, L_B 为基区少数扩散长度, V_{BE} 为基区-发射区电压, n_{B0} 为基区热平衡少数浓度, x_{BE} 为 B-E 结空间电荷区宽度, τ_0 为载流子平均寿命, n_i 为本征载流子浓度. 由 (3) 式可知, β 值随着 D_B 的减小而减小. 在界面态积累的过程中, 除了沟道区 (即寄生 p^+-n-p^+ 晶体管基区) 的 D_B 下降之外, 其余参数都没有变化, 所以寄生双极晶体管的电流增益因子 β 值随着界面态的积累而下降, 减小了源端注入的空穴电流, 进一步减少了漏端的空穴电荷收集量.

影响从 pMOSFET 电荷收集的机理主要是横向扩散和双极放大效应. 如图 3 所示, 在粒子轰击主 pMOSFET 漏端中央之后, 电离产生的一部分空穴经

过横向扩散, 被从器件的漏端收集; 同时, 与主 pMOSFET 的收集机理相同, 双极放大效应也是从器件电荷收集的主要物理机理.

横向扩散主要发生在浅槽隔离下方的 n 阱中, pMOSFET 沟道区 SiO_2/Si 界面处界面态的积累不会对阱内的空穴横向扩散收集造成影响. 然而, 与主器件相同, 由于双极放大效应的减弱, 器件源端的空穴注入量减少, 进一步减少了器件漏端的电荷收集量.

为了进一步证明 pMOSFET 寄生 p^+-n-p^+ 双极晶体管 β 值减小, 双极放大效应减弱是导致主从器件单粒子电荷共享收集量减少的根本原因, 图 4 给出了主从 pMOSFET 源端的空穴注入电流. 由此可知, 随着界面态的积累, 空穴电流逐渐下降, 这证明了 β 确实在减少, 双极放大效应确实在减弱.

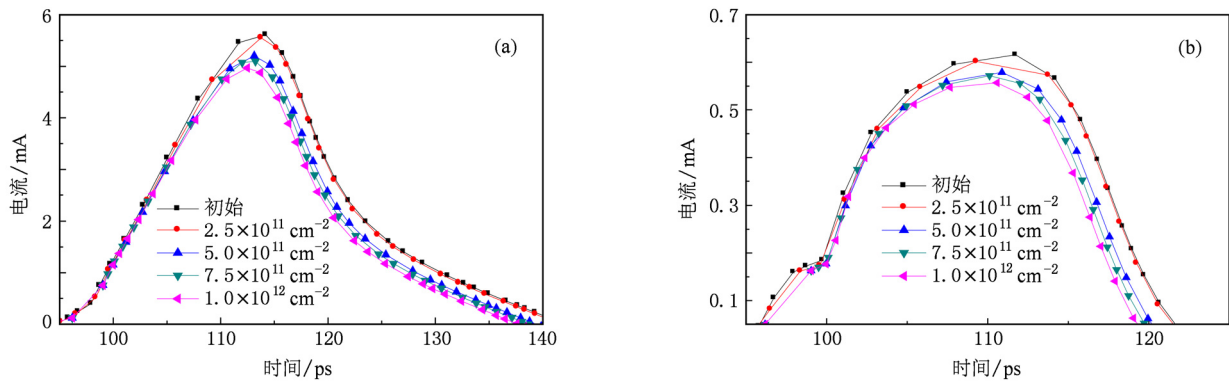


图 4 主从器件源端空穴注入电流的变化 (a) 主器件, (b) 从器件

为了更进一步证明双极放大效应减弱是导致主从 pMOSFET 漏端单粒子电荷共享收集量减少的根本原因, 我们去除主从 pMOSFET 的源端, 打破寄生 p^+-n-p^+ 结构之后再进行同样的电荷共享收集模拟. 图 5 给出了无源主从器件漏端的电荷收集量, 从中可以看到主从器件漏端的电荷收集量并没有随界面态的积累

而下降. 由此可知, 界面态的积累并没有改变主器件的漂移扩散收集和从器件的横向扩散收集. 与图 2 相比可以得出, 双极放大效应导致的电荷收集是有源器件漏端单粒子电荷共享收集的主要部分, 同时界面态导致寄生 p^+-n-p^+ 晶体管的 β 值减小 (即双极放大效应减弱) 是器件单粒子电荷共享收集量减少的原因.

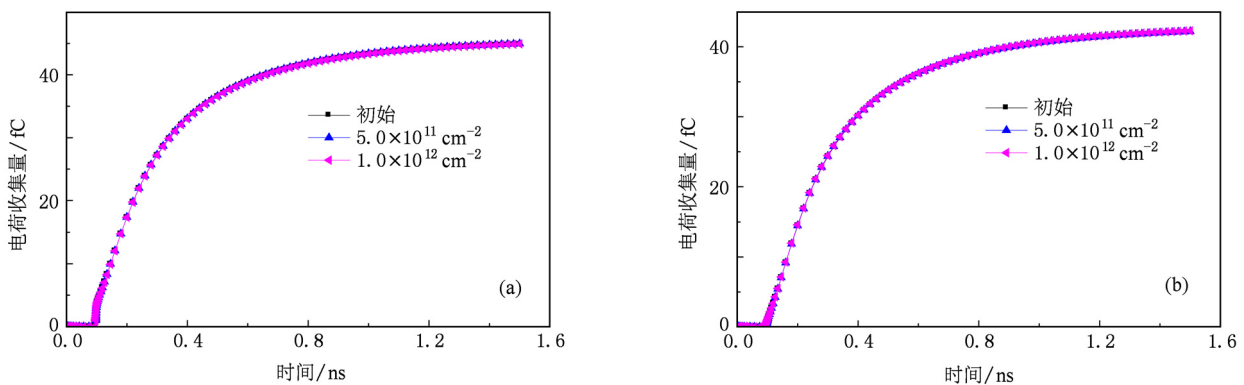


图 5 无源主从器件漏端电荷收集量的变化 (a) 主器件, (b) 从器件

为了更加直观地观察离子轰击之后主从器件漏端的电荷收集来源,我们截取了离子轰击 20 ps 之后器件体区空穴电流密度的二维分布,如图 6 所示,其中箭头表示空穴电流向主从器件漏端的流向. 图 6(a) 为空穴电流密度整体分布,图 6(b)为主器件源端的空穴电流密度分布的放大,图 6(c)为从器件源端的空穴电流密度分布的放大.

从图 6(a) 可以看到,在离子轰击数十皮秒之后,主器件漏端收集的空穴主要来自离子轰击之后

电离产生的空穴在垂直方向的漂移扩散以及主器件寄生双极晶体管开启之后源端空穴的注入. 从图 6(b) 可以看到,空穴在沟道区 SiO_2/Si 界面处电流密度非常大,达 10^7 A/cm^2 数量级,所以有大量源端注入的空穴穿过沟道被漏端收集. 对于从器件而言,此时漏端收集的空穴电流主要来源于离子轰击之后电离产生的空穴的横向扩散,而从器件此时阱区的电势扰动还不足以打开其寄生双极晶体管,所以从图 6(c) 可以看到从器件源端并没有较明显的空穴注入电流.

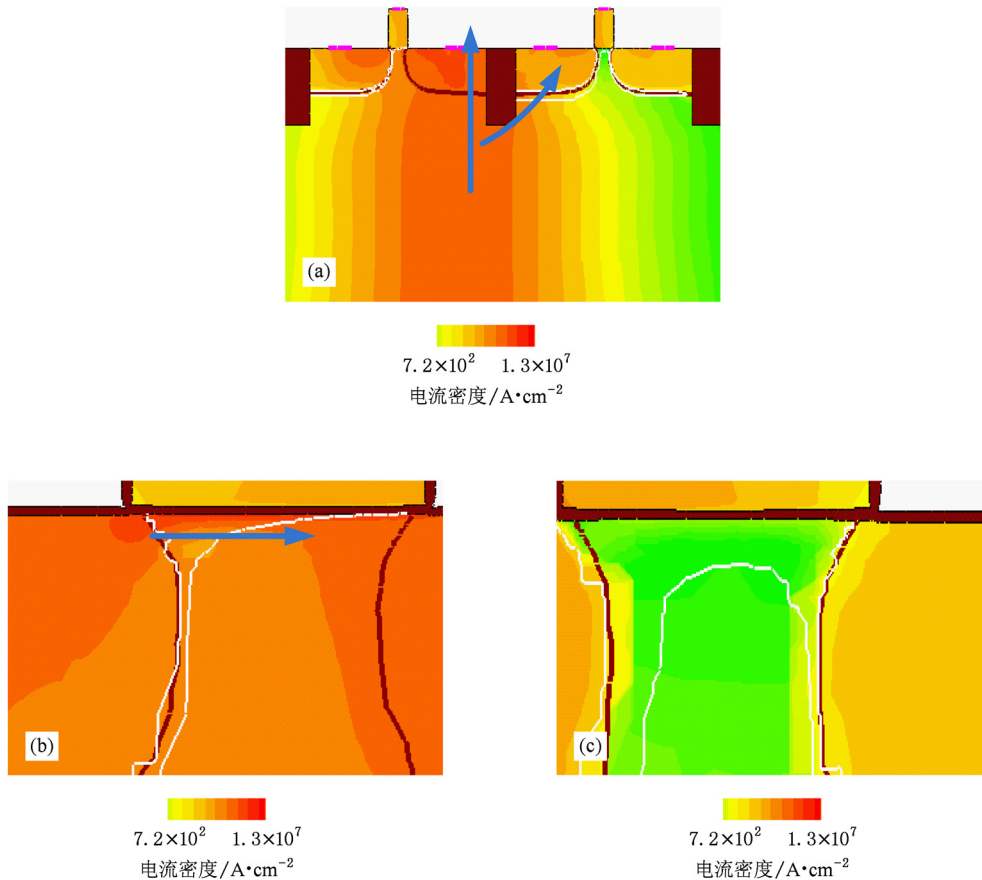


图 6 离子轰击 20 ps 之后空穴电流密度分布 (a) 整体分布, (b) 主器件源端, (c) 从器件源端

从图 7 可以看到,经过一段时间的复合或者电极的收集,离子轰击数百皮秒之后产生的空穴的电流密度已经很低,而主从器件源端注入的空穴的电流密度依然很高. 从图 7(b) 可以看到,主器件源端注入的空穴在沟道区 SiO_2/Si 界面处电流密度依然非常大,达 10^6 A/cm^2 数量级,所以有大量源端注入的空穴穿过沟道被主器件漏端收集. 对于从器件,其寄生双极晶体管也已经开启,从图 7(c) 可以看到,空穴在沟道区 SiO_2/Si 界面处电流密度也非常大,达 10^6 A/cm^2 数

量级,所以也有大量源端注入的空穴穿过沟道被从器件漏端收集.

3.2. 相邻反相器中 pMOSFET 之间电荷共享收集导致的多瞬态

图 8 给出了离子轰击相邻反相器中主 pMOSFET 漏端之后,主从反相器输出端电压 V_{out} 的变化情况. 主反相器输出端电压瞬态脉冲的宽度随着 pMOSFET 界面态的积累而减小,当 N_{it} 达到

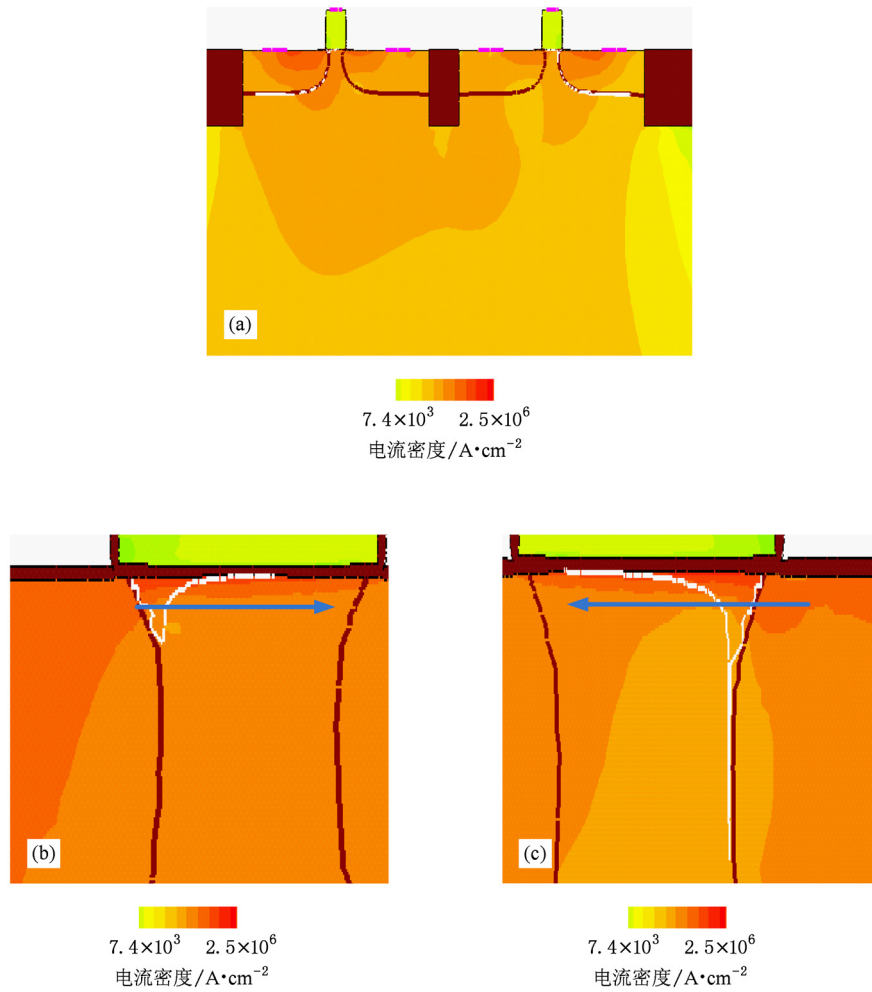


图7 离子轰击 500 ps 之后空穴电流密度分布 (a)整体分布,(b)主器件源端,(c)从器件源端

$1 \times 10^{12} \text{ cm}^{-2}$ 之后,电压瞬态脉冲的宽度(半高宽)从 493 ps 下降到 473 ps,压缩了 4.1%. 由于从反相器输出端电压瞬态脉冲还没有达到满幅度,所以电

压瞬态脉冲的幅度随着 pMOSFET 界面态的积累而减小,当 N_{it} 达到 $1 \times 10^{12} \text{ cm}^{-2}$ 之后,电压瞬态脉冲的幅度从 0.28 下降到 0.24,减小了 14.3%.

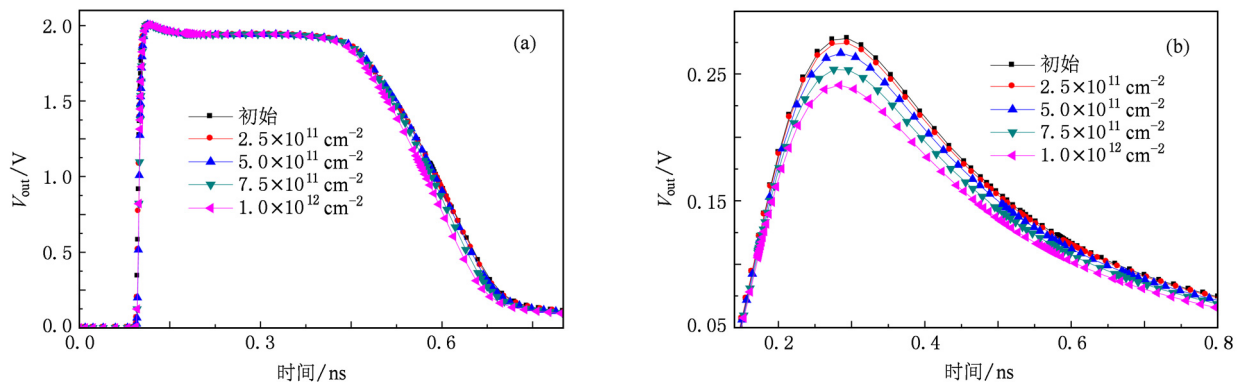
图8 主从反相器输出端电压 V_{out} 的变化 (a)主反相器,(b)从反相器

图9 是反相器中相邻 pMOSFET 之间单粒子电荷共享收集的示意图. 对于相邻反相器中主

pMOSFET 而言,在电荷收集的过程中会产生收集电流 I_p , 其中一部分以电流 I_n 通过下拉补偿主

nMOSFET 收集,一部分以电流 I_c 对寄生电容充电,任何时刻都应有 $I_p = I_n + I_c$. 由图 8(a) 可知,主 pMOSFET 漏端电压很快上升为高电平,所以寄生电容很快被充满,之后 $I_c = 0$,主 nMOSFET 处于饱和状态,收集电流 I_p 由下拉主 nMOSFET 饱和电流 I_n 决定,即 $I_p = I_n$,于是电压瞬态脉冲保持在高电平. 由上述分析可知,主 pMOSFET 电荷收集量随界面态的积累而减少,所以在相同的收集电流 I_n 下,电荷收集时间减少,使得产生的电压瞬态脉冲宽度也随之减小.

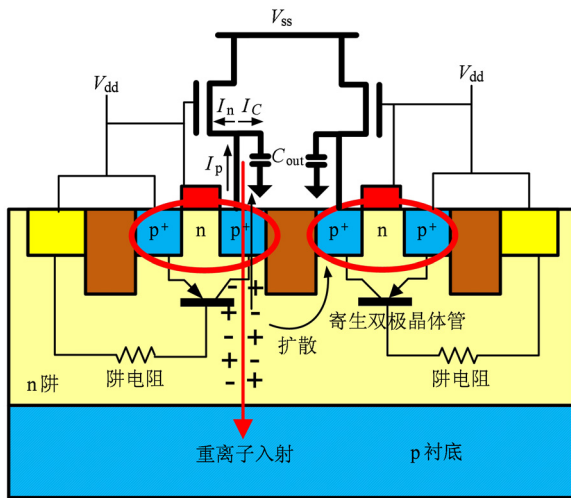


图9 反相器中 pMOSFET 之间的电荷共享收集

对于从 pMOSFET 而言,在电荷收集的过程中也要满足 $I_p = I_n + I_c$,由于从 pMOSFET 的 I_p 相对较小,电荷基本上被下拉 nMOSFET 收集,电容充电量较少,导致从 pMOSFET 漏端电压瞬态脉冲未能达到满幅度. 同理,由于从 pMOSFET 漏端的电荷收集量随界面态的积累而减少,使得其电压瞬态脉冲的幅度也相应减小.

3.3. 相邻反相器中 nMOSFET 之间电荷共享收集导致的多瞬态

图 10 显示了离子轰击相邻反相器中主 nMOSFET 漏端之后,主从反相器输出端电压 V_{out} 的变化情况. 随着 pMOSFET 界面态的积累,主从反相器输出端电压瞬态脉冲均出现了展宽,当 N_{it} 积累到 $1 \times 10^{12} \text{ cm}^{-2}$ 之后,主反相器输出端电压瞬态脉冲的宽度(半高宽)从 511 ps 增加到 591 ps,展宽了 15.7%. 由于从反相器输出端电压瞬态脉冲还没有达到满幅度,所以电压瞬态脉冲的幅度随着从

pMOSFET 界面态的积累而增加,当 N_{it} 达到 $1 \times 10^{12} \text{ cm}^{-2}$ 之后,电压瞬态脉冲的幅度从 0.44 增加到 0.84,增加了 90.9%.

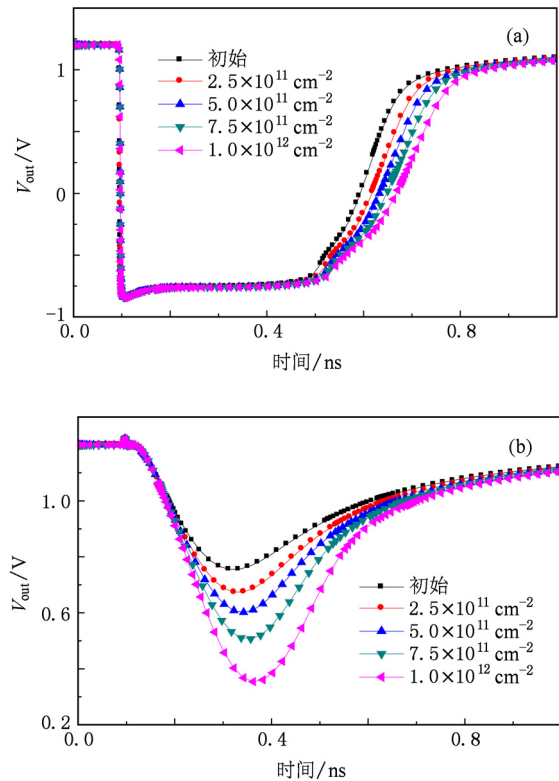


图10 主从反相器输出端电压 V_{out} 的变化 (a)主反相器, (b)从反相器

图 11 是反相器中相邻 nMOSFET 之间单粒子电荷共享收集的示意图. 如图 11 所示,当粒子轰击主 nMOSFET 的漏端时,会产生收集电流 I_n , I_n 等于上

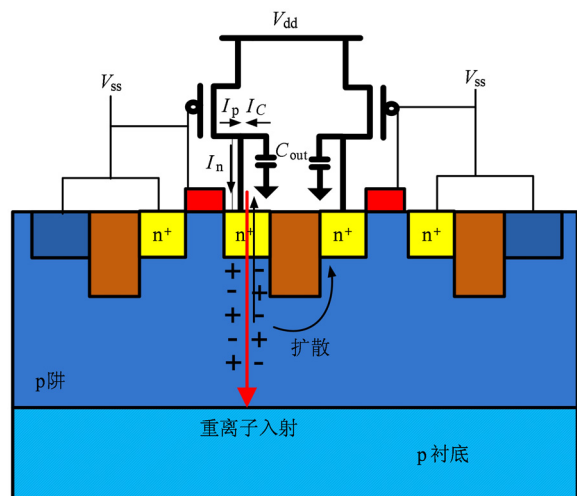


图11 反相器中 nMOSFET 之间的电荷共享收集

拉主 pMOSFET 的补偿电流 I_p 和漏端电容 C_{out} 的放电电流 I_c 之和, 即 $I_n = I_p + I_c$. 从图 10(a) 可以看到, 主器件漏端电压很快下拉为零, 所以寄生电容很快就完全放电, 收集电流 I_n 由上拉主 pMOSFET 饱和电流 I_p 决定 (即 $I_n = I_p$). 由于上拉主 pMOSFET 饱和电流因界面态的增加, 沟道载流子迁

移率的下降而不断减小 (图 12(a) 给出了主 pMOSFET 漏端电流 I_p 的波形, 台阶区电流即为主 pMOSFET 的饱和电流, 确实在不断减少), 所以主 nMOSFET 漏端的电荷收集效率降低. 电荷收集效率降低最终导致主 nMOSFET 漏端电压瞬态脉冲宽度的增加.

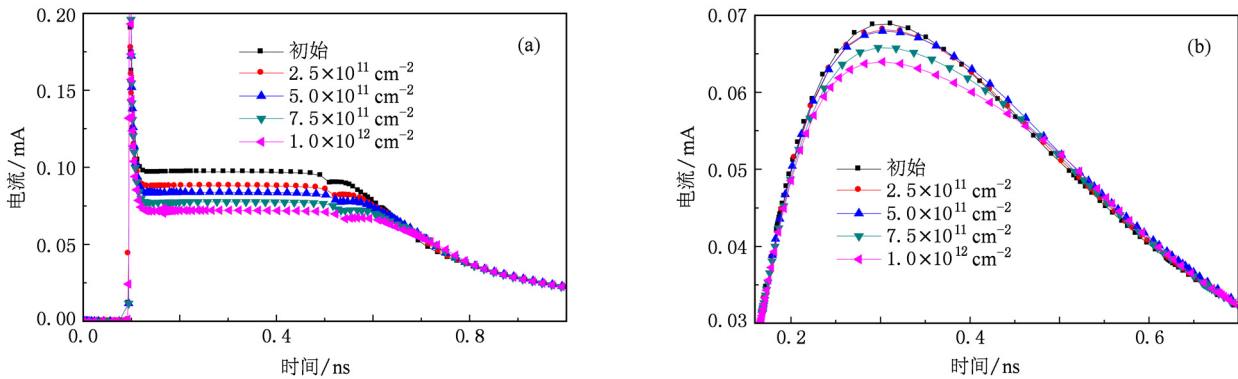


图 12 主 pMOSFET 漏端电流波形 (a) 主器件, (b) 从器件

对于从 nMOSFET 的电荷收集而言, 在电荷收集的过程中, 同样也要满足 $I_n = I_p + I_c$, 只是从器件漏端电压并没有下拉为零, 如图 10(b) 所示. 所以漏端电容并没有完全放电, 上拉 pMOSFET 工作在线性区. 在电荷收集过程中, 主器件电荷收集效率的减少必然使得横向扩散到从器件的电荷数增加, 增加从器件的电荷收集总量. 另一方面, 从器件上拉 pMOSFET 线性区电流因界面态的增加及沟道载流子迁移率的下降而不断减小, 使得所能提供的补偿电流 I_p 减小 (如图 12(b) 所示), 导致电荷的收集更多来自于从器件漏端电容 C_{out} 的放电, 即 I_c 的增加, 而寄生电容放电量的增加将导致从 nMOSFET 漏端电压瞬态脉冲的幅度增加.

4. 结 论

本文基于三维器件数值模拟, 研究了 130 nm 体硅工艺下 pMOSFET 栅氧化层与沟道的 SiO_2/Si 界面处界面态的积累对单粒子电荷共享收集及单粒子多瞬态的影响. 研究表明: 随着 pMOSFET SiO_2/Si 界面处界面态的积累, 其源-沟道-漏寄生 p^+-n-p^+ 双极晶体管电流增益因子 β 减小, 双极放大效应减弱, 导致相邻 pMOSFET 单管之间电荷共享收集量均减少; 同时, 随着 pMOSFET SiO_2/Si 界面处界面态的积累, 相邻反相器中 pMOSFET 之间电荷共享收集所导致的多瞬态脉冲出现了压缩, 而 nMOSFET 之间电荷共享收集所导致的多瞬态脉冲出现了展宽.

[1] Cao Y R, Ma X H, Hao Y, Zhang Y, Yu L, Zhu Z W, Chen H F 2007 *Chin. Phys. B* **16** 1140
 [2] Cao Y R, Hao Y, Ma X H, Hu S G 2009 *Chin. Phys. B* **18** 309
 [3] Cao Y R, Ma X H, Hao Y, Hu S G 2010 *Chin. Phys. B* **19** 473
 [4] Islam A E, Kufluoglu H, Varghese D, Mahapatra S, Alam M A 2007 *IEEE Trans. Electron Dev.* **54** 2143
 [5] Schroder D K 2007 *Microelectron. Reliab.* **47** 841
 [6] Paul B C, Kang K, Kufluoglu H, Alam M A, Roy K 2005 *IEEE Electron Dev. Lett.* **26** 560

[7] Kang K, Kufluoglu H, Roy K, Alam M A 2007 *IEEE Trans. Comput. Aided Des. Integr. Circ. Syst.* **26** 1770
 [8] Amusan A, Witulski A F, Massengill L, Bhuvu B L, Fleming P R, Alles M L, Sternberg A L, Black J D, Schrimpf R D 2006 *IEEE Trans. Nucl. Sci.* **53** 3253
 [9] Narasimham B, Amusan O A, Bhuvu B L, Schrimpf R D, Holman W T 2008 *IEEE Trans. Nucl. Sci.* **55** 3077
 [10] Casey M C, Duncan A R, Bhuvu B L, Robinson W H, Massengill L W 2008 *IEEE Trans. Nucl. Sci.* **55** 3136

- [11] Amusan A, Casey M C, Bhuva B L, McMorrow D, Gadlage M J, Melinger J S, Massengill L W 2009 *IEEE Trans. Nucl. Sci.* **56** 3065
- [12] Amusan A, Massengill L W, Baze M P, Bhuva B L, Witulski A F, DasGupta S, Sternberg A L, Fleming P R, Heath C C, Alles M L 2007 *IEEE Trans. Nucl. Sci.* **54** 2584
- [13] Liu B W, Chen S M, Liang B, Liu Z, Zhao Z Y 2009 *IEEE Trans. Nucl. Sci.* **56** 2473
- [14] Zhou J, Fleetwood D M, Felix J A, Gusev E P, Emic C D 2005 *IEEE Trans. Nucl. Sci.* **52** 2231
- [15] Silvestri M, Gerardin S, Paccagnella A 2008 *IEEE Trans. Nucl. Sci.* **55** 3216
- [16] Silvestri M, Gerardin S, Paccagnella A 2008 *IEEE Trans. Nucl. Sci.* **55** 1960
- [17] Sexton F W, Schwank J R 1985 *IEEE Trans. Nucl. Sci.* **32** 3975
- [18] Neamen D A 2003 *Semiconductor Physics and Devices: Basic Principles* (3rd ed) (Beijing: Tsinghua University Press) p393

Influence of interface traps of p-type metal-oxide-semiconductor field effect transistor on single event charge sharing collection^{*}

Chen Jian-Jun[†] Chen Shu-Ming Liang Bin Liu Bi-Wei Chi Ya-Qing Qin Jun-Rui He Yi-Bai

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

(Received 3 September 2010; revised manuscript received 29 March 2011)

Abstract

Due to negative bias temperature instability and hot carrier injection, p-type metal-oxide-semiconductor field effect transistor (MOSFET) will degrade with time, and the accumulation of interface traps is one major reason for the degradation. In this paper, the influence of the accumulation of pMOSFET interface traps on single event charge sharing collection between two adjacent pMOSFET is studied based on three-dimensional numerical simulations on a 130 nm bulk silicon complementary metal-oxide-semiconductor process, the results show that with the accumulated interface traps increasing, the charge sharing collection reduces for both the two pMOSFETs. The influence of the accumulation of pMOSFET interface traps on single event charge sharing induced multiple transient pulses between two adjacent inverters is also studied, the results show that the multiple transient pulses induced by the two pMOSFET charge sharings will be compressed, while multiple transient pulses induced by the two nMOSFET charge sharing will be broadened.

Keywords: negative bias temperature instability, charge sharing collection, bipolar amplification effect, single event multiple transient

PACS: 61.80. Jh, 85.30. Tv, 43.30. Hw

^{*} Project supported by the Key Program of the National Natural Science Foundation of China (Grant No. 60836004) and the National Natural Science Foundation of China (Grant No. 61006070).

[†] E-mail: cjj192000@yahoo.com.cn.