

SOI SONOS EEPROM 总剂量辐照阈值退化机理研究*

李蕾蕾^{1)4)†} 于宗光¹⁾⁴⁾ 肖志强²⁾⁴⁾ 周昕杰³⁾

1) (西安电子科技大学微电子学院, 西安 710071)

2) (电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054)

3) (东南大学电子科学与工程学院, 南京 210096)

4) (中国电子科技集团公司第五十八研究所, 无锡 214035)

(2010年10月17日收到; 2010年12月31日收到修改稿)

阈值退化是器件特性退化最重要的表征. 本文以研究 SOI SONOS EEPROM 器件的前栅和背栅阈值电压在辐照环境下的漂移为入手点, 深入研究了在辐照情况下器件的退化; 并从物理能带和载流子漂移的角度, 分析了导致阈值电压漂移的物理机理, 提出了提高器件性能的措施.

关键词: SONOS EEPROM, SOI, 辐照, 能带

PACS: 85.40. - e

1. 引言

伴随着可携带式电子产品的普及, 非挥发性存储器件 (Nonvolatile Memory Device) 在半导体存储器件中扮演着越来越重要的角色^[1-5]. 随着 EEPROM 器件尺寸的不断缩小, 广泛使用的浮栅 (Floating Gate) EEPROM 器件的集成度受到了限制, 而为了维持其正常工作特性, 7nm 的隧道氧化层厚度几乎已经成为浮栅器件所能承受的极限^[1,2]. 且由于浮栅结构 EEPROM 需要高压完成擦、写, 使得与 CMOS 器件集成难度增大^[2]. 另外, 随着集成度的一再提高, EEPROM 器件的尺寸持续缩小, 导致因过度擦除引起的反常漏电流越发严重, 致使在三十多年前就被提出的 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 器件又重新被关注^[2]. 除了小的器件尺寸之外, SONOS EEPROM 还具有很多优势^[1-3,6], 如耐久性好, 操作电压低和功耗低, 工艺过程简单并与标准 CMOS 工艺兼容等, 所以 SONOS EEPROM 也开始大量应用于航天系统之中, 使得研究 SONOS EEPROM 的辐照效

应具有重大现实意义.

文中采用的另一种重要技术——SOI 技术早在 1975 年开始应用于军事、空间工程中^[7]. 由于 SOI 器件和衬底间进行了完全的介质隔离, 基于 SOI 材料的器件能够彻底避免闩锁问题; 并且 SOI 器件中只有顶层硅膜中产生的电子才能被收集, 故对高能离子敏感区域较小; 同时 SOI 器件硅膜较薄, 电荷收集路径更短, 其抗单粒子能力很强, 通常力比体硅要大几个数量级^[8,9]. SOI 技术优良的抗单离子激发了我们结合 SOI 技术与 SONOS EEPROM 的热情.

迄今为止, 国内外的诸多学者对浮栅 EEPROM, SONOS EEPROM 等存储器件特性, 包括其辐照特性开展了大量的研究^[1-5,10-16], 但关于 SOI SONOS EEPROM 器件的抗辐照特性研究还未见报道. 本文在 SOI 工艺下制作了 SONOS EEPROM 存储器, 并从半导体器件物理和能带理论的角度对 SOI SONOS EEPROM 器件的总剂量辐照损伤机理进行了分析, 揭示了在总剂量辐照下 SOI SONOS EEPROM 器件的阈值退化机理, 开展了相关总剂量辐照特性研究.

* 极大规模集成电路制造装备及成套工艺国家科技重大专项(批准号:2009ZX02306-04)资助的课题.

† E-mail: LLL225@yahoo.com.cn

2. SOI SONOS EEPROM 的结构及工作原理

SOI SONOS EEPROM 存储单元的基本结构如图 1 所示. 在 SOI 基底材料上制作 SONOS EEPROM 器件, 器件和衬底间有一层较厚的氧化层(埋氧层)将衬底和器件彻底隔离开, 不仅杜绝了门锁现象、减小漏电, 同时能够减小单粒子辐照对器件的影响, 为器件性能的提升提供良好材料平台^[15,17]. SONOS EEPROM 存储器借助 ONO(top oxide-nitride-bottom oxide)“三明治”结构来存储电荷, 电荷存储在 Si₃N₄ 层中, 由于电荷存储在绝缘介质里, 该介质中的单一缺陷不会导致器件存储信息的泄露, 致使器件失效^[1].

3. 总剂量辐照实验

实验中所用器件是在自行研发的 0.8 μm SOI

CMOS 工艺线上实现的全耗尽 H 型栅 SOI SONOS EEPROM 器件, 器件主要参数: 顶层硅厚度为 205 ± 5 nm, 埋氧层厚度为 375 ± 5 nm. 对 SOI SONOS EEPROM 存储器单元做了总剂量辐照实验, 同时对擦、写阈值电压退化进行了深入研究, 并研究了背栅阈值电压的漂移.

辐照前, 对 EEPROM 存储器单元进行了擦和写, 擦、写的条件见表 1.

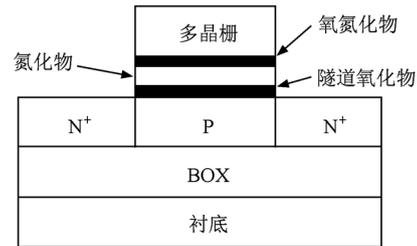


图 1 SOI SONOS EEPROM 器件结构示意图

表 1 擦、写的条件

	V_G (前栅)/V	V_D (漏端)/V	V_S (源端)/V	V_B (衬底)/V	V_E (背栅)/V	擦·写时间/ms
擦除	-14	0	0	0	0	4
写入	14	0	0	0	0	4

测试单元被“写”后的初始阈值电压为 5.7 V, “擦”后的初始阈值电压为 1.5 V, 典型的背栅初始阈值电压为 23.5 V.

辐照实验采用 C₆₀-γ 射线源, 剂量率为 50 rad(Si)/s, 使用 HP4145A 参数分析仪对器件进行参数测量, 辐照时器件偏置如表 2 所示.

表 2 辐照时器件偏置

	V_G (前栅)/V	V_D (漏端)/V	V_S (源端)/V	V_B (衬底)/V	V_E (背栅)/V
偏置	2.5	1.5	0	0	0

实验测量了总剂量为 15, 30, 60, 100, 200, 300 krad(Si) 时的 I_D 随前栅压、背栅压的变化情况, 见图 2, 图 3, 图 4. 图 2、图 3 中分别表示擦、写过器件经辐照后漏端电流的变化情况, 发现随辐照剂量的增大, 漏端电流增加明显, 写状态下器件的漏端电流更大. 图 4 中背栅电流随辐照剂量增大而迅速增大, 当总剂量为 300 krad(Si) (1 rad = 10⁻²Gy) 时, 背栅虽没有发生反型, 但背栅开启电压大大降低.

器件前栅阈值电压 (V_t) 随辐照总剂量的变化关系如图 5 所示, 发现“擦”、“写”后器件的阈值电压变化趋势一致, 阈值电压均减小, 但是被“写”过的器件的阈值电压变化更大. 这一现象与 Drapper

的研究结果一致^[18].

实验发现, 器件“擦”阈值随辐照总剂量的变化较为平缓, 当辐照总剂量达到 300 krad(Si) 时, “擦”阈值减小 0.4 V, 较初始状态阈值电压减小 26.7%, 较首次经辐照时的阈值电压减小 21.4%; 而此时“写”阈值电压减小 2.1 V, 较初始状态阈值电压减小 36.8%, 较首次经辐照时的阈值电压减小 21.7%. 当器件首次受到辐照时, 损伤积累在器件中, 对器件的“写”阈值造成较大影响. 随辐照总剂量由 15 krad(Si) 增强至 300 krad(Si) 时, 阈值窗口变化不大, 器件抗总剂量辐照特性平稳, 说明此类器件在满足工作要求时, 抗总剂量特性更加稳定,

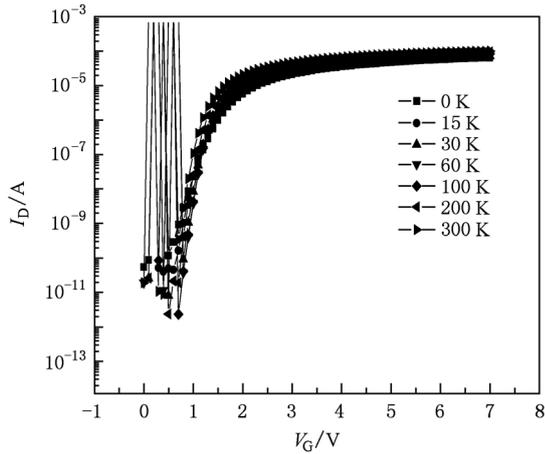


图2 擦状态下辐照前后 I_D - V_G

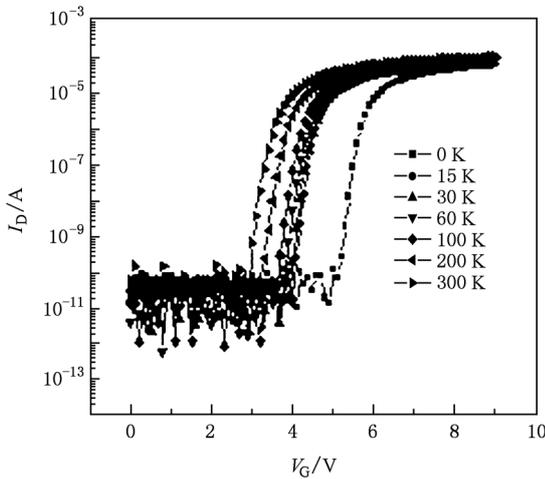


图3 写状态下辐照前后 I_D - V_G

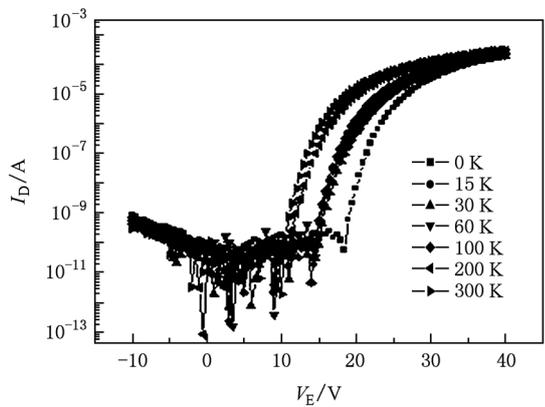


图4 辐照前后 I_D - V_E

更适合应用于空间环境。

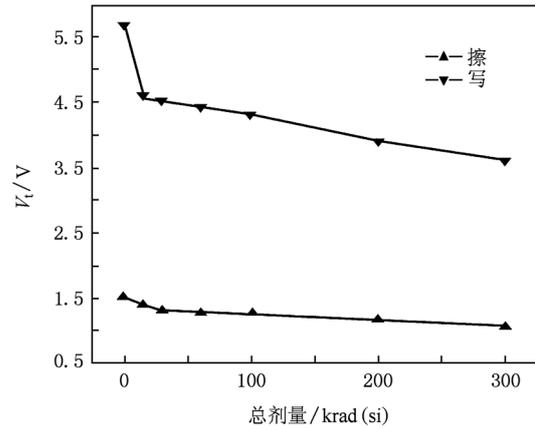


图5 SOI SONOS EEPROM 阈值电压窗口变化

4. 总剂量辐照效应机理分析与讨论

4.1. 写入

图6为SOI SONOS EEPROM器件写入时的能带示意图. 器件在纵向方向形成电场, 电场方向指向衬底, 在该电场作用下, 电子被吸引到Si膜表面, 并穿过底部SiO₂层进入Si₃N₄中, 完成写入.

4.2. 擦除

图7为SOI SONOS EEPROM器件擦除时的能带示意图. 前栅-衬底间形成电场, 电场方向指向前栅, 该电场将空穴吸引到Si膜表面, 当场强达到一定量值时, 空穴穿过底部SiO₂层进入Si₃N₄中, 中和原先写入Si₃N₄中的电子.

4.3. “写入”后器件在辐照下的前栅阈值漂移

图8为“写入”后的器件在辐照下的能带示意图, 图中标出了辐照下器件中的载流子走向. 由于Si₃N₄层中俘获了大量电子, 呈低电势, 前栅和背栅接正电压和地, 相较于Si₃N₄呈高电势, 在底部和顶部SiO₂层中形成反方向的 E_1, E_2 电场, 因辐照在Si₃N₄, SiO₂层中产生的电子-空穴对和原本存储在Si₃N₄中的电子在电场作用下向不同方向移动, 使前栅阈值电压减小. 图8中导致器件前栅阈值电压退化的主要途径有:

1) 辐照使SiO₂层中产生电子-空穴对, 电子在 E_1, E_2 作用下移动到体和栅上, 离开氧化层; 而一部分空穴沿电场方向缓慢移动到SiO₂-Si₃N₄界面形

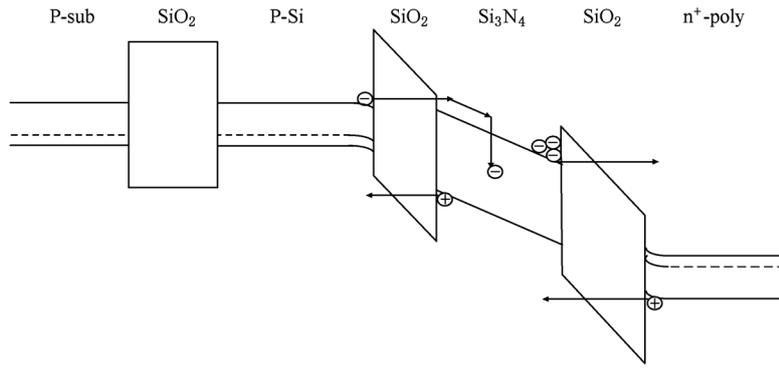


图6 SOI SONOS EEPROM 器件写入时的能带示意图

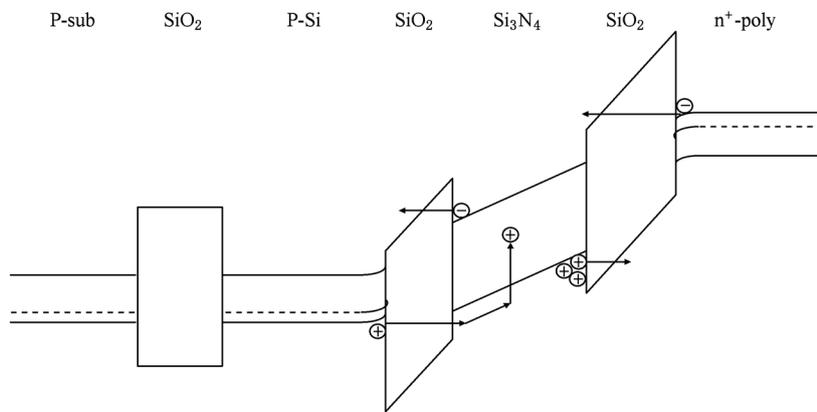


图7 SOI SONOS EEPROM 器件擦除时的能带示意图

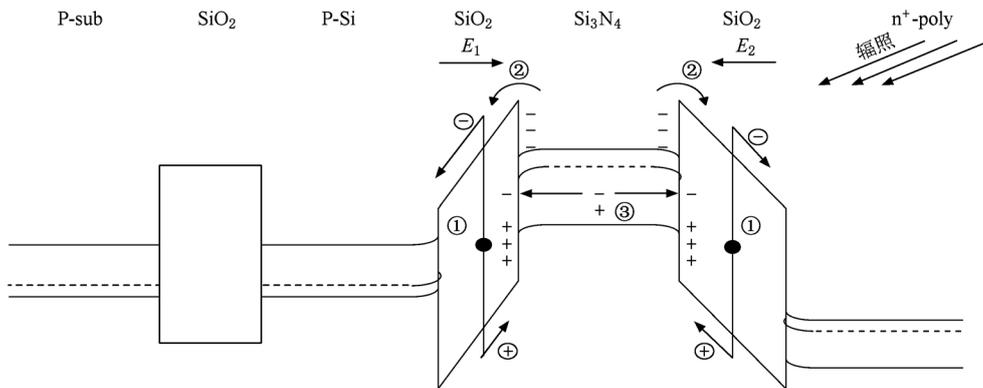


图8 “写入”后 SOI SONOS EEPROM 在辐照下能带示意图

成界面态,使得前栅阈值电压下降.

2) Si_3N_4 中俘获的电子在接收到高辐照能量时,部分被激发出 Si_3N_4 ,使 Si_3N_4 电势增高,前栅阈值电压下降.

3) 辐照使 Si_3N_4 中产生电子-空穴对,电子在 E_1, E_2 下运动至界面处或者离开 Si_3N_4 进入氧化层,

留下迁移率较小的空穴,使 Si_3N_4 电势升高,导致前栅阈值电压降低.

实验发现,当辐照剂量达到 300 krad(Si)时,写阈值电压从初始状态的 5.7 V 下降至 3.6 V,累计降低 36.8%;尤其是在首次辐照后,前栅阈值电压大幅降至 4.6 V,降低 21.7%. 该现象与对图 8 的分析

相符合:在辐照下,器件中的电子、空穴发生快速迁移,导致前栅阈值电压降低,同时能带和势垒高度均发生变化,.

4.4. “擦除”后器件在辐照下的前栅阈值漂移

图9 为被“擦”过的器件在辐照下的能带示意图,

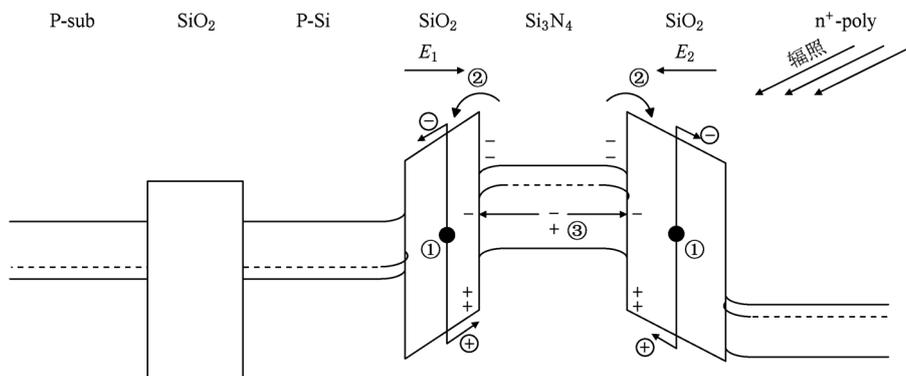


图9 “擦除”后 SOI SONOS EEPROM 在辐照下能带示意图

通过辐照实验发现,当辐照总剂量达 300 krad (Si)时,被“擦”过的器件的前栅阈值电压为 1.1 V,较初始状态的 1.5 V 降低了 26.7%,比被“写”过的器件的前栅阈值电压变化小很多.实验现象与对图 9 的分析符合,即阈值退化的根本原因是由于器件中产生电子-空穴对,且发生迁移,使得电势分布发生变化,导致阈值电压变化.

4.5. 在辐照下的背栅阈值退化

“写”过和“擦”过的 SOI SONOS EEPROM 器件在辐照下,埋氧层中都会产生电子-空穴对,由于电子迁移率远大于空穴,电子将快速离开埋氧层,留下空穴,引起背栅阈值电压减小;当固定下来的空穴积累到一定量,则会导致背栅反型,使得前栅无法控制器件.

实验中器件的背栅阈值电压初始值为 23.5 V,随辐照总剂量的增大,背栅阈值发生漂移,见表 3.

表 3 背栅阈值电压漂移

总剂量/kad(Si)	15	30	60	100	200	300
背栅开启电压/V	21	21	20	20	16.5	15.5
背栅开启电压漂移/V	2.5	2.5	3.5	3.5	7	8

实验发现虽然总剂量达 300 krad(Si)时,背栅未发生反型,但此时背栅开启电压已经大大降低,

图中标出了辐照下的器件中载流子走向.发现,“擦”过的器件受辐照影响趋势与“写”过的器件相似,但是,“擦”过器件的 Si_3N_4 层中俘获的电子较少,呈较低电势,在底部和顶部 SiO_2 层中形成的电场 E_1, E_2 比“写入”后器件中的电场强度小得多,导致被“擦”过器件的前栅阈值电压变化比“写”过的要小(见图 5).

背栅在 15.5 V 电压下就能开启,漏电显著增大,影响器件工作的可靠性.实验表明,没有经过辐照的器件背栅开启电压为 23.5 V,经 15 krad(Si)辐照后,开启电压下降 2.5 V;辐照剂量增至 300 krad(Si)时,开启电压下降 8 V,降至 15.5 V,只有初始开启电压的 66%,背栅中的多子和少数子数量发生变化;若辐照剂量再增大,将最终降使背栅反型,前栅失去对背栅的控制力,器件失效.因此在器件设计、加工时不仅要关注对前栅阈值的影响,对背栅阈值电压的影响也不能忽视.

4.6. 讨论

在设计器件时,根据能带理论,考虑了介质层中的能带关系,通过调节 Si_3N_4 层中的组分比例,控制 SiO_2 和 Si_3N_4 的势垒高度.在 Si_3N_4 底部采用富含 Si 的 Si_3N_4 膜,以降低势垒高度,使隧穿效应易于发生,提高擦、写效率;而在 Si_3N_4 顶部用富含 N 的 Si_3N_4 膜,以提高势垒,加大 Si_3N_4 中电荷隧穿到顶层 SiO_2 的难度.由于埋氧层的存在,辐照会在其中激发出正电荷,还会产埋氧层-硅界面陷阱,故 SOI 器件的抗总剂量性能比体硅器件差^[19].但是,对比同一工艺线上制备的 0.8 μm 体硅单多晶 EEPROM 器件的抗总剂量特性(见表 4),发现在能带理论指导下研制的 SOI SONOS EEPROM 器件抗

辐照性能在稳定性方面还要好于体硅单多晶 EEPROM 器件.

表4 两种 EEPROM 器件在 300 krad(Si) 总剂量辐照下
阈值窗口对比

	阈值窗口/V	较初始值闭合比例/%
体硅单多晶 EEPROM 器件	3	50
SOI SONOS EEPROM 器件	2.5	40

国内外相关文献中提出的几类提高 EEPROM 器件的工作性能和抗辐照能力的措施都与本文的物理能带分析一致. 2005 年 Wu 等人通过控制反应气体流速比, 控制生成的氮化硅层原子数比, 使得 SONOS 中氮化硅层的能带结构变为锥形, 得到更大的擦/写窗口, 降低了阈值电压的漂移^[20]. 同年, 又有学者通过调节 SONOS 氮化硅层中的原子数比, 减小了氮化硅层边缘的能带宽度, 提高了存储在氮化硅层中电荷逃逸的代价, 增强了器件保持特性^[21]. 2007 年 Wang 等人对 SONOS EEPROM 存储器中的能带情况进行研究, 并指出 SONOS EEPROM 存储器的擦除速度主要由底部氧化层决定, 该层介质的厚度直接影响器件的擦除效率^[22]. 同年, Wang 等人模拟了 SONOS 存储器件的擦/写速度, 与本文的能带分析一致, 即擦、写效率与底部氧化层中的电场强度呈成正比, 当工作电压不变、底部氧化层的电势差不变时, 底部氧化层的厚度与器件的擦/写效率成反比^[23].

5. 结 论

本文研究了 SOI SONOS EEPROM 器件在辐照下的物理能带变化和载流子的移动, 分析了器件的工作原理和阈值退化机理. 认为在 SOI SONOS

EEPROM 器件的设计、制造过程中可以采用如下措施来提高器件的工作性能:

1. 提高“写”效率的措施: 1) 提高写电压、减薄底部氧化层, 以此提高底部氧化层的电场, 可以使电子更容易穿过底部氧化层到达氮化层; 2) 在制作氮化硅层时, 引入更多的电子陷阱, 提高 Si_3N_4 对电子的俘获效率.

2. 为了提高“擦”效率的措施: 提高擦电压、减薄底部氧化层, 以此提高底部氧化层中的场强, 使得空穴更容易穿过底部氧化层到达氮化层中和存储的电子.

3. 提高器件抗总剂量能力的措施: 1) 由于 SOI 器件有埋氧层, 大大降低了器件的抗总剂量能力, 可以在埋氧层中注入硅等物质, 产生电子陷阱, 补偿陷入氧化层中的正电荷; 2) 减少埋氧层厚度, 以此减少因辐照产生的电子-空穴对的数量; 3) 提高背界面的掺杂浓度, 提高背栅的阈值电压, 减小背栅阈值漂移.

4. 从对能带变化的研究结果中发现, 为了提高器件的抗总剂量性能, 还可以在制造过程中, 调整 Si_3N_4 层的组分, 例如可以引入其他材料或者调整氮化硅层的氮、硅比例, 借此改变氮化硅层能带的弯曲方向和宽窄, 增大电子离开 Si_3N_4 层的难度, 尽量保持 Si_3N_4 的电性平衡, 减小阈值变化.

SOI 工艺的出现极大地促进了集成电路产业的发展, 也提出了众多的研究方向. 本文将 SOI 技术引入 SONOS EEPROM 器件中, 并从半导体器件物理和能带理论的角度分析了 SOI SONOS EEPROM 器件在辐照环境下的工作和失效过程, 对研究 SOI EEPROM 器件的性能和辐照失效机理具有借鉴意义.

[1] White M H, Adams D A, Bu J 2000 *IEEE Circuits and Devices Magazine* **16** 22

[2] Fang S H, Cheng X L 2007 *Chinese Journal of Electron Devices* **30** 1211 (in Chinese) [房少华、程秀兰 2007 电子器件 **30** 1211]

[3] Takeuchi H, King T J 2003 *IEEE Electron Device Letters* **24** 309

[4] Kuesters K H, Ludwig C, Mikolajick T, Nagel N, Specht M, Pissors V, Schulze N, Stein N, Willer J 2006 ICSICT 06. 8th International Conference on Solid-State and Integrated Circuit Technology Shanghai, Oct. 23—26 2006, p740

[5] Li L L, Liu H X, Yu Z G, Hao Y 2006 *Acta Phys. Sin.* **55** 2459 (in Chinese) [李蕾蕾、刘红侠、于宗光、郝跃 2006 物理学报 **55** 2459]

[6] Wallinger, T 2007 *Semiconductor International* **30** 49

[7] Binder D, Smith E C, Holman A B 1975 *IEEE Transactions on Nuclear Science* **22** 2675

[8] Musseau O 1996 *IEEE Transactions on Nuclear Science* **43** 603

[9] Schwank J R, Ferlet-Cavrois V, Shaneyfelt M R, Paillet P, Dodd P E 2003 *IEEE Transactions on Nuclear Science* **50** 522

[10] Du P Y, Lue H T, Wang S Y, Huang T Y, Hsieh K Y, Liu R,

- Lu C Y 2008 *IEEE Transactions on Electron Devices* **55** 2230
- [11] He C H, Geng B, Yang H L, Chen X H, Wang Y P, Li G Z 2003 *Acta Phys. Sin.* **52** 180 (in Chinese) [贺朝会、耿斌、杨海亮、陈晓华、王燕萍、李国政 2003 物理学报 **52** 180]
- [12] Fang S H, Cheng X L, Huang Y, Gu H H 2007 *Acta Phys. Sin.* **56** 6634 (in Chinese) [房少华、程秀兰、黄晔、顾怀怀 2007 物理学报 **56** 6634]
- [13] Yu Z G, Lu F, Xu Z, Ye S Y, Huang W, Wang W Y, Xu J Y 2000 *Acta. Electronica Sinica* **28** 90 (in Chinese) [于宗光、陆锋、徐征、叶守银、黄卫、王万业、许居衍 2000 电子学报 **28** 90]
- [14] Cellere G, Pellati P, Chimenton A, Wyss J, Modelli A, Larcher L, Paccagnella A 2001 *IEEE Transactions on Nuclear Science* **48** 2222
- [15] Cai J R 2004 *Electronic and Packing* **4** 20 (in Chinese) [蔡菊容 2004 电子与封装 **4** 20]
- [16] Zhao F Z, Liu M X, Guo T L, Liu G, Hai C H, Han Z S, Yang S C, Li R B, Lin D S, Chen W 2008 *Chin. Phys. B* **17** 4509
- [17] Wu A M, Chen J, Zhang E X, Yang H, Zhang Z X, Wang X 2007 *Functional Materials Information* **38** 866 (in Chinese) [武爱民、陈静、张恩霞、杨慧、张正选、王曦 2007 功能材料信息 **38** 866]
- [18] Draper B, Dockerty R, Shaneyfelt M, Habermehl S, Murray J 2008 *IEEE Transactions on Nuclear Science* **55** 3202
- [19] Huang R, Zhang G Y, Li Y X, Zhang X 2005 *SOI CMOS Technology and Its Application* (Beijing: Science Press) p154 (in Chinese) [黄如、张国艳、李映雪、张兴 2005 SOI CMOS 技术及其应用(北京:科学出版社)第154页]
- [20] Wu K H, Chien H C, Chan C C 2005 *IEEE Transactions on Electron Devices* **52** 992
- [21] Chien H C, Kao C H, Chang J W 2005 *Microelectronic Engineering* **80** 256
- [22] Wang S Y, Lue H T, Lai E K, Yang L W, Yang T, Chen K C, Gong J, Hsieh K Y, Liu R, Lu C Y 2007 Reliability Physics Symposium 2007 *Proceedings 45th Annual. IEEE International*, Phoenix, AZ, April 15—19 2007 p175
- [23] Wang G, Eichenlaub N T, Jin Z A, Zhang Y L, White M H 2007 *Semiconductor Device Research Symposium 2007 International*, College Park, MD, Dec. 12—14 2007 p1

Threshold voltage degradation mechanism of SOI SONOS EEPROM under total-dose irradiation*

Li Lei-Lei¹⁾⁴⁾ Yu Zong-Guang¹⁾⁴⁾ Xiao Zhi-Qiang²⁾⁴⁾ Zhou Xin-Jie³⁾

1) (*School of Microelectronics, Xidian University, Xi'an 710071, China*)

2) (*State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China*)

3) (*School of Electronic Science and Engineering, South-East University, Nanjing 210096, China*)

4) (*The 58th Research Institute of China Electronics Technology Group Corporation, Wuxi 214035, China*)

(Received 17 October 2010; revised manuscript received 31 December 2010)

Abstract

Threshold voltage drift is one of the most important characteristics of device degradation. Based on the research of threshold drifts of the front and the back gate of SOI SONOS EEPROM, device degradation is studied in irradiation environment. Physical mechanism of threshold drifts is analyzed through physical band and mobile carrier analysis. And measures to improve device performance are proposed.

Keywords: SONOS EEPROM, SOI, radiation, physical bands

PACS: 85.40. - e

* Project supported by the "GLSI (Giant Large Scale Integration) Equipment and Craft" of the State Important Sci-Tech Special Projects (Grant No. 2009ZX02306-04).

† E-mail: LLL225@yahoo.com.cn