

## 单轴应变硅 nMOSFET 栅隧穿电流模型\*

吴华英<sup>†</sup> 张鹤鸣 宋建军 胡辉勇

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2010年10月12日收到; 2010年12月3日收到修改稿)

本文基于量子机制建立了单轴应变硅 nMOSFET 栅隧穿电流模型, 分析了隧穿电流与器件结构参数、偏置电压及应力的关系. 仿真分析结果与单轴应变硅 nMOSFET 的实验结果符合较好, 表明该模型可行. 同时与具有相同条件的双轴应变硅 nMOSFET 的实验结果相比, 隧穿电流更小, 从而表明单轴应变硅器件更具有优势. 该模型物理机理明确, 不仅适用于单轴应变硅 nMOSFET, 只要将相关的参数置换, 该模型也同样适用于单轴应变硅 pMOSFETs.

**关键词:** 单轴应变, nMOSFET, 栅隧穿电流, 模型

**PACS:** 73.40.Qv, 73.43.Jn, 73.43.Cd

## 1. 引言

随着集成电路的不断发展, 金属-氧化物-半导体场效应晶体管(MOSFET)的特征尺寸已进入纳米阶段. 为使栅有效控制沟道载流子面密度, 可以减小氧化层厚度, 提高衬底掺杂浓度. 这两种器件结构参数同时使栅氧化层中的电场增强, 引起载流子隧穿氧化层的概率增大, 栅隧穿电流增大. 而现在的集成电路已进入甚大规模, 单个器件的栅隧穿电流的增大, 将导致整个电路中的静态功耗急剧增加<sup>[1-3]</sup>. 同时, 隧穿电流还会引起器件氧化层可靠性降低<sup>[4]</sup>, 输入阻抗降低, 故对栅隧穿电流的研究受到越来越多的重视. 为了提高器件的性能, 除了改变器件结构外, 还能通过应用新材料新技术以达到该目的, 而应变硅就是这样一种技术. 由于应力能提高载流子迁移率, 近几年, 高性能纳米尺度的 CMOS 技术中采用了应变硅技术<sup>[5,6]</sup>. 在应变硅器件中, 研究栅隧穿电流对器件的功耗、可靠性以及传输特性有同样的重要意义. 常用的应变有单轴应变和双轴应变, 关于双轴应变硅 nMOSFET 栅隧穿电流的研究已有不少报道. Irisawa 和 Numata 等<sup>[7]</sup>为研究双轴应变硅 MOSFET 栅隧穿电流对栅介质可靠性的影响, 通过实验测量了不同应力条件下, 氧

化层电场变化时的栅隧穿电流. Garros 等<sup>[8]</sup>为了提取二氧化硅与双轴应变硅界面处导带不连续值, 基于反型电子的 Fowler-Nordheim 隧穿机理, 建立了高电场下的金属栅双轴应变硅 MOSFET 隧穿电流模型, 研究了栅源电压对栅隧穿电流的影响. Zainud 等<sup>[9]</sup>利用阻碍格林函数法自洽地求解薛定谔方程和泊松方程, 建立了双轴应变硅金属栅 MOSFET 的栅直接隧穿电流模型, 研究了栅源电压对栅隧穿电流的影响. 但是, 栅隧穿电流不仅是栅源电压以及氧化层电场的函数, 还受到别的因素的影响, 比如, 漏源电压、氧化层厚度、沟道应力强度和沟道掺杂. 单轴应变相对于双轴应变更适用于 CMOS 集成电路制造, 并且成本较低, 故单轴应变器件具有一定优势. 但尚未见关于单轴应变硅 MOS 器件栅隧穿电流模型的报道, 而该模型的建立对优化器件参数设计, 以及最大程度的降低单轴应变硅 MOS 器件栅隧穿电流具有重要意义.

本文基于量子效应, 建立了单轴应变硅 nMOSFET 栅隧穿电流模型, 分析了隧穿电流与沟道应力、栅氧化层厚度、栅氧化层电场强度、沟道掺杂及偏置电压的关系. 仿真结果与单轴应变硅 nMOSFET 的实验结果符合较好, 表明了该模型的可行性. 同时与双轴应变硅 nMOSFET 隧穿电流的实验结果进行了比较, 表明在相同器件结构条件和应

\* 国家部委项目(批准号:51308040203, 6139801), 中央高校基本科研业务费(批准号:72105499, 72104089)和陕西省自然科学基金研究计划项目(批准号:2010JQ8008)资助的课题.

<sup>†</sup> E-mail: wufeil4051025@126.com

力强度下隧穿电流有较大幅的减小,单轴应变硅器件比双轴应变硅器件具有优势.该模型物理机制明确,不仅适用于应变硅 nMOSFET,只要将相关的参数换成 pMOSFET 的相关参数,该模型也同样适用于单轴应变 pMOSFETs.

## 2. 隧穿电流模型的建立

单轴应变硅 nMOSFET 结构如图 1 所示(沟道张引力一般采用 SiN 应力膜引入).器件导通后,在应变硅表面形成类似三角形的电子势阱,由于量子化效应,导带分裂成一系列子能带.通过求解泊松方程和薛定谔方程,并考虑单轴应力的作用,得到各个子能带的最低能量  $E_i(y)$ ,可以表示为

$$E_i(y) = E_i^0(y) + \Delta E, \quad (1)$$

式中,  $i$  可取  $0, 1, 2, \dots$  分别表示子能级,  $y$  表示源漏之间的坐标,如图 1 所示.  $\Delta E$  为由单轴应力引起的量子化能级的变化量.  $E_i^0(y)$  可以表示为<sup>[10]</sup>

$$E_i^0(y) = E_c + (\hbar^2/2m_{s-Si\perp}^*)^{1/3} \times \left[ \frac{3}{2}\pi q \frac{F_{ox}(y)\epsilon_{ox}}{\epsilon_{s-Si}} \left( i + \frac{3}{4} \right) \right]^{2/3}, \quad (2)$$

式中,  $E_c$  为应变硅表面的导带底能量,  $\hbar$  为约化普朗克常数,  $F_{ox}(y)$  为氧化层中的电场强度,  $\epsilon_{ox}$  与  $\epsilon_{s-Si}$  分别为氧化层和应变硅的介电常数.  $m_{s-Si\perp}^*$  为单轴应变硅中沿与界面垂直方向的电子有效质量,可以表示为<sup>[11]</sup>

$$m_{s-Si\perp}^* = (0.918 + 0.0263\sigma^2)m_0, \quad (3)$$

式中,  $\sigma$  为沟道中单轴应力的强度,单位为 GPa,  $m_0$  为电子静止质量.而  $\Delta E$  可以表示为<sup>[12,13]</sup>

$$\Delta E = \left[ \left( \Xi_d + \frac{\Xi_u}{3} \right) (S_{11} + 2S_{12}) + \left( \frac{\Xi_u}{3} \right) (S_{12} - S_{11}) \right] \sigma, \quad (4)$$

式中,  $S_{11}$  与  $S_{12}$  为弹性常数,分别为  $7.68 \times 10^{-12} \text{ m}^2/\text{N}$  和  $-2.14 \times 10^{-12} \text{ m}^2/\text{N}$ .  $\Xi_d$  为流体静力学形变势常数,为 1.13 eV.  $\Xi_u$  为剪切形变势常数,为 9.16 eV.

反型电子在栅压的作用下,以一定概率隧穿氧化层,形成栅隧穿电流.隧穿电流密度为各个子能带电子的隧穿电流密度之和.研究表明,总反型电子数中位于最低子能带的比例高于 92%<sup>[7]</sup>.因此,栅隧穿电流密度  $J(y)$  可以表示为

$$J(y) \approx J_0(y) = |Q_s(y)| \zeta(y) P_t(y)$$

$$\times [1 - f(E(y))] \Big|_{\frac{E_0(y)+E_1(y)}{2}}, \quad (5)$$

式中,  $Q_s(y)$  为沟道反型电子面密度,  $\zeta(y)$  为沟道中反型电子的平均碰撞频率,  $P_t(y)$  为电子的隧穿概率,  $f(E)$  为多晶硅栅的费米分布函数.

栅隧穿电流  $I_g$  为隧穿电流密度  $J(y)$  沿沟道  $y$  方向的积分,即

$$I_g = W \int_0^L J(y) dy, \quad (6)$$

式中,  $W$  为沟道宽度,  $L$  为沟道长度.由(6)式知,为获得栅隧穿电流模型,需知道在沟道  $y$  方向各点的反型电子面密度、平均碰撞频率以及隧穿概率.

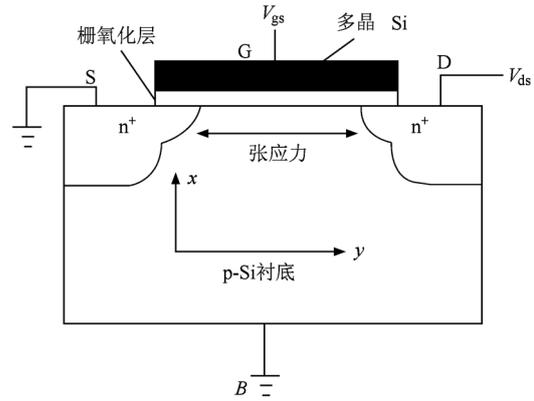


图 1 单轴应变硅 nMOSFET 结构示意图

### 2.1. 沟道反型电子面密度

由电荷守恒原理,可有沟道反型电子面密度为

$$|Q_s(y)| = |Q_m| - |Q_d| = \frac{\epsilon_{ox}}{t_{ox}} [V_{gs} - V(y) - V_{th}], \quad (7)$$

式中,  $Q_m$  与  $Q_d$  分别为栅电荷面密度及半导体表面耗尽层电荷面密度,  $t_{ox}$  为栅氧化层厚度,  $V_{gs}$  为栅源电压,  $V(y)$  为沟道各点相对源端的电位.其中,  $V_{th}$  为器件的阈值电压,可表示为

$$V_{th} = V_s + \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2qN_A \epsilon_{s-Si} V_s} + q\chi_{Si} - \left[ q\chi_{s-Si} + \frac{E_{gs-Si}}{2} + \frac{kT}{q} \ln \left( \frac{N_A}{n_{is-Si}} \right) \right], \quad (8)$$

式中,  $V_s$  为单轴应变沟道表面强反型时的表面势,  $N_A$  为沟道掺杂浓度,  $\chi_{Si}$  与  $\chi_{s-Si}$  分别为体硅和单轴应变硅的电子亲和势,  $E_{gs-Si}$  为单轴应变硅的禁带宽度,  $n_{is-Si}$  为单轴应变硅的本征载流子浓度,  $q$  为单位电荷量,  $k$  为波尔兹曼常数,  $T$  为绝对温度.

单轴应变硅器件的阈值电压与其电子亲和势

$\chi_{s-Si}$ 、禁带宽度  $E_{gs-Si}$ 、本征载流子浓度  $n_{is-Si}$  等物理参数息息相关. 这些物理参数均受到沟道中应力的影响, 从而使得其阈值电压与应力相关, 这些物理参数与沟道中单轴应力的关系分别如下<sup>[14,15]</sup>:

$$E_{gs-Si}(\sigma) = 1.12 - 0.0336\sigma, \quad (9)$$

$$\chi_{s-Si} = \chi_{Si} + 0.57 \times \frac{\sigma}{7.55}, \quad (10)$$

$$n_{is-Si}(\sigma) = n_{i0} \exp\left(\frac{0.0336\sigma}{2kT}\right), \quad (11)$$

式中,  $n_{i0}$  为体硅的电子亲和势与本征载流子浓度.

因此可知, 反型电子面密度是沟道中应力、应变沟道掺杂、氧化层厚度以及偏置电压的函数.

### 2.2. 碰撞频率

为获得单位时间隧穿栅氧化层到达栅电极的电荷量, 需要知道反型电子从反型层到达栅电极的时间. 这部分时间包括碰撞界面的平均时间, 即碰撞频率的倒数以及隧穿氧化层的时间. 其中隧穿氧化层的时间由量子机制导致, 可忽略, 故隧穿时间由反型电子在栅压作用下碰撞界面频率的倒数决定.

碰撞频率可以表示为<sup>[16]</sup>

$$\begin{aligned} \zeta(y) &= \left[ 2 \int_0^{-z_0} v_{s-Si\perp}^{-1}(x, y) dx \right]^{-1} \\ &= \frac{qF_{ox}(y) \epsilon_{ox}}{\epsilon_{s-Si} \sqrt{8m_{s-Si\perp}^* (E_0(y) - E_c)}}, \quad (12) \end{aligned}$$

式中  $z_0$  为  $E_0(y)$  与应变硅导带底的交点.

可见, 碰撞频率与氧化层电场强度相关, 同时与沟道中电子沿垂直方向的有效质量和量子化能级相关, 而这两者均受到应力的影响, 故碰撞频率也与沟道中应力强度相关.

### 2.3. 隧穿概率

对于现代的 MOSFETs, 氧化层较薄, 栅的隧穿机理主要为直接隧穿, 应用 WKB 近似<sup>[17]</sup>, 隧穿概率为

$$\begin{aligned} P_t(y) &= \exp\left(-2 \int_0^{t_{ox}} \kappa_{ox}(x, y) dx\right) \\ &= \exp\left[-2 \int_0^{t_{ox}} \sqrt{\frac{2m_{ox}}{\hbar^2} (\Delta E_c - qF_{ox}(y)x - E_0(y))} dx\right], \quad (13) \end{aligned}$$

式中,  $\kappa_{ox}$  为电子在氧化层中的波矢,  $m_{ox}$  为电子在氧化层中的有效质量.  $\Delta E_c$  为界面处应变硅导带底能量与氧化层导带底能量之差, 为<sup>[15]</sup>

$$\Delta E_c = 3.15 + 0.57 \times \frac{\sigma}{7.55}, \quad (14)$$

则, 隧穿概率可以表示为

$$\begin{aligned} P_t(y) &= \exp\left\{-\frac{4}{3} \sqrt{\frac{2m_{ox}}{\hbar^2}} \frac{1}{qF_{ox}(y)} \right. \\ &\quad \times [(\Delta E_c - E_0(y))^{3/2} - (\Delta E_c - E_0(y) \\ &\quad \left. - qF_{ox}(y)t_{ox})^{3/2}]\right\}. \quad (15) \end{aligned}$$

由于隧穿概率是  $\Delta E_c$  与  $E_0(y)$  的函数, 因此隧穿概率与应力强度相关.

### 2.4. 栅隧穿电流

由于量子化能级  $E_0, E_1$  与氧化层电场强度  $F_{ox}$  均为  $y$  的函数, 由(6), (7), (12), (15)式可有栅隧穿电流为

$$\begin{aligned} I_g &= W \int_0^L J(y) dy \\ &= W \int_0^L \{\zeta[V(y)] Q_s[V(y)] P_t \\ &\quad \times [V(y)] [1 - f[V(y)]]\} dy. \quad (16) \end{aligned}$$

利用电场是电势的负梯度进行积分换元, 可得

$$I_g = - \frac{WL \int_0^{V_{ds}} \zeta(V) Q_s(V) P(V) [1 - f(V)] dV}{V_{ds}}. \quad (17)$$

上式即为建立的栅隧穿电流模型. 可以看出隧穿电流与沟道中应力、器件的沟道长度和宽度、氧化层厚度、应变硅沟道掺杂以及偏置电压等相关, 这些因素包括了应变 nMOSFET 器件的所有关键参数. 因此, 该模型能够全面反映栅隧穿电流与器件几何结构参数、材料物理参数以及偏置条件的关系.

## 3. 仿真分析与讨论

本文采用 Matlab 对所建立的单轴应变硅 nMOSFET 栅隧穿电流模型进行了仿真. 研究分析了器件栅隧穿电流与应力强度、氧化层电场强度、沟道掺杂以及漏源电压的关系. 仿真过程中, 隧穿电子在氧化层中的有效质量  $m_{ox}$  为  $0.38m_0$ <sup>[18]</sup>.

图2是在一定结构参数和偏置下, 器件沟道应力强度与隧穿电流关系的仿真结果, 其中纵坐标为

应力引起的隧穿电流密度变化量与无应力时的隧穿电流密度的比值  $\Delta J/J$ . 仿真时, 栅源电压为 1 V, 应变硅沟道的掺杂为  $5 \times 10^{17} \text{ cm}^{-3}$ , 氧化层的厚度为 1.5 nm. 仿真结果表明, 当沟道中单轴应力增大时, 栅隧穿电流密度减小. 文献[19]报道了同样结构参数和偏置条件的单轴应变硅 nMOSFET 隧穿电流密度与沟道应力关系变化量的实验结果. 本文仿真结果与该文献实验结果比较如表 1 所示. 表中数据可见, 仿真结果与其实验数据基本相符, 比实验数据略小, 这主要是由于实验综合了各种实际情况, 这表明了本文所建模型的可行性.

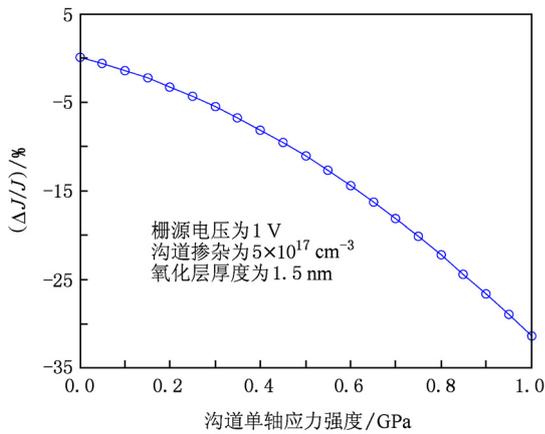


图 2  $\Delta J/J$  与  $\sigma$  关系曲线

表 1 与实验结果<sup>[19]</sup>的比较

$\sigma/\text{GPa}$	0.30	0.25	0.13	0.05	0
文献结果	-2.76	-2.10	-0.89	-0.50	0
本文结果	-5.26	-4.36	-1.80	-0.67	0

表 2 与文献[4]实验结果的比较

$J(\text{A}/\text{cm}^2)$ $\sigma/\text{GPa}$	$F_{\text{ox}}(\text{MV}/\text{cm}) = 6$			$F_{\text{ox}}(\text{MV}/\text{cm}) = 5$			$F_{\text{ox}}(\text{MV}/\text{cm}) = 4$		
	文献	本文	减小量/%	文献	本文	减小量/%	文献	本文	减小量/%
1.5	0.23	0.194	15.7	0.1	0.061	39.0	0.03	0.019	36.7
2.2	0.17	0.135	20.1	0.06	0.044	26.7	0.02	0.013	35.0

图 4 是沟道应力强度、沟道掺杂与栅隧穿电流密度的仿真结果, 其中纵坐标是栅隧穿电流密度, 横坐标是沟道掺杂. 仿真时栅氧化层电场强度为 5 MV/cm, 氧化层厚度为 2.5 nm. 仿真结果表明, 栅隧穿电流随沟道掺杂浓度的升高而下降. 同样的沟道掺杂时, 电流随应力的增大而减小. 导致该现象的原因是: 当氧化层电场固定时, 沟道表面电子面密

度随沟道掺杂浓度的增加而减小, 从而导致隧穿电流的减小. 应力增大引起隧穿概率减小, 使得隧穿电流减小. 从电流变化率的角度看, 沟道中应力越大, 电流受到掺杂浓度的影响越小. 因此, 为了减小栅隧穿电流, 应增强沟道中的应力.

图 3 为不同应力下栅隧穿电流密度与栅氧化层电场强度关系的仿真结果. 结果表明, 栅隧穿电流随氧化层电场的增强而增大, 随应力的增大而减小. 当氧化层电场增强时导致沟道表面电子面密度、隧穿概率以及碰撞频率均增大, 因此隧穿电流随氧化层电场的增强而增大. 应力的增大虽然引起沟道表面电子面密度增加, 但由于应力增大了应变沟道中电子的亲势, 从而导致隧穿概率的迅速减小, 使得隧穿概率随应力增大而减小的速率超过电子面密度的增加速率, 故应力增强时栅隧穿电流减小. 文献[7]研究了双轴应变沟道氧化层电场及弛豫 SiGe 衬底中 Ge 组分  $x$  对隧穿电流的影响. 由胡克定律将 Ge 组分  $x$  转化为应力强度分别为 1.5 和 2.2 GPa, 与本文的仿真结果进行了比较, 如表 2 所示. 结果可见, 单轴应变硅 nMOSFET 的栅隧穿电流比双轴应变硅 nMOSFET 器件的隧穿电流有较大比例的降低, 体现出单轴应变器件的优越性.

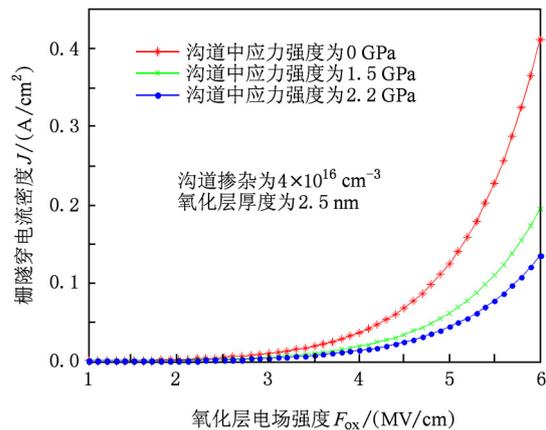


图 3 栅隧穿密度  $J$  与氧化层电场强度  $F_{\text{ox}}$  关系曲线

度随沟道掺杂浓度的增加而减小, 从而导致隧穿电流的减小. 应力增大引起隧穿概率减小, 使得隧穿电流减小. 从电流变化率的角度看, 沟道中应力越大, 电流受到掺杂浓度的影响越小. 因此, 为了减小栅隧穿电流, 应增强沟道中的应力.

图 5 为应力和漏源电压对栅隧穿电流的影响. 分析表明, 当漏源电压一定时, 沟道应力大, 栅隧穿

电流小. 隧穿电流随漏源电压的提高而减小, 这是因为漏源电压增大导致沟道反型电子面密度降低, 同时栅氧化层电场减弱而引起隧穿概率减小, 最终导致栅隧穿电流的减小.

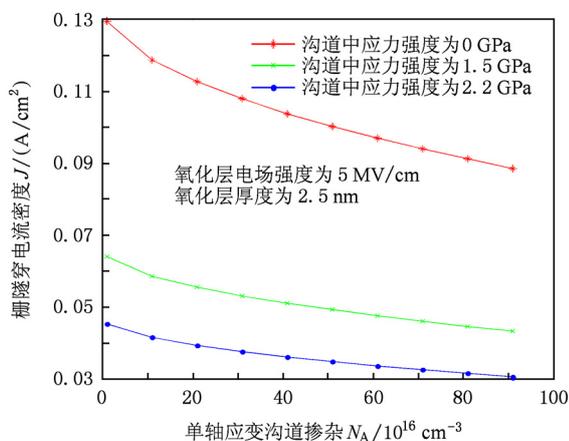


图4 栅隧穿电流密度  $J$  与沟道掺杂  $N_A$  关系曲线

#### 4. 结 论

本文基于量子效应, 建立了物理机制清晰的单轴应变硅 nMOSFET 的栅隧穿电流模型, 并通过仿真分析了隧穿电流与器件应力、栅氧化层电场、沟

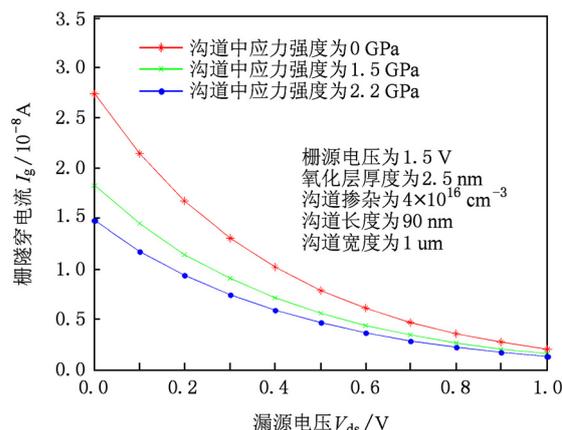


图5 栅隧穿电流  $I_g$  与漏源电压  $V_{ds}$  关系曲线

道掺杂及偏置电压的关系. 仿真结果表明: 结构参数与偏置条件一定时, 栅隧穿电流随应力的增强而减小. 结构参数与应力一定时, 氧化层电场强度的增加引起隧穿电流的增大, 而当氧化层电场强度一定时, 应力大时栅隧穿电流小. 氧化层电场强度、氧化层厚度及应力一定时, 沟道掺杂的增加引起栅隧穿电流的减小, 而当沟道掺杂一定时, 应力大栅隧穿电流小. 结构参数、栅源电压以及应力一定时, 栅隧穿电流随漏源电压的增加而减小, 当漏源电压一定时, 应力增大栅隧穿电流减小.

[1] Ghetti A, Liu, Mastrapasqua M 2000 *IEEE Trans. Electron Devices* **44** 1523

[2] Guo Y H, Zhao Z P, Hao Y, Liu Y G, Wu Y B, Lü M 2005 *Acta Phys. Sin.* **54** 1804 (in Chinese) [郭荣辉, 赵正平, 郝跃, 刘玉贵, 武一宾, 吕苗 2005 物理学报 **54** 1804]

[3] Chen W B, Xue J P, Zou X, Li Y P, Xue S G, Hu Z F 2006 *Acta Phys. Sin.* **55** 5036 (in Chinese) [陈卫兵, 徐静平, 邹晓, 李艳萍, 许胜国, 胡致富 2006 物理学报 **55** 5036]

[4] Ghetti A, Sangiorgi E, Bude J 2000 *IEEE Trans. Electron Devices* **47** 2358

[5] Zhang Zh F, Zhang H M, Hu H Y, Xuan R X, Song J J 2008 *Acta Phys. Sin.* **57** 4667 (in Chinese) [张志峰, 张鹤鸣, 胡辉勇, 宣荣喜, 宋建军 2009 物理学报 **57** 4667]

[6] Rim K, Hoyt K, Gibbon J F 2000 *IEEE Trans. Electron Devices* **47** 1406

[7] Irisawa T, Numata T, Toyoda E 2007 *Symposium on VLSI Technology Digest of Technolcal Papers* 36

[8] Garros X, Rochette F, Andrieu F 2009 *Journal of Applied Physics* **105** 114508

[9] Zainmddin A N M, Haque A 2006 *Proceedings of the 4th International Conference on Electrical and Computer Engineering ICECE* 2006. 19

[10] Wu H, Zhao Y, White M H 2006 *Solid State Electron* **50** 1164

[11] Ungersboeck E, Dhar S, Karlowatz G 2007 *Journal of Computational Electronics* **6** 55

[12] Lim J S, Yang X, Nishida T, Thompson S E 2006 *Appl. Phys. Lett.* **89** 073509

[13] Hsieh C Y, Chen M J 2007 *IEEE Electron Device Lett.* **28** 818

[14] Lim S 2004 *IEEE Electron Device Lett.* **25** 11

[15] Zhang W, Fossum J G 2005 *IEEE Trans. Electron Devices* **52** 263

[16] Yijie Zhao, Marvin H White 2004 *Solid-State Electronics* **48** 1801

[17] Ghatk A, Lokanathan S 2004 *Quantum Mechanics Theory and Application*, 5th ed. New Delhi, India: McMillan 380

[18] Leonard F Register, Elyse Rosenbaum, Kevin Yang 1999 *Journal of Applied Phys. Lett.* **74** 3

[19] Xiaodong Yang, Younsung Choi, Toshikazu Nishida 2007 *Proceedings of 2007 International Workshouon Electron Device and Semiconductor Technonogy* 149

## An model of tunneling gate current for uniaxially strained Si nMOSFET\*

Wu Hua-Ying<sup>†</sup> Zhang He-Ming Song Jian-Jun Hu Hui-Yong

(Microelectronics Institute, Xidian University, key Laboratory of Wide Band-Gap Semiconductor Materials and Devices, Xi'an 710071, China)

(Received 12 October 2010; revised manuscript received 3 December 2010)

### Abstract

Based on quantum mechanics, a tunneling current of uniaxially strained Si nMOSFET is built. The relationships between the tunneling current and device structure parameter, biased voltage and stress are analyzed. The simulation result is shown to accord well with the reported experimental result, implying that our model is correct. Our result is also compared with the result of biaxially stressed silicon nMOSFET, which shows that the current of uniaxially straining Si nMOSFET is lower than that of biaxially stressed silicon nMOSFET, and so uniaxial devices have advantages over biaxial devices. The model has a definite physical mechanism and it is suitable not only for uniaxially strained Si nMOSFET, but also for uniaxially strained Si pMOSFET, as long as changing the relevant parameters.

**Keywords:** uniaxial strained, nMOSFET, tunneling gate current, model

**PACS:** 73.40.Qv, 73.43.Jn, 73.43.Cd

---

\* Project supported by the National Ministries and Commissions (Nos. 51308040203, 6139801), the Fundamental Research Funds for the Central Universities (Nos. 72105499, 72104089), and the Natural Science Basic Research Plan in Shaanxi Province, China (No. 2010JQ8008).

<sup>†</sup> E-mail: wufeil4051025@126.com