

异质栅全耗尽应变硅金属氧化物半导体模型化研究*

曹磊[†] 刘红侠 王冠宇

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2011年2月23日收到; 2011年4月21日收到修改稿)

为了进一步提高小尺寸金属氧化物半导体 (MOSFET) 的性能, 在应变硅器件的基础上, 提出了一种新型的异质栅 MOSFET 器件结构. 通过求解二维 Poisson 方程, 结合应变硅技术的物理原理, 建立了表面势、表面电场以及阈值电压的物理模型, 研究了栅金属长度、功函数以及双轴应变对其的影响. 通过仿真软件 ISE TCAD 进行模拟仿真, 模型计算与数值模拟的结果基本符合. 研究表明: 与传统器件相比, 本文提出的异质栅应变硅新器件结构的载流子输运效率进一步提高, 可以很好地抑制小尺寸器件的短沟道效应、漏极感应势垒降低效应和热载流子效应, 使器件性能得到了很大的提升.

关键词: 应变硅, 异质栅, 阈值电压, 解析模型

PACS: 71.23.An, 71.70.Fk

1 引言

互补金属氧化物半导体 (CMOS) 技术已经进入纳米时代, 依靠常规的按比例缩小规律使纳米器件和集成电路的性能已经获得了很大的提升. 但是随着器件尺寸的进一步缩小, 目前已经基本接近其物理极限, 短沟道效应 (short channel effect, 简记为 SCE)、热载流子效应 (hot carrier effect, 简记为 HCE) 等已经成为限制超大规模集成电路性能提高的主要影响因素^[1,2]; 此外, 如何提高器件的载流子输运效率也是迫切需要解决的问题, 这就需要对器件结构进行优化设计. 绝缘层上的超薄应变硅器件 (strained Si directly on insulator, 简记为 SSDOI) 是一种新型应变沟道器件^[3], 这种结构除了保持超薄体半导体器件和应变硅器件的特性外, 还可以获得较少的 Si/SiGe 的界面缺陷. 如果在应变硅技术的基础上, 引入异质栅 (HMG) 结构^[4,5], 可以进一步提升传统器件的性能. 异质栅是由两种栅电极材料的功函数不同, 在沟道中产生阶梯电势. 与传统的器件相比, 异质栅结构通过改变沟道表面的电势和电场分布, 使源端的电场提高, 提高载流子进入

沟道的注入速度, 同时可以有效降低漏端的电场, 抑制热载流子效应. 异质栅还可以抑制漏端电压引起的沟道电势变化, 减小了短沟道效应. 本文提出了新型的应变硅器件结构, 建立了新器件的二维表

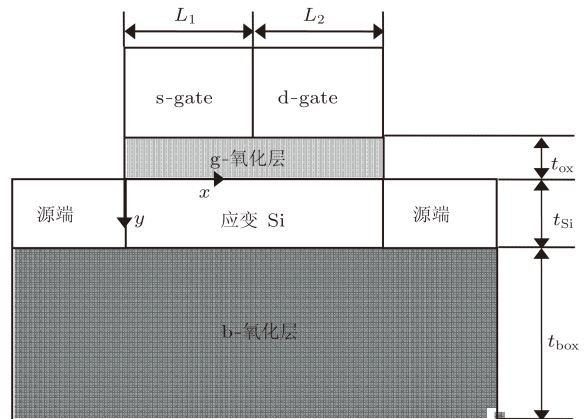


图1 本文 HMG SSDOI 结构示意图

面势和阈值电压的物理模型, 藉此研究了应变 Si 异质栅下沟道内的表面势、电场、载流子速度的变化, 分析了本文提出的新型异质栅应变硅金属氧化物半导体 (SSDOI MOSFET) 的电学特性, 并与二维

* 国家自然科学基金 (批准号: 60976068, 60936005) 和教育部科技创新工程重大项目培育基金 (批准号: 708083) 资助的课题.

[†] E-mail: cao0273@sina.com

数值分析的结果进行了对比,验证了所建立模型的正确性.

2 沟道电势模型

图 1 给出了新型 HMG SSDOI 器件结构的示意图,栅极采用两种不同功函数的材料.靠近源端的金属栅栅长为 L_1 ,功函数为 W_1 ;靠近漏端的金属栅栅长为 L_2 ,功函数为 W_2 .对于金属氧化物半导体 (NMOS) 器件, W_1 大于 W_2 ,靠近源端的阈值电压高于漏端.考虑沿沟道方向横向电场的影响,建立沟道表面势的模型.

应变 Si 层中的二维 Poisson 方程如 (1) 式所示:

$$\frac{d^2\phi(x,y)}{dx^2} + \frac{d^2\phi(x,y)}{dy^2} = \frac{qN_A}{\epsilon_{Si}}, 0 \leq x \leq L, 0 \leq y \leq t_{Si}, \quad (1)$$

其中, $\phi(x,y)$ 是应变硅层中的电势分布, N_A 是应变硅层的掺杂, ϵ_{Si} 是应变硅的介电常数, $L = L_1 + L_2$ 是沟道的长度, t_{Si} 是应变硅层的厚度.

沟道漏端电压较小时,沿 y 方向 (纵向) 的电势分布可以用简单的抛物线函数描述 [6], 如 (2) 式所示:

$$\phi_j(x,y) = \phi_{Sj}(x) + C_{j1}(x)y + C_{j2}(x)y^2, \quad 0 \leq x \leq L, 0 \leq y \leq t_{Si}, j = 1, 2, \quad (2)$$

式中 j 为 1 表示金属栅 s-gate 下的沟道电势, j 为 2 表示金属栅 d-gate 下的沟道电势, $\phi_{Sj}(x)$ 是应变 Si 层中沿应变 Si 和栅氧化层界面的电势, $C_{j1}(x)$ 和 $C_{j2}(x)$ 是只与 x 有关的函数.

根据电位移矢量连续原理,在应变硅层上表面满足边界条件

$$\left. \frac{d\phi_1(x,y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \left(\frac{\phi_{S1}(x) - V'_{GS1}}{t_{ox}} \right), \quad (3)$$

$$\left. \frac{d\phi_2(x,y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \left(\frac{\phi_{S2}(x) - V'_{GS2}}{t_{ox}} \right), \quad (4)$$

在应变硅层下表面满足边界条件

$$\left. \frac{d\phi_1(x,y)}{dy} \right|_{y=t_{Si}} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \left(\frac{V'_{sub} - \phi_B(x)}{t_{box}} \right), \quad (5)$$

$$\left. \frac{d\phi_2(x,y)}{dy} \right|_{y=t_{Si}} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \left(\frac{V'_{sub} - \phi_B(x)}{t_{box}} \right), \quad (6)$$

在上述边界条件中, ϵ_{ox} , ϵ_{Si} 分别为氧化层和应变硅层的介电常数, t_{ox} , t_{box} 分别为栅氧化层和埋氧化层厚度, $V'_{GSj} = V_{GS} - (V_{FBf,j})_{S-Si}$, $V'_{sub} = V_{sub} - (V_{FBb})_{S-Si}$, V_{GS} , V_{sub} 分别为前栅和衬底

的电压, $\phi_B(x)$ 是背界面的表面势, $(V_{FBf,j})_{S-Si}$, $(V_{FBb})_{S-Si}$ 分别为前栅和衬底的平带电压.由于前栅由两种金属栅组成,因此两个金属栅下的平带电压需要分别计算.

$$(V_{FBf,1})_{S-Si} = \phi_{ms1} - \phi_{S-Si},$$

$$(V_{FBf,2})_{S-Si} = \phi_{ms2} - \phi_{S-Si}, \quad (7)$$

ϕ_{ms1} , ϕ_{ms2} 分别是 s-gate 金属栅和 d-gate 金属栅的功函数, ϕ_{S-Si} 为应变硅的功函数.因为初期应变硅层在 SiGe 层上生长时,受到双轴应力的作用, Si 材料的能带结构发生改变,应变硅层的平带电压需要对 Si 的平带电压进行修正.注意到应变使 Si 的电子亲和能、禁带宽度和载流子有效质量减小,应变硅中 Ge 组分的变化如下 [6-9]:

$$(\Delta E_C)_{S-Si} = 0.57X, \quad (8)$$

$$(\Delta E_g)_{S-Si} = 0.4X, \quad (9)$$

$$V_T \ln \left(\frac{N_{V,Si}}{N_{V,S-Si}} \right) = V_T \ln \left(\frac{m_{h,Si}^*}{m_{h,S-Si}^*} \right)^{3/2} = 0.075X, \quad (10)$$

公式 (8)—(10) 中的 X 表示 SiGe 材料中 Ge 的摩尔组分.由此, Si 的功函数经过修正可以得到应变硅的功函数.

$$\phi_{S-Si} = \phi_{Si} - \Delta V_{FB}, \quad (11)$$

$$\phi_{Si} = \chi_{Si}/q + E_{g-Si}/2q + \phi_{F-Si}, \quad (12)$$

$$\Delta V_{FB,f} = \frac{-(\Delta E_C)_{S-Si}}{q} + \frac{(\Delta E_g)_{S-Si}}{q} - V_T \ln \left(\frac{N_{V,Si}}{N_{V,S-Si}} \right), \quad (13)$$

$$\phi_{F-Si} = V_T \ln \left(\frac{N_A}{n_{i,Si}} \right) \quad (14)$$

其中, χ_{Si} 为体硅材料的电子亲和能, E_{g-Si} 为体硅材料的禁带宽度, ϕ_{F-Si} 为体硅材料的 Fermi 势, $n_{i,Si}$ 为体硅材料的本征载流子浓度.

由边界条件 (3)—(14) 式可以得到 C_{11} , C_{12} , C_{21} , C_{22} , 将求出的系数带入到 (2) 式中, 令 $y=0$, 可得:

$$\frac{d^2\phi_{S1}(x)}{dx^2} - \alpha\phi_{S1}(x) = \beta_1, \quad (15)$$

$$\frac{d^2\phi_{S2}(x)}{dx^2} - \alpha\phi_{S2}(x) = \beta_2, \quad (16)$$

其中,

$$\alpha = \frac{2(C_{box}C_{Si} + C_{ox}C_{box} + C_{ox}C_{Si})}{t_{Si}^2(C_{Si}C_{box} + 2C_{Si}^2)}, \quad (17)$$

$$\beta_1 = \frac{qN_A}{\varepsilon_{Si}} - 2V'_{sub} \frac{C_{box}}{t_{Si}^2(C_{box} + 2C_{Si})} - 2V'_{GS1} \frac{C_{ox}C_{box} + C_{Si}C_{box}}{t_{Si}^2 C_{Si}(C_{box} + 2C_{Si})}, \quad (18)$$

$$\beta_2 = \frac{qN_A}{\varepsilon_{Si}} - 2V'_{sub} \frac{C_{box}}{t_{Si}^2(C_{box} + 2C_{Si})} - 2V'_{GS2} \frac{C_{ox}C_{box} + C_{Si}C_{box}}{t_{Si}^2 C_{Si}(C_{box} + 2C_{Si})}. \quad (19)$$

(17)—(19) 式中, $C_{ox} = \varepsilon_{ox}/t_{ox}$, $C_{box} = \varepsilon_{box}/t_{box}$, $C_{Si} = \varepsilon_{Si}/t_{Si}$ 分别是栅氧化层电容、埋氧化层电容和应变硅层电容. (15) 和 (16) 式为二阶常系数非齐次线性微分方程, 其解如下:

$$\phi_{S1} = A_1 \exp(\lambda x) + B_1 \exp(-\lambda x) - \sigma_1, \quad 0 < x \leq L_1, \quad (20)$$

$$\phi_{S2} = A_2 \exp[\lambda(x - L_1)] + B_2 \exp[-\lambda(x - L_1)] - \sigma_2, \quad L_1 \leq x < L_2, \quad (21)$$

其中, $\lambda = \sqrt{\alpha}$, $\sigma_1 = \beta_1/\alpha$, $\sigma_2 = \beta_2/\alpha$. 漏、源区电势以及沟道内金属栅交界处电势和电通量连续条件如 (22)—(25) 式所示.

$$\phi_1(0, 0) = \phi_{S1}(0) = V_{bi,S-Si}, \quad (22)$$

$$\phi_2(L, 0) = \phi_{S2}(L) = V_{bi,S-Si} + V_{DS}, \quad (23)$$

$$\phi_1(L_1, 0) = \phi_2(L_1, 0), \quad (24)$$

$$\left. \frac{d\phi_{S1}(x, y)}{dx} \right|_{x=L_1} = \left. \frac{d\phi_{S2}(x, y)}{dx} \right|_{x=L_1}, \quad (25)$$

其中, V_{DS} 为漏端电压, $V_{bi,S-Si}$ 为源端和应变硅层之间的内建电势. 由于应变使 Si 的能带发生了变化, 将应变 Si 的内建电势要进行必要修正, 表示为

$$V_{bi,Si} = \frac{E_{g,Si}}{2q} + \phi_{F,Si} \quad (26)$$

内建电势差修正值为

$$\Delta(V_{bi})_{SS} = \frac{-(\Delta E_g)_{S-Si}}{q} + V_T \ln \left(\frac{N_{V,Si}}{N_{V,SS}} \right), \quad (27)$$

因此, 应变硅的内建电势为

$$V_{bi,S-Si} = \frac{E_{g,Si}}{2q} + \phi_{F,Si} - \frac{(\Delta E_g)_{S-Si}}{q} + V_T \ln \left(\frac{N_{V,Si}}{N_{V,SS}} \right). \quad (28)$$

结合电势和电通量连续条件 (22)—(25) 式, 对 (20) 和 (21) 式求解可得:

$$A_1 = \frac{[(V_{bi,S-Si} + V_{DS} + \sigma_2) - (V_{bi,S-Si} + \sigma_1)\exp(-\lambda L) + (\sigma_2 - \sigma_1)\cosh(\lambda L_2)]}{\exp(\lambda L) - \exp(-\lambda L)}, \quad (29)$$

$$B_1 = \frac{[(V_{bi,S-Si} + \sigma_1)\exp(\lambda L) - (V_{bi,S-Si} + V_{DS} + \sigma_2) - (\sigma_2 - \sigma_1)\cosh(\lambda L_2)]}{\exp(\lambda L) - \exp(-\lambda L)}, \quad (30)$$

$$A_2 = \frac{[(V_{bi,S-Si} + V_{DS} + \sigma_2) - (V_{bi,S-Si} + \sigma_1)\exp(-\lambda L) + (\sigma_2 - \sigma_1)\cosh(\lambda L_2)] \exp(\lambda L_1) - \frac{\sigma_2 - \sigma_1}{2}}{\exp(\lambda L) - \exp(-\lambda L)}, \quad (31)$$

$$B_2 = \frac{[(V_{bi,S-Si} + \sigma_1)\exp(\lambda L) - (V_{bi,S-Si} + V_{DS} + \sigma_2) - (\sigma_2 - \sigma_1)\cosh(\lambda L_2)] \exp(-\lambda L_1) - \frac{\sigma_2 - \sigma_1}{2}}{\exp(\lambda L) - \exp(-\lambda L)}. \quad (32)$$

在异质栅结构器件中, 沟道表面势的最小值在 s-gate 金属栅下. $\frac{d\phi_{S1}(x)}{dx} = 0$, 可以得到 $\phi_{S1}(x)$ 的最小值和沟道电势最小值的位置, 如 (33) 和 (34) 式所示:

$$\phi_{S1,\min}(x) = 2\sqrt{A_1 B_1} - \sigma_1, \quad (33)$$

$$x = \frac{1}{2\lambda} \ln \frac{B_1}{A_1}. \quad (34)$$

根据沟道的表面势的表达式, 由 $E = \left| \frac{d\phi_{S1}(x)}{dx} \right|$ 可以得到沟道表面的电场分布.

3 HMG SSDOI 器件的阈值电压模型

因为两种金属栅的功函数不同, s-gate 的功函

数 W_1 大于 d-gate 的功函数 W_2 , 所以沟道表面势的最小点位于 s-gate 栅下, 如图 2 所示. 该最小值决定了整个沟道的阈值电压 V_{th} . 阈值电压定义为器件强反型, 表面出现导电沟道时所对应的栅压, 即 $\phi_{S1,\min}(x) = 2\phi_{F,Si}$ 时的栅压. 由 (33) 式可以得到:

$$\phi_{S1,\min}(x) = 2\sqrt{A_1 B_1} - \sigma_1 = 2\phi_{F,Si}, \quad (35)$$

$$V_{th} = k \left(\frac{-b - \sqrt{b^2 - 4ac}}{2a} \right), \quad (36)$$

其中

$$a = 2\cosh(\lambda L) - 2 - \sinh^2(\lambda L),$$

$$b = V_{bi1}(1 - \exp(\lambda L)) + 2(\phi_{F,Si} - u)\sinh^2(\lambda L) - V_{bi2}(1 - \exp(-\lambda L)),$$

$$\begin{aligned}
 c &= V_{bi1}V_{bi2} - (\phi_{F,Si} - u)^2 \sinh^2(\lambda L), \\
 V_{bi1} &= V_{bi,S-Si}(1 - \exp(-\lambda L_2)) + u(\exp(-\lambda L_2) \\
 &\quad - \exp(\lambda L_2)) + v(\cosh(\lambda L_2) - 1) + V_{DS}, \\
 V_{bi2} &= V_{bi,S-Si}(1 - \exp(-\lambda L_2)) + u(\exp(\lambda L_2) \\
 &\quad - \exp(-\lambda L_2)) + v(1 - \cosh(\lambda L_2)) - V_{DS}, \\
 u &= \frac{V'_{sub}}{(1+w)} - \frac{qN_D}{\epsilon_{Si}\alpha} - \frac{(w)}{(1+w)}(V_{FBf,1})_{S-Si}, \\
 v &= \frac{V'_{sub}}{(1+w)} - \frac{qN_D}{\epsilon_{Si}\alpha} - \frac{w}{(1+w)}(V_{FBf,2})_{S-Si}, \\
 k &= \frac{1+w}{w}, \\
 w &= \frac{C_{ox}}{C_{box}} + \frac{C_{ox}}{C_{Si}}.
 \end{aligned}$$

4 模型验证与分析讨论

为了验证本文建立的新器件结构模型的正确性,通过数值模拟软件进行了分析,并将建立的模型计算结果与 ISE 仿真的结果进行了比较. 计算中的结构参数如下: Ge 含量为 $X = 0.2$, $L_1:L_2 = 1:1$, 靠近源端的金属栅功函数 $W_1 = 4.73$ eV, 靠近漏端的金属栅功函数 $W_1 = 4.11$ eV, 沟道长度 100 nm, 栅氧化层厚度 4 nm, 硅膜厚度 20 nm, 埋氧化层厚度 300 nm, 沟道采用低掺杂 $N_A = 1.0 \times 10^{16} \text{ cm}^{-3}$, 漏源的掺杂浓度 $N_{S,D} = 1.0 \times 10^{20} \text{ cm}^{-3}$, $V_{GS} = 0.5$ V, $V_{DS} = 1.1$ V.

图 2 给出了 HMG SSDOI 和 SMG (single-material gate) SSDOI 沿沟道方向的表面势分布. ϕ_s 是前栅与应变硅界面的横向表面势, x 是沟道内的位置. 从图 2 中可以看出, 异质栅器件结构和传统的单栅结构 SMG 相比, 异质栅器件结构在应变硅和栅氧化层界面处, 沿沟道方向的电势因为两个栅的功函数不同, 存在阶梯分布. 靠近源端的金属栅功函数较高, 表面势较低, 所以这个金属栅下的表面势最小值决定了器件的阈值电压.

图 3 给出了不同漏端电压和不同 L_1/L_2 比值下的表面势, 可以看出, 引入阶梯电势以后, 随着漏压的变化, 增加的漏偏压基本都降在漏端和 d-gate 金属栅之间, d-gate 栅起到了屏蔽作用, 使 s-gate 栅下的表面势基本不受漏偏压的影响. 从不同的 L_1/L_2 比值可以看出, s-gate 栅长度变大, 最小表面势变小,

并且势能台阶电势增高, s-gate 栅起到了控制作用.

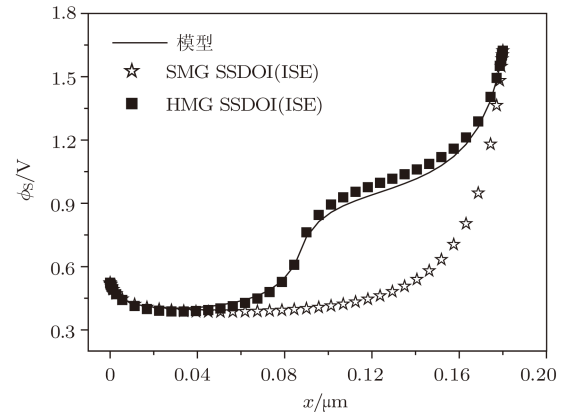


图 2 HMG SSDOI 和 SMG SSDOI 沿沟道方向的表面势分布

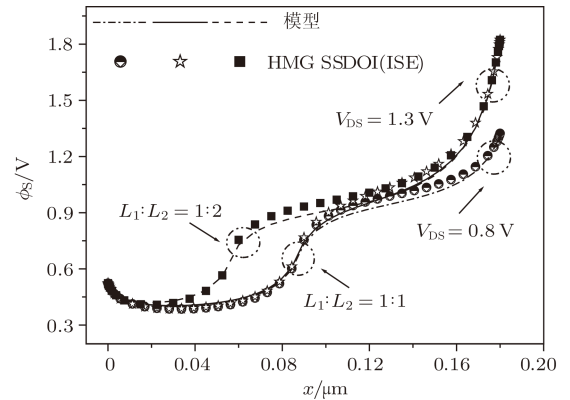


图 3 不同漏端电压下 HMG SSDOI 沿沟道方向的表面势

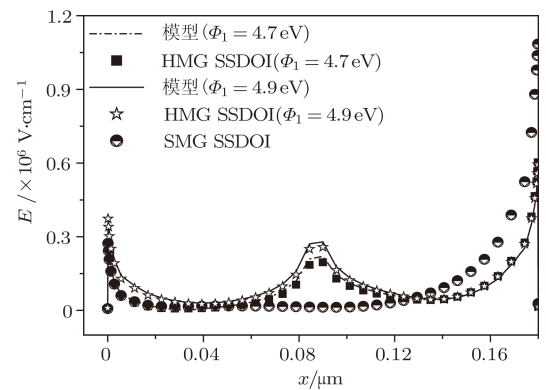


图 4 HMG SSDOI 和 SMG SSDOI 沿沟道方向的电场分布

图 4 为 HMG SSDOI 和 SMG SSDOI 沿沟道方向的电场分布. E 是前栅与应变硅界面的横向电场. 由于 HMG SSDOI 结构的器件在沟道中引入了阶梯电势, HMG 器件和 SMG 器件的电场分布有明显变化. HMG 结构器件的沟道电场在靠近源端处有一个峰值, 电场高于 SMG 器件. s-gate 栅的功函数增大, 使源端电场峰值变大. 但是在靠近漏

端处,HMG 器件的电场低于 SMG 器件. 因此,HMG SSDOI 器件可以在降低热载流子效应的同时提高载流子速度.

图 5 给出了载流子速度在沟道中的分布. V 是前栅界面下 1 nm 处电子速度, 与体硅 SOI MOSFET 相比, 采用应变技术, SMG SSDOI 可以提高载流子的迁移率, 从而提高了沟道内载流子的饱和速度. 在 SMG SSDOI 的基础上, 引入异质栅, 改变沟道内靠近源端的电场分布, 使载流子可以以较高的初速度进入沟道, 更快地达到饱和速度, 因此提高了器件的驱动电流、跨导和截止频率.

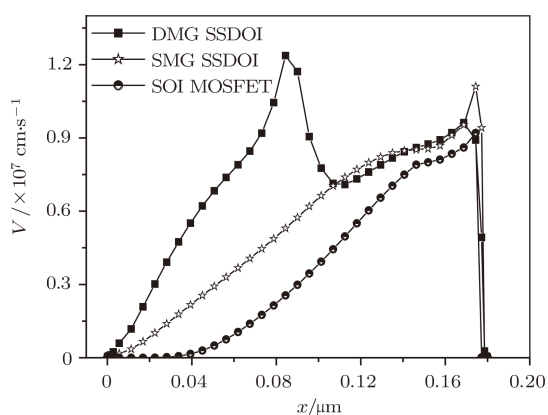


图 5 HMG SSDOI, SMG SSDOI 和体硅 SOI 器件的沟道电子速度分布

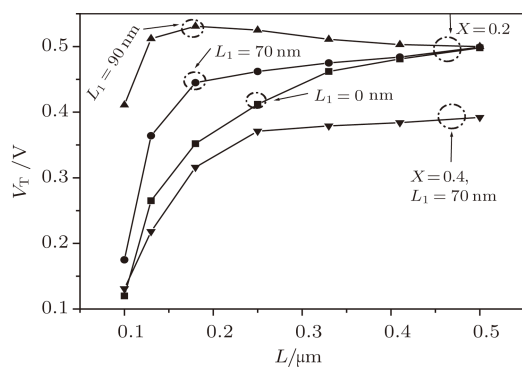


图 6 HMG SSDOI 和 SMG SSDOI 的阈值电压随栅长的变化

图 6 和图 7 分别给出了 HMG SSDOI 和 SMG SSDOI 两种不同的器件结构阈值电压和漏极感应

势垒降低 (DIBL) 分别随着栅长的变化.HMG 器件的阈值电压漂移小于 SMG 器件, 而且会出现类似逆短沟道效应. 在 $L_1=90$ nm 时比较明显, 阈值电压随栅长的减小不是单调减小, 中间会有一段阈值电压变大, 这主要是由于高功函数栅所占的比例增大导致的, 可以通过调节 HMG SSDOI 器件中 s-gate 栅的长度和功函数进行控制. 同时, 阈值电压随 Ge 组分的增加而减小^[10]. 从图 7 中的对比结果可以明显看到, 与 SMG 器件相比较, HMG 结构的器件能够更好地抑制 DIBL 效应.

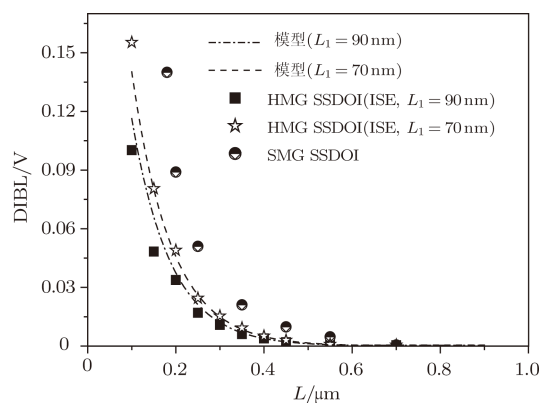


图 7 HMG SSDOI 和 SMG SSDOI 的 DIBL 效应随栅长的变化

5 结论

本文提出了一种新型的异质栅 SSDOI MOSFET 器件结构, 这种新型的器件结合了异质栅和应变硅的优点, 通过改变沟道的表面势和表面电场的分布, 使载流子保持了较高的沟道平均饱和速度, 载流子在进入沟道时, 还能够获得更快的加速. 根据物理原理, 本文对异质栅 SSDOI MOSFET 进行了模型化的研究, 并对这种新型的器件结构进行了模拟仿真. 研究表明: 所建立的模型结果与 ISE 分析的结果符合得很好. 这种新型的结构对短沟道效应和热载流子效应都有很好的抑制作用, 同时增大了阈值电压的调整空间, 大大提高了纳米器件结构设计的灵活性.

[1] Fiegna C 1994 *IEEE Trans. Electron Dev.* **ED-41** 941
 [2] Hisamoto D, Kedzierski J 2000 *IEEE Trans. Electron Dev.* **47** 2320
 [3] Zhang H M, Cui X Y, Hu H Y, Dai X Y, Xuan R X 2007 *Acta Phys. Sin.* **56** 3504 (in Chinese) [张鹤鸣, 崔晓英, 胡辉勇, 戴显英, 宣

荣喜 2007 *物理学报* **56** 3504]
 [4] Zhou X 2000 *IEEE Trans. Electron Dev.* **47** 113
 [5] Long W, Qu H J, Jen M K 1999 *IEEE Trans. Electron Dev.* **46** 865
 [6] Venkataraman V, Kumar M J 2007 *IEEE Trans. Electron Dev.*

- 54 554
- [7] Kumar M J, Venkataraman V 2006 *IEEE Trans. Electron Dev.* **53** 1780
- [8] Yao F, Xue C L, Cheng B W, Wang Q M 2007 *Acta Phys. Sin.* **56** 6654 (in Chinese) [姚飞, 薛春来, 成步文, 王启明 2007 物理学报 **56** 6654]
- [9] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2007 *Chin. Phys.* **16** 3827
- [10] Kim S J, Shim T H, Choi K R, Park J G 2009 *Semicond. Sci. Technol.* **24** 035014

Study of modeling for hetero-material gate fully depleted SSDOI MOSFET*

Cao Lei[†] Liu Hong-Xia Wang Guan-Yu

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 13 February 2011; revised manuscript received 21 April 2011)

Abstract

In this paper, we propose a new device structure called HMG SSDOI (hetero-material gate strained Si directly on insulator), which combines the advantages of strained-silicon and hetero-material gate technology. By solving 2D Poisson's equation, we present models of the surface potential, surface electric field and threshold voltage for the new structure. These models take into account the effects of the gate length, the work function and the energy band. ISE TCAD is also used to simulate the performance of new device structure. The comparison results of model calculation and mathematic simulation show that the new structure of HMG SSDOI can enhance the carrier transport efficiency and suppress short channel effect, drain induction barrier lower and hot carrier effect, which improves device performance greatly.

Keywords: strained Si, hetero-material gate, threshold voltage, analytical model

PACS: 71.23.An, 71.70.Fk

* Project supported by the National Natural Science Foundation of China (Grant Nos.60976068, 60936005), and Cultivation Fund of the Key Scientific and Technical Innovation Project, Ministry of Education of China (Grant No.708083).

[†] E-mail: cao0273@sina.com