

相变存储单元 RESET 多值存储过程的数值仿真研究*

谢子健 胡作启[†] 王宇辉 赵旭

(华中科技大学电子科学与技术系, 武汉 430074)

(2011年8月9日收到; 2011年9月28日收到修改稿)

使用数值仿真方法对相变随机存储器存储单元的 RESET 操作的多值存储过程进行了研究, 建立了三维存储单元模型, 用有限元法解 Laplace 方程及热传导方程以模拟电脉冲作用下的存储单元物性变化过程. 计算出单元内相变层的相态分布及单元整体电阻, 分析了单元内部尺寸变化对多值存储过程及状态的影响. 结果表明, 通过精确控制输入电脉冲, 相变存储单元能够实现 4 值存储; 多值存储状态受单元内相变层厚度及下电极接触尺寸变化的影响较大; 存储状态在 80 °C 的环境温度下均可保持 10 年以上不失效.

关键词: 相变随机存储器, 多值存储, 数值仿真, 有限元法

PACS: 02.60.Cb, 85.30.De

1 引言

相变随机存储器是一种新型的非易失性存储器件, 它以存储单元电阻的高低状态为存储状态, 通过存储材料在电脉冲作用下在低电阻率的多晶态和高电阻率的非晶态之间的可逆转化进行数据存储, 通过检测存储单元电阻实现数据读出, 具有读写速度快、耐读写循环次数高、数据保存时间长、与互补金属氧化物半导体工艺兼容等优点^[1]. 普通二值相变随机存储器存储单元高、低电阻差异一般有 2—3 个数量级^[2-4]; 只考虑存储材料(如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ^[5], Sb_2Te_3 ^[6] 等), 则电阻率差异可达 5 个数量级^[7]. 巨大的电阻差异使得高、低电阻极值之间的状态的识别成为可能, 因此相变随机存储器适于多值存储技术的应用.

多值存储, 即在单个存储单元上实现两个以上存储状态, 有利于提高存储密度, 降低存储成本, 是相变随机存储器的发展方向之一^[8-11]. 存储单元写入信息, 使存储材料由晶态向非晶态转变的过程称为 RESET 操作. 本文对该过程仿真, 计算并分析了存储单元多值存储写入信息操作中存储材料的相态分布变化以及单元内部尺寸变化对多值存储

状态的影响, 为研制多值存储相变随机存储器件提供参考数据.

2 仿真计算模型

本文基于文献 [12,13] 的计算理论及方法, 采用自下而上的存储单元结构^[13], 用有限元法解 Laplace 方程及热传导方程以计算存储单元写入信息过程中发生的物性变化, 最后计算出单元总体电阻. 存储单元组成如图 1 所示, 分别为下电极(金属 W)、下电极接触(或加热器 TiN)、相变层($\text{Ge}_2\text{Sb}_2\text{Te}_5$)、上电极接触(TiN)和上电极(W), 各层薄膜材料参数来自文献 [12,14]. 各层几何尺寸参数如表 1 所示, 其中 h_{TEC} , h_{BEC} , h_{GST} 分别为上、下电极接触层厚度与相变层厚度, S_{GST} 与 S_{BEC} 分别为相变层与下电极接触层底面尺寸.

3 仿真结果与分析

3.1 脉冲幅值控制的多值存储

设定存储单元相变层处于晶态, 则存储单元整

* 装备预研基金(批准号: 9140A16050109JW0506)资助的课题.

[†] E-mail: hu_zuoqi@mail.hust.edu.cn

体处于低电阻状态. 在存储单元的上下电极施加持续时间较短的电脉冲, 电流通过相变层产生的 Joule 热 [13] 使相变材料历经熔融 - 骤冷 [1] 过程部分转变为非晶态.

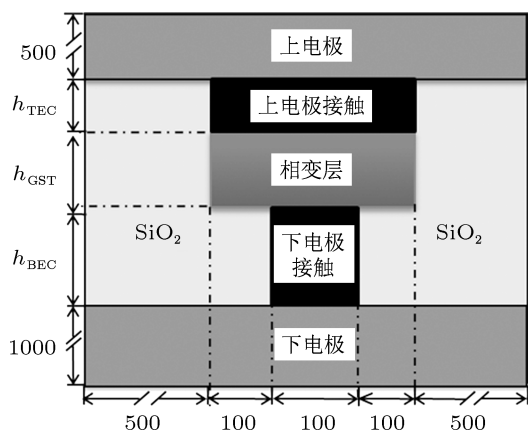


图 1 存储单元横截面结构图 存储单元由上、下电极 (W), 上、下电极接触 (TiN) 及相变层 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$) 这五层薄膜组成, 空余部分由隔离介质 SiO_2 填充. 图中标注的尺寸单位为 nm, 其中 h_{TEC} , h_{BEC} , h_{GST} 取值参见表 1

表 1 自下而上结构模型参数

h_{TEC}/nm	h_{GST}/nm	$S_{\text{GST}}/\text{nm} \times \text{nm}$	h_{BEC}/nm	$S_{\text{BEC}}/\text{nm} \times \text{nm}$
60	120	300×300	120	100×100

注: h_{TEC} , h_{BEC} , h_{GST} 分别为上、下电极接触层厚度与相变层厚度, S_{GST} 与 S_{BEC} 分别为相变层与下电极接触层底面尺寸. 薄膜尺寸的变化直接影响存储单元写入数据时的电流密度分布, 进而影响存储状态.

图 2 为施加 3 ns 脉宽的单个理想方波电压脉冲, 对存储单元的 RESET 过程仿真所得电阻 - 脉冲电压关系曲线. 其电阻随脉冲幅值的上升趋势与文献 [8] 中多值存储单元实验所得 U 型特性的右半部分相符, 而 U 型特性右半边即为存储单元的 RESET 过程. 当脉冲幅值在 1—2 V 之间时, 电阻值快速上升, 且在各电阻数量级附近均有分布, 如 9—12.8 k Ω (对应脉冲幅值 1.35—1.37 V), 86.7—178.2 k Ω (1.5—1.52 V), 1.2—3.3 M Ω (1.55—1.57 V). 以这三个电阻值区域与相变层全晶态的 940 Ω 电阻状态组成 4 个存储状态, 即实现单存储位的 4 值存储.

图 3(1—9) 分别为别为脉冲幅值 1.1, 1.2, 1.3, 1.4, 1.5, 1.6, 1.8, 2.2 及 5 V 时相变层 (图 1 相变层区域) 的相态分布. 中部深色部分为非晶态区域, 外部浅色部分为晶态区域, 晶态与非晶态之间的浅色部分为过渡区域. 非晶态区域随脉冲幅值增长而扩大, 且非晶态区域逐渐覆盖下电极接触与相变层相

接区域, 使电流通路处于高电阻率区域的包覆之中, 因此存储单元电阻随幅值增大. 当脉冲幅值提升至 2 V 以上, 非晶态区域的扩大对电阻数量级变化贡献相对减小, 直至最终整个相变层发生非晶态转变. 该相态分布变化过程与文献 [12] 仿真所得电流脉冲进行的 RESET 过程中相变层 (GST) 相态分布变化相符, 因具体计算差异致使本文相态分布形状与文献 [12] 有所区别.

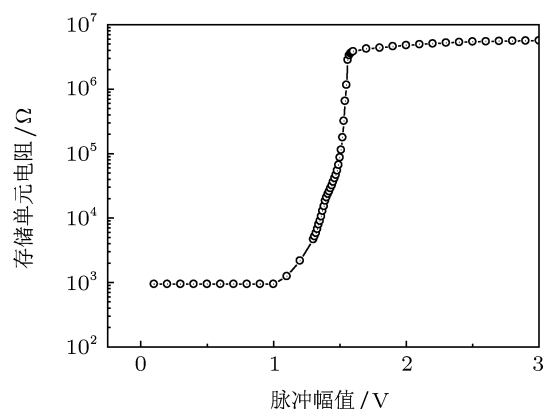


图 2 电阻 - 脉冲幅值关系曲线 实线为电压 - 电阻关系曲线, 由施加脉宽 3 ns, 占空比 0.375 的理想方波电压脉冲至自下而上存储单元得到; 可以用数量级区分存储单元电阻值. 空心圆符号为对应脉冲幅值作用下的存储单元电阻计算值; 存储单元电阻在脉冲幅值 1—2 V 间迅速变化, 且于各数量级上均有分布 (对应虚线附近空心圆所示电阻值), 形成 4 个存储状态

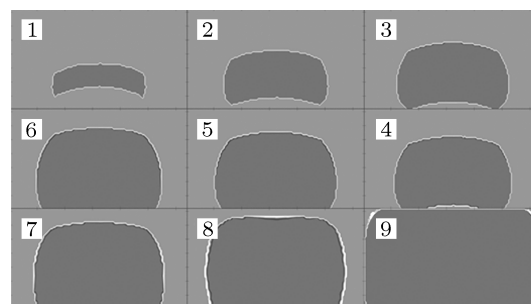


图 3 相变层相态分布图 标号 1—9 分别为脉宽 3 ns, 占空比 0.375, 幅值 1.1, 1.2, 1.3, 1.4, 1.5, 1.6, 1.8, 2.2 及 5 V 脉冲作用后所得存储单元相变层的相态分布图; 中部闭合深色区域代表非晶态区域; 外部深色区域为晶态区域; 晶态非晶态之间的浅色部分为过渡区域; 作用脉冲幅值增大, 相变层非晶区域扩大, 直至覆盖整个相变层

3.2 存储单元内部结构尺寸变化对多值存储状态的影响

存储单元内部结构尺寸较小部分易受制备过程影响, 为考量制备过程产生的尺寸偏差对存储过程的影响, 选取 h_{TEC} , h_{GST} , h_{BEC} 及 S_{BEC} 作为参数变量对存储单元 RESET 过程进行仿真分析. 输

入幅值 1.2 V, 脉宽 3 ns 的单个理想方波脉冲, 存储单元尺寸参数变化如表 2 所示.

表 2 自下而上结构单元尺寸变化参数表

项目	h_{TEC} /nm	h_{GST} /nm	S_{GST} /nm×nm	h_{BEC} /nm	S_{BEC} /nm×nm
h_{TEC}	48—72	120	300×300	120	100×100
h_{GST}	60	96—144	300×300	120	100×100
h_{BEC}	60	120	300×300	96—144	100×100
S_{BEC}	60	120	300×300	120	80×80—120×120

注: h_{TEC} , h_{BEC} , h_{GST} 分别为上、下电极接触层厚度与相变层厚度, S_{GST} 与 S_{BEC} 分别为相变层与下电极接触层底面尺寸; 其中 h_{TEC} , h_{BEC} , h_{GST} 与 S_{BEC} 尺寸较小, 易受制备过程影响

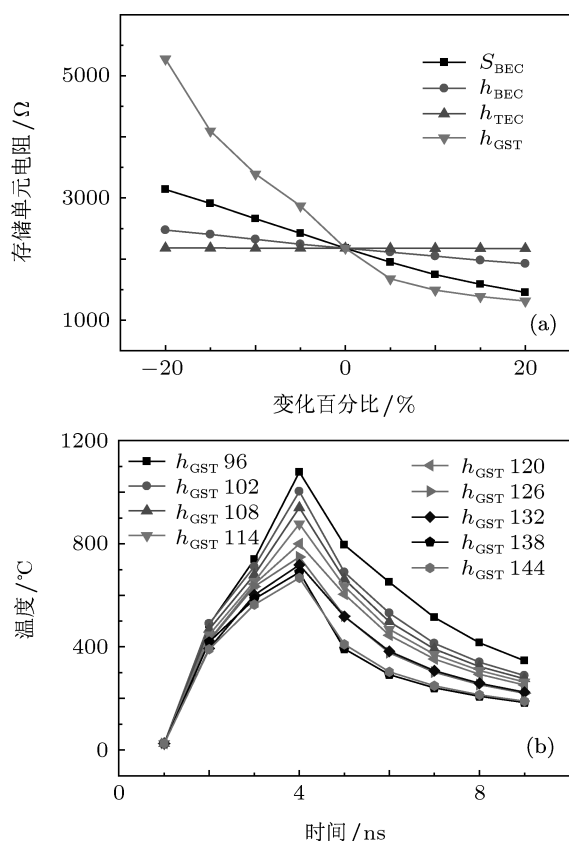


图 4 脉宽 3 ns, 占空比 0.375, 幅值 1.2 V 脉冲作用下单元尺寸变化 - 单元电阻及温度关系曲线 (a) 以表 1 取值为基准, S_{BEC} , h_{BEC} , h_{TEC} , h_{GST} 在 20% 幅度内变化时, 对应的存储单元电阻, 单元电阻受 h_{GST} 与 S_{BEC} 变化的影响较大, 且电阻值随尺寸增大而降低; (b) h_{GST} 不同取值 (20% 变化幅度内) 时, 脉冲作用下单元相变层内最高点温度随时间变化图, 最高点温度随 h_{GST} 增大而上升

图 4(a) 为尺寸变化与单元电阻的关系曲线, 以表 1 中对应参数为变化零点. h_{TEC} 与 h_{BEC} 变化对存储状态影响很小, 基本可以忽略, 其分别只有数 Ω 与数百 Ω 的变化. h_{GST} 变化的影响最大, 在

相变层厚度变化幅度为 20% 时, 单元电阻的变化幅度达 65% 以上. 其次是 S_{BEC} 的影响, 随尺寸减小, 等电压脉冲下, 电流密度升高, 非晶区域扩大, 单元电阻升高. 当 S_{BEC} 变化幅度为 20% 时, 单元电阻的变化幅度达 33% 以上.

图 4(b) 为相变层厚度变化时, 单元 RESET 过程中最高点的温度曲线. 层中最高点的温度曲线随相变层厚度增大而下降, 由此可推测相变层厚度的降低有限制热能的作用, 即更小的相变层尺寸有助于提高加热效率, 使单元在更小的电脉冲作用下发生相变, 但同时也提升了外围电路提供精确控制脉冲的难度. S_{BEC} 变化下的单元内最高点的温度曲线与图 4(b) 类似.

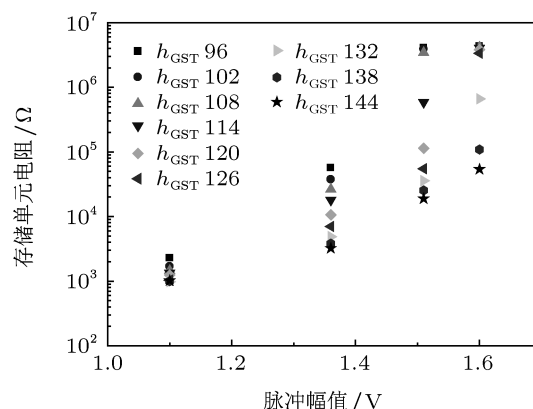


图 5 相变层厚度变化时单元电阻 - 脉冲幅值关系图 选取脉宽 3 ns, 占空比 0.375, 幅值 1.1, 1.36, 1.51, 1.6 V 脉冲作用后存储单元的电阻值为存储状态, 图示为 h_{GST} 变化时 (20% 变化幅度内), 各存储状态的电阻分布, 其中电阻分布有较多重叠区域

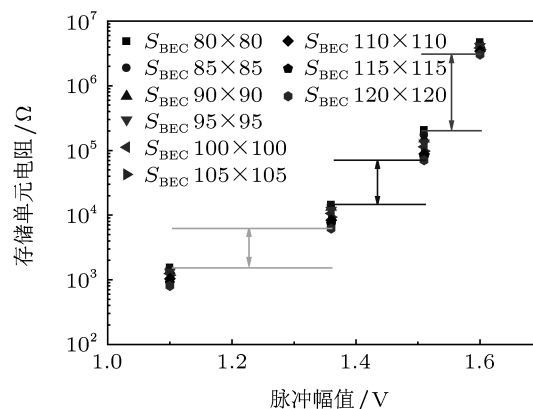


图 6 下电极接触尺寸变化时单元电阻 - 脉冲幅值关系图 选取脉宽 3 ns, 占空比 0.375, 幅值 1.1, 1.36, 1.51, 1.6 V 脉冲作用后存储单元的电阻值为存储状态, 图示为 S_{BEC} 变化时 (20% 变化幅度内), 各存储状态的电阻分布, 其中电阻分布无重叠

h_{GST} 与 S_{BEC} 对存储状态影响较大, 在数个脉冲幅值分布上考虑其对多值存储状态的影响. 分别选取 1.1, 1.36, 1.51, 1.6 V 作为输入脉冲幅值, 脉宽

固定为 3 ns, 对存储单元 RESET 过程仿真得电阻分布图 5、6.

图 5 中 h_{GST} 后的数字为相变层厚度. 相变层厚度变化对单元多值电阻状态分布影响较大, 且随脉冲幅值增大, 电阻分布有增大的趋势. 图示的四个电阻状态在考虑相变层厚度影响后交叠部分较多, 不适合于多值存储. 故制备多值存储单元须严格控制相变层厚度, 使其厚度偏差尽可能小. 图 6 中“80×80”等标记为下电极接触尺寸. 下电极接触尺寸变化时, 单元电阻分布较为集中, 且图示的四个电阻状态间存在明显的差异, 虽减小了读取窗口, 但仍可以进行多值存储.

3.3 多值存储状态的保存时间计算

处于非晶态的相变存储材料受外界各种条件的影 响逐渐结晶, 使单元存储电阻降低, 从而导致非晶态下存储的信息丢失. 由于多值存储利用了部分晶化状态, 且这些状态中非晶化区域较小, 比之二值存储的非晶态更易受到自发结晶过程的影响.

考虑多值存储状态在恒温条件下保存数据的年限, 以单元电阻状态变化为判断标准, 将多值存储状态按电阻值划分层级, 将各状态编为层级 level_i (对四值存储, $\text{level}_i = 0, 1, 2, 3$). 如将晶态设为层级 0, 则对应电阻为 R_{level_0} . 对某一处于某一非晶态电阻态 R_{level_i} 的存储单元, 忽略其相变过程中的热效应, 单元各处的温度始终维持在某一固定温度 T , 此时存储材料有固定的成核速率 I_n 与生长速率 V_g , 在时域上只对存储元进行相仿真, 经过时间 $\text{level}_i.t$ 后读出存储元的电阻 $R_{\text{level}_i.t}$, 当存储元的电阻降低到小于某一失效电阻 R_{fail} 时,

即认为存储元已经失效. 层级 $\text{level}_i (> 0)$ 的 R_{fail} 值由存储元相邻存储状态 R_{level_i} 与 $R_{\text{level}_{i-1}}$ 的几何平均值确定.

存储状态选用的是晶态和脉宽 3 ns, 幅值 1.37, 1.51, 1.56 V 的脉冲作用后获得的电阻阻值. 计算结果如表 3 所示, 各存储状态在 80 °C 环境温度下可保存 10 年以上.

表 3 数据长期保存失效计算结果

i	$R_{\text{level}_i}/\Omega$	$T/^\circ\text{C}$	$\text{level}_i.t/\text{year}$	R_{fail}/Ω	$R_{\text{level}_i.t}/\Omega$	失效与否
0	940	80	10	—	940	否
1	12840	80	10	4000	11620	否
2	114130	80	10	38280	97640	否
3	2.8×10^6	80	10	56880	1.35×10^6	否

注: 存储状态层级 i 的初始电阻值为 R_{level_i} , 在环境温度 T 下保持时间 $\text{level}_i.t$ 年后所得电阻值为 $R_{\text{level}_i.t}$. 计算表明, 各层级 $R_{\text{level}_i.t}$ 均大于失效电阻 R_{fail} , 即各层级均未在自发晶化作用的影响下失效

4 结 论

仿真结果显示由 RESET 操作可在存储单元内实现 4 个存储状态. 多值存储状态受单元内相变层厚度及下电极接触尺寸变化影响较大, 在相变层厚度变化幅度为 20% 时, 单元电阻的变化幅度达 65% 以上; 当下电极接触尺寸变化幅度为 20% 时, 单元电阻的变化幅度达 33% 以上. 存储状态在 80 °C 的环境温度下均可保持 10 年以上不失效. 另一方面, 存储单元由 SET 操作进行多值存储的仿真研究也正在进行中.

- [1] Burr G W, Breitwisch M J, Franceschini M, Garetto D, Gopalakrishnan K, Jackson B, Kurdi B, Lam C, Lastras L A, Padilla A, Rajendran B, Raoux S, Shenoy R S 2010 *J. Vacuum Sci. Technol. B* **28** 223
- [2] Fantini A, Perniola L, Armand M, Nodin J F, Sousa V, Persico A, Cluzel J, Jahan C, Maitrejean S, Lhostis S, Roule A, Dressler C, Reimbold G, DeSalvo B, Mazoyer P, Bensahel D, Boulanger F 2009 *IEEE International Memory Workshop* Monterey, USA, May 10–14, 2009 p66
- [3] Yoon S M, Jung S W, Lee S Y, Park Y S, Yu B G 2009 *IEEE Electron Dev. Lett.* **30** 371
- [4] Bruns G, Merkelbach P, Schlockermann C, Salinga M, Wuttig M, Happ T D, Philipp J B, Kund M 2009 *Appl. Phys. Lett.* **95** 043108
- [5] Liao Y B, Xu L, Yang F, Liu W Q, Liu D, Xu J, Ma Z Y, Chen K J 2010 *Acta Phys. Sin.* **59** 6563 (in Chinese) [廖远宝, 徐岭, 杨菲, 刘文强, 刘东, 徐骏, 马忠元, 陈坤基 2010 物理学报 **59** 6563]
- [6] Zhang Z F, Zhang Y, Feng J, Cai Y F, Lin Y Y, Cai B C, Tang T A, Chen B M 2007 *Acta Phys. Sin.* **56** 4224 (in Chinese) [张祖发, 张胤, 冯洁, 蔡燕飞, 林殿茵, 蔡炳初, 汤庭鳌, 陈邦明 2007 物理学报 **56** 4224]
- [7] Raoux S, Rettner C T, Jordan-Sweet J L, Kellock A J, Topuria T, Rice P M, Miller D C 2007 *J. Appl. Phys.* **102** 094305
- [8] Papatreou N, Pantazi A, Sebastian A, Breitwisch M, Lam C, Pozidis H, Eleftheriou E 2010 *Proceedings of the 2010 17th IEEE International Conference on Electronics, Circuits and Systems* Piscataway, USA, December 12–15, 2010 p1017
- [9] Lai Y F, Feng J, Qiao B W, Ling Y, Lin Y Y, Tang T A, Cai B C, Chen B M 2006 *Acta Phys. Sin.* **55** 4347 (in Chinese) [赖云锋, 冯洁, 乔保卫, 凌云, 林殿茵, 汤庭鳌, 蔡炳初, 陈邦明 2006 物理学报 **55** 4347]
- [10] Braga S, Pashkov N, Perniola L, Fantini A, Cabrini A, Torelli G, Sousa V, De Salvo B, Reimbold G 2011 *3rd IEEE International*

- Memory Workshop Monterey, USA, May 22–25, 2011 5873226
- [11] Papandreou N, Pozidis H, Mittelholzer T, Close G F, Breitwisch M, Lam C, Eleftheriou E 2011 *3rd IEEE International Memory Workshop* Monterey, USA, May 22–25, 2011 5873231
- [12] Kim D H, Merget F, Forst M, Kurz H 2007 *J. Appl. Phys.* **101** 064512
- [13] Hu Z Q, Yuan C W, Li L 2009 *J. Huazhong Univ. Sci. Tech. (Natural Science Edition)* **37** 89 (in Chinese) [胡作启, 袁成伟, 李兰 2009 华中科技大学学报 (自然科学版) **37** 89]
- [14] Kang D H, Ahn D H, Kim K B, Webb J F, Yi K W 2003 *J. Appl. Phys.* **94** 3536

Numerical simulation of RESET operation for multilevel storage in phase change memory cell*

Xie Zi-Jian Hu Zuo-Qi[†] Wang Yu-Hui Zhao Xu

(Department of Electronic Science and Technology, Huazhong University of Science and Technology, Wuhan 430074, China)

(Received 9 August 2011; revised manuscript received 28 September 2011)

Abstract

The RESET operation for multilevel storage in phase change random access memory cell is investigated via numerical simulation. A three-dimensional memory cell model is built, and the physical property variation is calculated by solving the Laplace equation and the heat conduction equation with finite element method. The phase distribution in phase change layer and the total resistance of the cell are examined. The influences of cell structure size variation on multilevel storage process and states are analyzed. The simulation results demonstrate that multilevel storage can be achieved through accurate electrical pulse control while the variations of phase change layer thickness and bottom electrode contact size have relatively large effect on the storage state. The storage states can all keep stable for more than 10 years at 80 °C.

Keywords: phase change random access memory, multilevel storage, numerical simulation, finite element method

PACS: 02.60.Cb, 85.30.De

* Project supported by the National Defense Pre-Research Foundation of China (Grant No. 9140A16050109JW0506).

[†] E-mail: hu_zuoqi@mail.hust.edu.cn