

Poly-Si_{1-x}Ge_x 栅应变 Si N 型金属 - 氧化物 - 半导体场效应管栅耗尽模型研究*

胡辉勇[†] 雷帅 张鹤鸣 宋建军 宣荣喜 舒斌 王斌

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2011 年 7 月 6 日收到; 2011 年 10 月 12 日收到修改稿)

基于对 Poly-Si_{1-x}Ge_x 栅功函数的分析, 通过求解 Poisson 方程, 获得了 Poly-Si_{1-x}Ge_x 栅应变 Si N 型金属 - 氧化物 - 半导体场效应器件 (NMOSFET) 垂直电势与电场分布模型. 在此基础上, 建立了考虑栅耗尽的 Poly-Si_{1-x}Ge_x 栅应变 Si NMOSFET 的阈值电压模型和栅耗尽宽度及其归一化模型, 并利用该模型, 对器件几何结构参数、物理参数尤其是 Ge 组分对 Poly-Si_{1-x}Ge_x 栅耗尽层宽度的影响, 以及栅耗尽层宽度对器件阈值电压的影响进行了模拟分析. 结果表明: 多晶耗尽随 Ge 组分和栅掺杂浓度的增加而减弱, 随衬底掺杂浓度的增加而增强; 此外, 多晶耗尽程度的增强使得器件阈值电压增大. 所得结论能够为应变 Si 器件的设计提供理论依据.

关键词: Poly-Si_{1-x}Ge_x, 应变 Si, 栅耗尽, 阈值电压

PACS: 73.40.Ty, 73.43.Cd, 73.21.Ac

1 引言

互补金属氧化物半导体 (CMOS) 集成电路已经进入纳米时代, 为了提高集成电路的性能, 国内外各研究机构都争先开发各种新技术^[1-3], 尤其是与现有集成电路工艺兼容、能有效提高器件与集成电路性能的应变 Si 技术, 更是研究的热点^[4-7].

目前, 主流硅工艺多采用 Poly-Si 作为金属氧化物半导体 (MOS) 器件栅极电极, 但是, Poly-Si 作为栅电极在 MOS 器件工作时会产生多晶耗尽效应, 该效应将导致有效栅极氧化层厚度增加^[8], 从而对器件电流驱动能力、击穿电压、阈值电压等产生负面影响, 使器件电学性能下降, 这种影响在深亚微米和纳米 MOS 器件中尤为显著^[9].

为了解决上述问题, 研究人员提出采用 Poly-Si_{1-x}Ge_x 作为 MOS 器件的栅极材料. 由于 Poly-Si_{1-x}Ge_x 材料中 Ge 组分可调, 而且其禁带宽度随着 Ge 组分的变化而变化^[10,11], 因此, 在器件设计

与制造中, 可以通过调节 Poly-Si_{1-x}Ge_x 栅极材料中的 Ge 组分来抑制栅耗尽效应^[12], 并且可同时调节器件阈值电压, 改善 CMOS 集成电路中 N/PMOS 器件阈值电压的匹配特性, 从而达到优化器件性能和简化制备工艺的目的^[13,14].

本文针对 Poly-Si_{1-x}Ge_x 栅应变 Si N 型金属 - 氧化物 - 半导体场效应器件 (NMOSFET) 性能分析、结构设计及优化的需求, 重点研究建立该器件的阈值电压、栅耗尽及归一化模型, 分析器件的物理参数、几何结构参数以及沟道应力 (体现在衬底 Ge 组分) 对 Poly-Si_{1-x}Ge_x 栅耗尽层厚度的影响, 为应变 MOS 器件与集成电路的设计、制造提供理论依据.

2 物理模型

2.1 Poly-Si_{1-x}Ge_x 栅功函数模型

图 1 为具有 Poly-Si_{1-x}Ge_x 栅的应变 Si

* 中央高校基本科研业务费 (批准号: 72105499, 72104089)、陕西省自然科学基金基础研究计划资助项目 (批准号: 2010JQ8008) 和预研基金 (批准号: 9140C090303110C0904) 资助的课题.

[†] E-mail: huhu@xidian.edu.cn

NMOSFET 器件结构, 从上至下依次为 Poly-Si_{1-x}Ge_x 栅、栅氧化层、应变 Si 沟道、弛豫 Si_{1-y}Ge_y 层及 Si 衬底层. 其中, 弛豫 Si_{1-y}Ge_y 层与应变 Si 沟道为 P 型掺杂, 掺杂浓度为 N_A , Poly-Si_{1-x}Ge_x 栅为 P 型重掺杂, 掺杂浓度为 N_G .

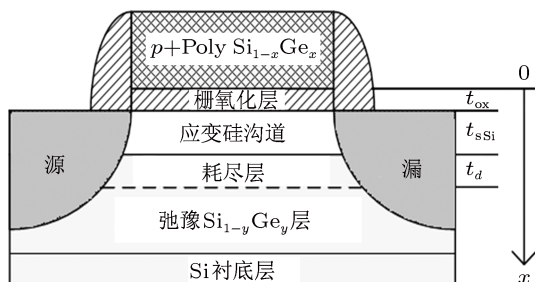


图 1 Poly-Si_{1-x}Ge_x 栅应变 Si NMOSFET 结构示意图

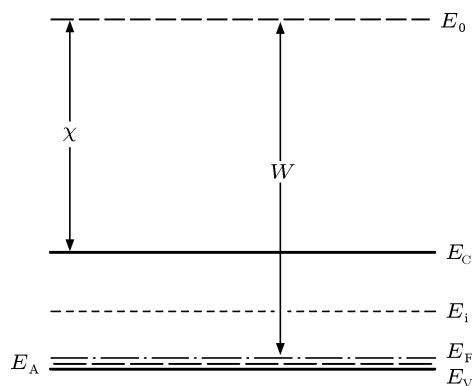


图 2 Poly-Si_{1-x}Ge_x 栅能带结构图

Poly-Si_{1-x}Ge_x 栅能带结构如图 2 所示. 其中 χ , W 分别为 Poly-Si_{1-x}Ge_x 的亲势与功函数, E_0 为真空能级, E_C , E_V 分别为导带底和价带顶能级, E_i 为本征 Fermi 能级, E_F 为 P 型 Poly-Si_{1-x}Ge_x 的 Fermi 能级. 则 Poly-Si_{1-x}Ge_x 的功函数为

$$\Phi_{p+Si_{1-x}Ge_x} = \chi + E_g(x) + (E_V - E_F), \quad (1)$$

由电中性条件得^[15]:

$$\frac{2N_V}{\sqrt{\pi}} F_{1/2} \left(\frac{E_V - E_F}{k_0 T} \right) = \frac{N_G}{1 + 2 \exp \left(\frac{E_A - E_F}{k_0 T} \right)}. \quad (2)$$

令 $\xi = \frac{E_V - E_F}{k_0 T}$, 上式化为

$$\frac{N_G \sqrt{\pi}}{2N_V} = \left[1 + 2 \exp \left(\frac{\Delta E_A}{k_0 T} \right) \exp(\xi) \right] F_{1/2}(\xi). \quad (3)$$

利用 Change-Izabelle 近似^[16]求得 ξ 近似解为

$$\xi = \ln \left(\frac{u}{1+u} \right) + \left[\Gamma \left(\frac{5}{2} \right) \right]^{2/3} \frac{u}{(A+u)^{1/3}}, \quad (4)$$

其中, $u = p/N_V$, p 为半导体内的自由载流子浓度, 常量 A , u_0 , $\Gamma(5/2)$ 分别为

$$A = [\Gamma(5/2)]^2 u_0^3 [\ln(1+u_0^{-1})]^{-3} = 0.59010, \quad (5)$$

$$u_0 = F_{1/2}(0) = 0.76515, \quad (6)$$

$$\Gamma(5/2) = 3\pi^{1/2}/4 = 1.32934. \quad (7)$$

对于给定的 N_G , 由文献 [17] 可知杂质电离率大于 50%, 取电离率为 0.5, 那么 p 为 $0.5N_G$ 则可以求得 ξ 的值. 由 $E_V - E_F = \xi k_0 T$, 则 (1) 式可化为

$$\Phi_{p+Si_{1-x}Ge_x} = \chi + E_g(x) + k_0 T \left[\ln \left(\frac{u}{1+u} \right) + \left[\Gamma \left(\frac{5}{2} \right) \right]^{2/3} \frac{u}{(A+u)^{1/3}} \right], \quad (8)$$

式中, E_g 为 Poly-Si_{1-x}Ge_x 禁带宽度^[18].

2.2 Poly-Si_{1-x}Ge_x 栅应变 Si NMOSFET 垂直电势分布模型

半导体 MOSFET 器件垂直方向的电势分布对器件的阈值电压、跨导、栅电容、电流-电压特性及电流驱动能力都有重要的影响. 因此, 本文首先研究 Poly-Si_{1-x}Ge_x 栅应变 Si NMOSFET 垂直电势、电场分布.

2.2.1 垂直电势、电场分布模型

如图 1 器件结构按垂直方向分为四个区域, 分别为: 弛豫 SiGe 耗尽区、应变 Si 区、栅氧区及多晶栅耗尽区. 在这四个区域中分别求解 Poisson 方程 $\frac{d^2 V_j(x)}{dx^2} = -\frac{\rho_j(x)}{\epsilon_0 \epsilon_s}$, 可以得到各区域中的电场 E_j 和电势 V_j 的分布 ($j = 1, 2, 3, 4$), 其中 ρ 为各区域的电荷密度, ϵ_0 为真空中的介电常数, ϵ_s 为半导体的相对介电常数.

1) 弛豫 SiGe 耗尽区 ($t_{ox} + t_{sSi} < x < t_{ox} + t_{sSi} + t_d$)

该区域全部耗尽后负电荷密度为 $\rho_1(x) = -qN_A$, 由 Poisson 方程和边界条件 $V_1(t_{ox} + t_{sSi} + t_d) = 0$ 及 $E_1(t_{ox} + t_{sSi} + t_d) = 0$,

可以求得该区域中电势与电场的分布为

$$\left\{ \begin{array}{l} E_1(x) = -\frac{qN_A}{\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}x \\ \quad + \frac{qN_A}{\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}(t_{\text{ox}} + t_{\text{sSi}} + t_{\text{d}}), \\ V_1(x) = \frac{qN_A}{2\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}x^2 \\ \quad - \frac{qN_A}{\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}(t_{\text{ox}} + t_{\text{sSi}} + t_{\text{d}})x \\ \quad + \frac{qN_A}{2\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}(t_{\text{ox}} + t_{\text{sSi}} + t_{\text{d}})^2. \end{array} \right. \quad (9)$$

2) 应变 Si 区 ($t_{\text{ox}} < x < t_{\text{ox}} + t_{\text{sSi}}$)

该区域全部耗尽, 利用边界条件 $V_2(t_{\text{ox}} + t_{\text{sSi}}) = V_1(t_{\text{ox}} + t_{\text{sSi}})$, $\varepsilon_{\text{sSi}}E_2(t_{\text{ox}} + t_{\text{sSi}}) = \varepsilon_{\text{Si}_{1-y}\text{Ge}_y}E_1(t_{\text{ox}} + t_{\text{sSi}})$ 及负电荷密度 $\rho_2(x) = -qN_A$ 解 Poisson 方程, 可以求得该区域中电场与电势分布为

$$\left\{ \begin{array}{l} E_2(x) = -\frac{qN_A}{\varepsilon_{\text{sSi}}}x + \frac{qN_A}{\varepsilon_{\text{sSi}}}(t_{\text{ox}} + t_{\text{sSi}} + t_{\text{d}}), \\ V_2(x) = \frac{qN_A}{2\varepsilon_{\text{sSi}}}x^2 - \frac{qN_A}{\varepsilon_{\text{sSi}}}(t_{\text{ox}} + t_{\text{sSi}} + t_{\text{d}})x \\ \quad + \frac{qN_A}{2\varepsilon_{\text{sSi}}}(t_{\text{ox}} + t_{\text{sSi}})^2 \\ \quad + \frac{qN_A}{\varepsilon_{\text{sSi}}}(t_{\text{ox}} + t_{\text{sSi}})t_{\text{d}} \\ \quad + \frac{qN_A}{2\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}t_{\text{d}}^2. \end{array} \right. \quad (10)$$

3) 栅氧区 ($0 < x < t_{\text{ox}}$)

该区域中电荷密度为 ρ_3 且为常量, 将边界条件 $V_3(t_{\text{ox}}) = V_2(t_{\text{ox}})$ 及 $\varepsilon_{\text{ox}}E_3(t_{\text{ox}}) = \varepsilon_{\text{sSi}}E_2(t_{\text{ox}})$ 代入 Poisson 方程可以求得该区域中电场和电势分布为

$$\left\{ \begin{array}{l} E_3(x) = \frac{\rho_3}{\varepsilon_{\text{ox}}}x - \frac{\rho_3}{\varepsilon_{\text{ox}}}t_{\text{ox}} + \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}}), \\ V_3(x) = -\frac{\rho_3}{2\varepsilon_{\text{ox}}}x^2 + \frac{\rho_3}{\varepsilon_{\text{ox}}}t_{\text{ox}}x \\ \quad - \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}})x + \frac{qN_A}{2\varepsilon_{\text{sSi}}}t_{\text{sSi}}^2 \\ \quad + \frac{qN_A}{\varepsilon_{\text{sSi}}}t_{\text{d}}t_{\text{sSi}} + \frac{qN_A}{2\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}t_{\text{d}}^2 \\ \quad - \frac{\rho_3}{2\varepsilon_{\text{ox}}}t_{\text{ox}}^2 + \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}})t_{\text{ox}}. \end{array} \right. \quad (11)$$

考虑理想情况, 即 ρ_3 为 0, 则得到 SiO_2 层中的电场及电势分布为

$$\left\{ \begin{array}{l} E_3(x) = \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}}), \\ V_3(x) = -\frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}})x + \frac{qN_A}{2\varepsilon_{\text{sSi}}}t_{\text{sSi}}^2 \\ \quad + \frac{qN_A}{\varepsilon_{\text{sSi}}}t_{\text{d}}t_{\text{sSi}} + \frac{qN_A}{2\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}t_{\text{d}}^2 \\ \quad + \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}})t_{\text{ox}}. \end{array} \right. \quad (12)$$

设 Si / SiO_2 界面处的电势为 V_s , 则

$$\begin{aligned} V_s &= V_2(t_{\text{ox}}) \\ &= \frac{qN_A}{2\varepsilon_{\text{sSi}}}t_{\text{sSi}}^2 + \frac{qN_A}{\varepsilon_{\text{sSi}}}t_{\text{d}}t_{\text{sSi}} + \frac{qN_A}{2\varepsilon_{\text{Si}_{1-y}\text{Ge}_y}}t_{\text{d}}^2. \end{aligned} \quad (13)$$

将 (13) 式代入 (12) 式 V_3 中, 得到理想情况下栅氧区电势分布为

$$\begin{aligned} V_3(x) &= -\frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}})x + V_s \\ &\quad + \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}})t_{\text{ox}}. \end{aligned} \quad (14)$$

4) 多晶栅耗尽区 ($-t_{\text{pd}} < x < 0$)

该区域全部耗尽, 其中负电荷密度 $\rho_4(x) = -qN_G$, 利用 Poisson 方程和边界条件 $V_4(0) = V_3(0)$ 及 $\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}E_4(0) = \varepsilon_{\text{ox}}E_3(0)$ 可以求得该区域中电场及电势分布为

$$\left\{ \begin{array}{l} E_4(x) = -\frac{qN_G}{\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}x \\ \quad + \frac{qN_A}{\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}(t_{\text{sSi}} + t_{\text{d}}), \\ V_4(x) = \frac{qN_G}{2\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}x^2 \\ \quad - \frac{qN_A}{\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}(t_{\text{sSi}} + t_{\text{d}})x \\ \quad + \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}} + t_{\text{d}})t_{\text{ox}} + V_s. \end{array} \right. \quad (15)$$

2.2.2 阈值电压模型

阈值电压是 MOSFET 器件的重要参数. 对应变 Si MOS 器件, 阈值电压受多晶栅掺杂浓度、栅氧厚度、沟道掺杂浓度、弛豫衬底 Ge 组分及应变 Si 层厚度等多种因素的影响.

本文在对多晶栅耗尽机制研究的基础上分析多晶栅耗尽对于阈值电压的影响, 该结论有助于了解多晶耗尽效应对器件其他电学性能的影响.

基于前面的分析可知 p+Poly-Si_{1-x}Ge_x 栅极电压降落为

$$\begin{aligned} V_g &= V_4(-t_{pd}) + V_{FB} \\ &= \frac{qN_G}{2\varepsilon_{Si_{1-x}Ge_x}} t_{pd}^2 + \frac{qN_A}{\varepsilon_{Si_{1-x}Ge_x}} (t_{sSi} + t_d) t_{pd} \\ &\quad + \frac{qN_A}{\varepsilon_{ox}} (t_{sSi} + t_d) t_{ox} + V_s + V_{FB}, \end{aligned} \quad (16)$$

其中, V_s 为器件达到阈值反型点时表面势, V_{FB} 为平带电压, 表达式如下:

$$\begin{aligned} V_{FB} &= \Phi_{ms} - \frac{Q_{ox}}{C_{ox}} \\ &= \frac{\Phi_m - \Phi_s}{q} - \frac{Q_{ox}}{C_{ox}} \\ &= \frac{1}{q} (\Phi_{p+Si_{1-x}Ge_x} - \Phi_{sSi}) - \frac{Q_{ox}}{C_{ox}}. \end{aligned} \quad (17)$$

将 (8) 式代入 (17) 式中, 可得平带电压为

$$\begin{aligned} V_{FB} &= \frac{1}{q} \left[\chi + E_g(x) + k_0 T \left[\ln \left(\frac{u}{1+u} \right) \right. \right. \\ &\quad \left. \left. + \left[\Gamma \left(\frac{5}{2} \right) \right]^{2/3} \frac{u}{(A+u)^{1/3}} \right] \right. \\ &\quad \left. - \Phi_{sSi} \right] - \frac{Q_{ox}}{C_{ox}}, \end{aligned} \quad (18)$$

将 (18) 式代入 (16) 式得阈值电压 V_T 表达式为

$$\begin{aligned} V_T &= V_g = V_4(-t_{pd}) + V_{FB} \\ &= \frac{qN_G}{2\varepsilon_{Si_{1-x}Ge_x}} t_{pd}^2 + \frac{qN_A}{\varepsilon_{Si_{1-x}Ge_x}} (t_{sSi} + t_d) t_{pd} \\ &\quad + \frac{qN_A}{\varepsilon_{ox}} (t_{sSi} + t_d) t_{ox} + V_s \\ &\quad + \frac{1}{q} \left[\chi + E_g(x) + k_0 T \left[\ln \left(\frac{u}{1+u} \right) \right. \right. \\ &\quad \left. \left. + \left[\Gamma \left(\frac{5}{2} \right) \right]^{2/3} \frac{u}{(A+u)^{1/3}} \right] - \Phi_{sSi} \right] - \frac{Q_{ox}}{C_{ox}}. \end{aligned} \quad (19)$$

考虑重掺杂导致的带隙调制效应, (19) 式中的 E_g 应用 $E_g - 0.225 (N_G/10^{18})^{0.5}$ 代替 [19].

3 多晶栅耗尽层等效厚度归一化模型

本文采用等效氧化层厚度 (equivalent oxide thickness, 简记为 EOT) 来表征 Poly-Si_{1-x}Ge_x 栅耗尽, 并基于此建立应变 Si NMOSFET 的 Poly-Si_{1-x}Ge_x 栅耗尽模型.

由阈值反型点时的表面势表达式 (13) 可以求

得衬底耗尽的最大宽度为

$$\begin{aligned} t_{d \max} &= -\frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi} + \left[\left(\frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi} \right)^2 \right. \\ &\quad \left. - \frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi}^2 + \frac{2\varepsilon_{Si_{1-y}Ge_y} V_s}{qN_A} \right]^{\frac{1}{2}}, \end{aligned} \quad (20)$$

而上式中的 V_s 还是应变 Si 和弛豫 Si_{1-x}Ge_x 能带的函数 [12]

$$\begin{aligned} V_s &= \frac{k_0 T}{q} \left[\ln \frac{N_A}{n_i^{sSi}} + \ln \frac{N_A}{n_i^{Si_{1-y}Ge_y}} \right] \\ &\quad - \left(\frac{\Delta E_C + \Delta E_V}{2} \right), \end{aligned} \quad (21)$$

由氧化层两侧单位面积的电荷相等 [20], 得 $Q = \varepsilon_{sSi} E_2(t_{pd} + t_{ox}) = \varepsilon_{Si_{1-x}Ge_x} E_4(t_{pd})$, 即

$$-qN_G t_{pd} = -qN_A (t_{sSi} + t_{d \max}), \quad (22)$$

则

$$\begin{aligned} t_{pd} &= \frac{N_A (t_{sSi} + t_{d \max})}{N_G} \\ &= \frac{N_A}{N_G} \left\{ \left(1 - \frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} \right) t_{sSi} \right. \\ &\quad \left. + \left[\left(\frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi} \right)^2 \right. \right. \\ &\quad \left. \left. - \frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi}^2 + \frac{2\varepsilon_{Si_{1-y}Ge_y} V_s}{qN_A} \right]^{\frac{1}{2}} \right\}. \end{aligned} \quad (23)$$

利用 $\frac{\varepsilon_{Si_{1-x}Ge_x}}{t_{pd}} = \frac{\varepsilon_{ox}}{t_{PD}}$, 将 t_{pd} 等效为 SiO₂ 层的厚度 $t_{PD} = \frac{\varepsilon_{ox}}{\varepsilon_{Si_{1-x}Ge_x}} t_{pd}$, 将 (21) 式代入 (23) 式, 等效 SiO₂ 厚度为

$$\begin{aligned} t_{PD} &= \frac{\varepsilon_{ox}}{\varepsilon_{Si_{1-x}Ge_x}} \cdot \frac{N_A}{N_G} \left\{ \left(1 - \frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} \right) t_{sSi} \right. \\ &\quad \left. + \left[\left(\frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi} \right)^2 \right. \right. \\ &\quad \left. \left. - \frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi}^2 + \frac{2\varepsilon_{Si_{1-y}Ge_y} V_s}{qN_A} \right]^{\frac{1}{2}} \right\}, \end{aligned} \quad (24)$$

则总的氧化层厚度

$$\begin{aligned} t_{EOT} &= t_{ox} + t_{PD} \\ &= t_{ox} + \frac{\varepsilon_{ox}}{\varepsilon_{Si_{1-x}Ge_x}} \cdot \frac{N_A}{N_G} \left\{ \left(1 - \frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} \right) t_{sSi} \right. \\ &\quad \left. + \left[\left(\frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi} \right)^2 \right. \right. \\ &\quad \left. \left. - \frac{\varepsilon_{Si_{1-y}Ge_y}}{\varepsilon_{sSi}} t_{sSi}^2 + \frac{2\varepsilon_{Si_{1-y}Ge_y} V_s}{qN_A} \right]^{\frac{1}{2}} \right\}. \end{aligned} \quad (25)$$

为了便于讨论, 将等效 SiO_2 层进行归一化处理^[20], 则等效归一化参数为

$$\delta = 1 - \frac{t_{\text{ox}}}{t_{\text{EOT}}}. \quad (26)$$

$$\sigma = \frac{\frac{qN_G}{2\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}t_{\text{pd}}^2 + \frac{qN_A}{\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}(t_{\text{sSi}}t_{\text{pd}} + t_{\text{d}}t_{\text{pd}})}{\frac{qN_G}{2\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}t_{\text{pd}}^2 + \frac{qN_A}{\varepsilon_{\text{Si}_{1-x}\text{Ge}_x}}(t_{\text{sSi}}t_{\text{pd}} + t_{\text{d}}t_{\text{pd}}) + \frac{qN_A}{\varepsilon_{\text{ox}}}(t_{\text{sSi}}t_{\text{ox}} + t_{\text{ox}}t_{\text{d}})}. \quad (27)$$

4 结果与讨论

利用 matlab 软件对建立的上述模型进行仿真, 得到多晶栅耗尽效应与器件参数之间的关系及其对器件性能的影响, 仿真中所用参数如表 1 所示, 结果如图 3—9 所示.

表 1 模型仿真中所用参数

参数	参数值	单位
x_{sSi}	$4.05+0.58x^{[12]}$	eV
E_{gsSi}	$1.084-x(0.31+0.53x)^{[12]}$	eV
$\varepsilon_{\text{rsSi}}$	$11.9^{[12]}$	—
x_{SiGe}	$4.05-0.05x^{[12]}$	eV
$\varepsilon_{\text{SiGe}}$	$11.9+4.1x^{[12]}$	—
E_{gsSiGe}	$1.12-0.41x+0.008x^2^{[15]}$	eV
ΔE_{C}	$0.63x^{[12]}$	eV
ΔE_{V}	$x(0.74-0.53x)^{[12]}$	eV
N_{C}	$2.8 \times 10^{19}[3]$	cm^{-3}
m_{v}	$(0.81-0.47x)m_0^{[21]}$	kg
T	300	K
k_0	$1.38 \times 10^{-23}[15]$	J/K
n_{isSi}	$1.5 \times 10^{10}[12]$	cm^{-3}

图 3 为归一化等效氧化层厚度随衬底掺杂浓度及多晶栅中 Ge 组分的变化关系曲线. 弛豫衬底中 Ge 组分为 0.2, 栅掺杂浓度为 10^{19} cm^{-3} , 氧化层厚度为 2 nm, 应变硅层厚度为 10 nm. 由图 3 中可以看出, 归一化等效氧化层厚度随衬底掺杂浓度的增加而增大, 在相同衬底掺杂浓度的条件下, 归一化等效氧化层厚度随栅中 Ge 组分的增加而减小. 上述现象可以解释为由于在相同 Ge 组分及栅掺杂浓度的条件下, 衬底掺杂浓度越高, 全部耗尽时氧化层靠近沟道一侧的单位面积的电荷越多, 因此栅中耗尽厚度会增加, 以保持氧化层两侧的单位面积的电荷平衡.

图 4 所示为归一化等效厚度随多晶栅掺杂浓度及栅中 Ge 组分的变化关系曲线. 弛豫衬底 Ge 组

分为 0.2, 衬底掺杂浓度为 10^{17} cm^{-3} , 氧化层厚度为 2 nm, 应变硅厚度为 10 nm. 从图 4 可以看出, 归一化等效厚度随着栅掺杂浓度及栅中 Ge 组分的增加而减小, 而且随栅掺杂浓度的变化较为剧烈. 这是因为在一定的衬底掺杂浓度和 Ge 组分下, 栅掺杂浓度越高, 用以维持氧化层两侧的电荷平衡所需要的多晶耗尽厚度就越小.

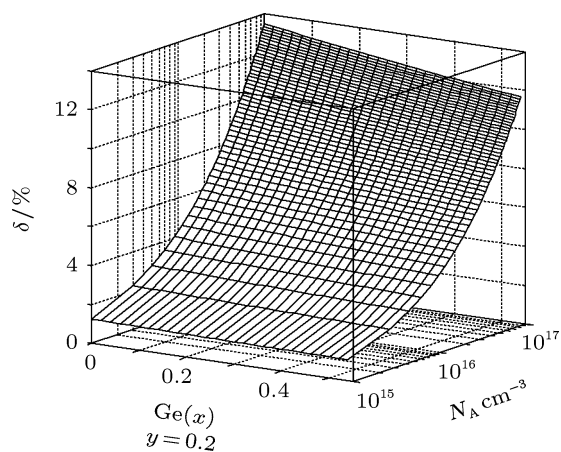


图 3 δ 随 N_A 及 Ge 组分的变化关系曲线

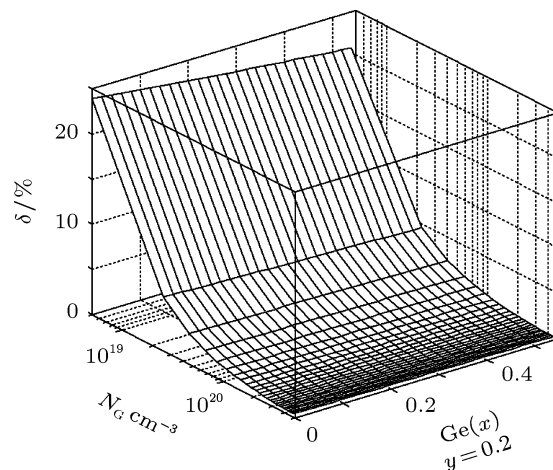


图 4 δ 随 N_G 及 Ge 组分的变化关系曲线

图 5 是归一化等效厚度随衬底 Ge 组分的变化关系曲线. 栅掺杂浓度为 10^{19} cm^{-3} , 衬底掺杂浓度

为 10^{17} cm^{-3} , 氧化层厚度为 2 nm, 应变硅层厚度为 10 nm. 从图 5 可以看出, 归一化等效厚度随弛豫衬底中 Ge 组分的增加而减小, 这是由于在相同衬底和栅掺杂浓度及固定的栅中 Ge 组分 x 下, 随弛豫 SiGe 中 Ge 组分 y 的增加, 表面势下降, 衬底耗尽层厚度减小, 使得反型时表面电子浓度下降, 从而导致多晶栅耗尽厚度减小.

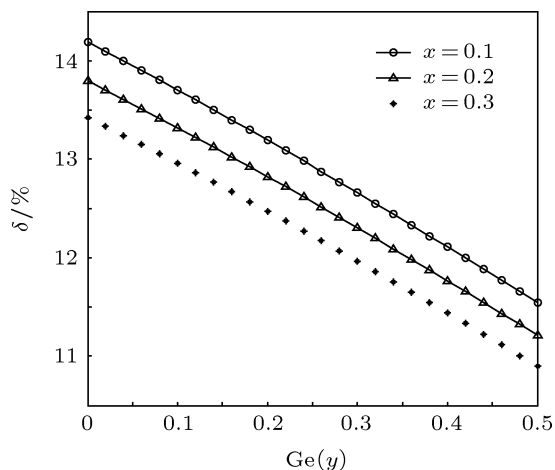


图 5 δ 随衬底 Ge 组分的变化关系曲线

图 6 和图 7 分别为归一化等效厚度随应变硅层和氧化层厚度变化的曲线. Ge 组分为 0.2, 衬底掺杂浓度为 10^{17} cm^{-3} , 栅掺杂浓度为 10^{19} cm^{-3} . 从图 6 可以看出, 在其他条件不变的情况下, 归一化等效厚度随 t_{Si} 的增加 (小于临界厚度) 几乎没有变化, 这是由于其他条件没有发生变化, 所以表面势和表面反型时的电子浓度不变, t_{Si} 不会影响栅耗尽层厚度. 此外由图 7 可以看出, 归一化等效厚度随着氧化层厚度的增加而减小.

图 8 给出了多晶耗尽上压降的比例随氧化层厚度及 Ge 组分变化的曲线. 栅掺杂浓度为 10^{20} cm^{-3} , 衬底掺杂浓度为 10^{17} cm^{-3} , 应变硅沟道厚度为 10 nm. 从图 8 可以看出, 多晶耗尽上压降的比例随氧化层厚度及 Ge 组分的增加而降低.

由阈值电压模型可以得到器件阈值电压漂移量. 图 9 为器件阈值电压漂移与衬底 Ge 组分变化的关系曲线, 栅掺杂浓度为 10^{20} cm^{-3} , 衬底掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$, 氧化层厚度为 2 nm, 应变硅沟道为 10 nm. 从图中可以看出, 随着弛豫衬底 Ge 组分的增大, 阈值电压漂移量的绝对值增大, 这是因为 Ge 组分的增加降低了器件的多晶耗尽效应, 使

栅耗尽部分上的压降减小, 降低了器件的阈值电压.

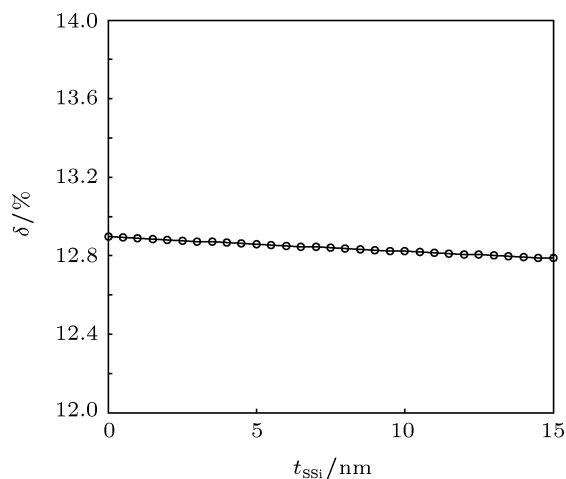


图 6 归一化等效厚度 δ 随应变 Si 沟道厚度 t_{Si} 变化曲线

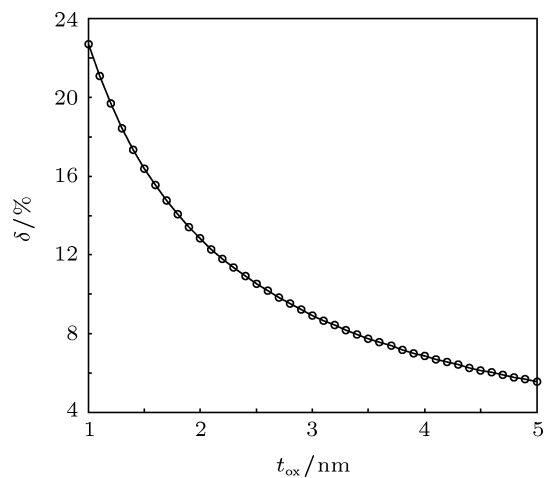


图 7 归一化等效厚度 δ 随氧化层厚度 t_{ox} 变化曲线

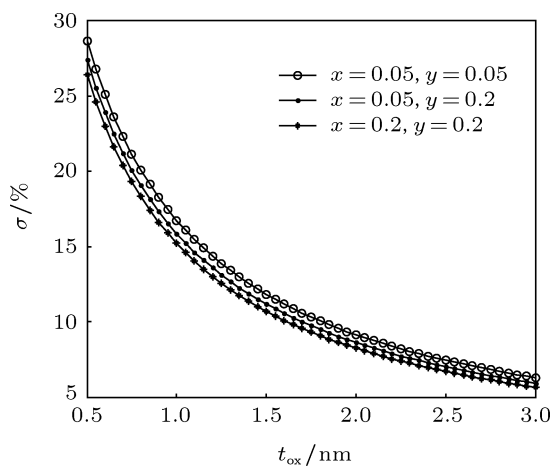


图 8 σ 随 Ge 组分及氧化层厚度 t_{ox} 变化曲线

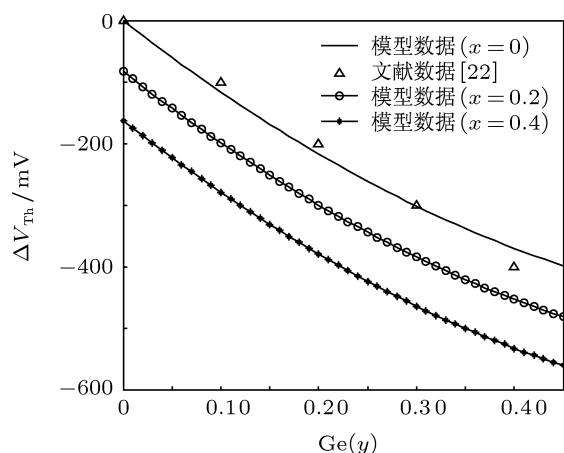


图9 多晶耗尽对器件阈值电压的影响

从图9中可以看出,当多晶硅锗栅中Ge组分 $x=0$ 时,本文所建模型获得的阈值电压漂移量与文献[22]中的结果基本一致;而当 $x=0.2$, $x=0.4$ 时,与多晶硅栅相比,其阈值电压漂移的变化主要是由于栅的功函数变化引起的.从图中可以看出,多晶硅锗栅应变硅NMOSFET的阈值电压漂移与多晶硅栅变化趋势一致.从图中3条曲线可以

得出,随着多晶SiGe栅中Ge组分 x 的增加,应变硅NMOSFET器件的阈值电压逐渐降低,即采用多晶SiGe栅能够抑制多晶耗尽效应对器件带来的影响,降低器件的阈值电压,从而提高器件的电流驱动能力及其他性能.

5 结论

本文首先建立了Poly-Si_{1-x}Ge_x栅功函数模型,并基于SiGe和应变Si材料的特性,通过求解Poisson方程,获得了Poly-Si_{1-x}Ge_x栅应变SiNMOSFET器件多晶耗尽等效近似模型.在此基础上,讨论了多晶耗尽与多晶栅Ge组分、多晶栅掺杂浓度、SiGe衬底掺杂浓度及Ge组分等物理量的依赖关系;同时利用建立的Poly-Si_{1-x}Ge_x栅功函数模型分析了多晶耗尽对于器件阈值电压的影响,仿真结果与文献[22]报道的结果基本一致.本文的研究结果可为MOSFET器件与制造提供有益的理论指导.

- [1] Hung M F, Wu Y C, Tang Z Y 2011 *Appl. Phys. Lett.* **98** 162108
- [2] Doyle B S, Datta S, Doczy M, Hareland S, Jin B, Kavalieros J, Linton T, Murthy A, Rios R, Chau R 2003 *IEEE Electron Dev. Lett.* **24** 263
- [3] Irisawa T, Numata T, Tezuka T, Usuda K, Sugiyama N, Takagi S I 2008 *IEEE Trans. Electron Dev.* **55** 649
- [4] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2010 *Acta Phys. Sin.* **59** 2064 (in Chinese) [宋建军, 张鹤鸣, 胡辉勇, 戴显英, 宣荣喜 2010 物理学报 **59** 2064]
- [5] Song J J, Zhang H M, Xuan R X, Hu H Y, Dai X Y 2009 *Acta Phys. Sin.* **58** 4958 (in Chinese) [宋建军, 张鹤鸣, 宣荣喜, 胡辉勇, 戴显英 2009 物理学报 **58** 4958]
- [6] Maiti T K, Banerjee A, Maiti C K 2010 *Engineering* **2** 879
- [7] Song J J, Zhang H M, Hu H Y, Xuan R X, Dai X Y 2010 *Atca Phys. Sin.* **59** 579 (in Chinese) [宋建军, 张鹤鸣, 胡辉勇, 宣荣喜, 戴显英 2010 物理学报 **59** 579]
- [8] Kang Y, Kim H, Lee J, Son Y, Park B G, Lee J D, Shin H 2009 *IEEE Electron Dev. Lett.* **30** 1371
- [9] Schuegraf K F, King C C, Hu C M 1993 *International Symposium on VLSI Technology, Systems, and Applications: Proceeding of Technical Papers*, Taipei, May 12–14, 86
- [10] Grados H R J, Manera L T, Wada R, Diniz J A, Doi L, Tatsch P J, Figueroa H E, Swart J W 2010 *Japan J. Appl. Phys.* **49** 04DC04
- [11] Song J J, Zhang H M, Hu H Y, Xuan R X, Dai X Y 2009 *Acta Phys. Sin.* **58** 7947 (in Chinese) [宋建军, 张鹤鸣, 胡辉勇, 宣荣喜, 戴显英 2009 物理学报 **58** 7947]
- [12] Nayfeh H M, Hoyt J L, Antoniadis D A 2004 *IEEE Trans. Electron Dev.* **51** 2069
- [13] Liu H T, Sin J K O, Xuan P Q, Bokor J 2004 *IEEE Trans. Electron Dev.* **51** 106
- [14] Ponomarev Y V, Stolk P A, Dachs C J J, Montree A H 2000 *IEEE Trans. Electron Dev.* **47** 1507
- [15] Liu E K, Zhu B S, Luo J S 2008 *Semiconductor Physics* (Beijing: Defense Industry Press) p366 (in Chinese) [刘恩科, 朱秉升, 罗晋生 2008 半导体物理学 (北京: 国防工业出版社)]
- [16] Chang T Y, Isabelle A 1989 *J. Appl. Phys.* **65** 2162
- [17] Hellberg P E, Zhang S L, Petersson C S 1997 *IEEE Electron Dev. Lett.* **18** 456
- [18] Gupta A 2003 *Investigation of High-Speed Optoelectronic Receivers in Silicon Germanium (SiGe)* (Pittsburgh: University of Pittsburgh)
- [19] Julian E S, Alamsyah A T 2006 *the 2nd Information and Communication Technology Seminar*, Surabaya, Indonesia, August 29, 132
- [20] Josse E, Skotnicki T 2001 *Solid-State Device Research Conference*, Crolles, France, September 11–13, 2001 207
- [21] Lee H, Vashae D, Wang D Z, Dresselhaus M S, Ren Z F, Chen G 2010 *J. Appl. Phys.* **107** 094308
- [22] Goo J S, Xiang Q, Takamura Y, Arasnia F, Paton E N, Besser P, Pan J, Lin M R 2003 *IEEE Electron Dev. Lett.* **24** 568

Study of gate depletion effect in strained Si NMOSFET with polycrystalline silicon germanium gate*

Hu Hui-Yong[†] Lei Shuai Zhang He-Ming Song Jian-Jun Xuan Rong-Xi
Shu Bin Wang Bin

(Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 6 July 2011; revised manuscript received 12 October 2011)

Abstract

Based on the analysis of Poly-Si_{1-x}Ge_x gate work function and by solving Poisson equation, the models of vertical electric field and potential distribution in strained Si NMOSFET with Poly-Si_{1-x}Ge_x gate are obtained; threshold voltage model and the gate depletion thickness and its normalization model are established in strained Si NMOSFET based on the above results, with the gate depletion effect of Poly-Si_{1-x}Ge_x taken into account. Then the influences of device geometrical and physical parameters of device especially the Ge fraction on Poly-Si_{1-x}Ge_x gate depletion thickness are investigated. Furthermore, the effect of gate depletion thickness on threshold voltage is analyzed. It shows that the poly depletion thickness decreases with the increases of Ge fraction and gate doping concentration, while it increases with the increase of substrate doping concentration. Furthermore, the threshold voltage increases with the increase of gate depletion thickness. The results can provide theoretical references to the design of strained Si devices.

Keywords: ploy-Si_{1-x}Ge_x, strained Si, gate depletion effect, threshold voltage

PACS: 73.40.Ty, 73.43.Cd, 73.21.Ac

* Project supported by the Fundamental Research Funds for the Central Universities, China (Grant Nos. 72105499, 72104089), the Natural Science Basic Research Plan in Shaanxi Province of China (Grant No. 2010JQ8008) and the Pre-Research of China (Grant No. 9140C09303110C0904).

[†] E-mail: huhu@xidian.edu.cn