

量子阱 Si/SiGe/Si p 型场效应管阈值电压和沟道空穴面密度模型*

李立[†] 刘红侠 杨兆年

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2011年12月13日收到; 2012年1月19日收到修改稿)

Si 材料中较低的空穴迁移率限制了 Si 互补金属氧化物半导体器件在高频领域的应用. 针对 SiGe p 型金属氧化物半导体场效应管 (PMOSFET) 结构, 通过求解纵向一维泊松方程, 得到了器件的纵向电势分布, 并在此基础上建立了器件的阈值电压模型, 讨论了 Ge 组分、缓冲层厚度、Si 帽层厚度和衬底掺杂对阈值电压的影响. 由于 SiGe 沟道层较薄, 计算中考虑了该层价带势阱中的量子化效应. 当栅电压绝对值过大时, 由于能带弯曲和能级分裂造成 SiGe 沟道层中的空穴会越过势垒到达 Si/SiO₂ 界面, 从而引起器件性能的退化. 建立了量子阱 SiGe PMOSFET 沟道层的空穴面密度模型, 提出了最大工作栅电压的概念, 对由栅电压引起的沟道饱和进行了计算和分析. 研究表明, 器件的阈值电压和最大工作栅压与 SiGe 层 Ge 组分关系密切, Ge 组分的适当提高可以使器件工作栅电压范围有效增大.

关键词: SiGe p 型场效应管, 阈值电压, 量子阱, 空穴面密度

PACS: 61.72.uf, 85.30.De, 85.35.Be

1 引言

对于 SiGe p 型金属氧化物半导体场效应晶体管 (PMOSFET), 由于压缩应变的 SiGe 空穴沟道层及张应变的 Si 电子沟道层中载流子迁移率的提升, 在较低的有效电场下 (约 0.3 MV/cm³), 空穴迁移率可以提升 60%^[1], 因此器件的速度将比常规硅器件有明显提高. 在亚微米、深亚微米区, 由于硅锗 MOSFET 中载流子有速度过冲现象, 异质结器件具有更明显的优势, 因此硅锗器件能够获得更高的跨导、更大的速度和更低的功耗. 本文讨论了一种应变 SiGe PMOSFET 器件结构, 对应变 Si 和应变 SiGe 界面进行了研究. 由于 SiGe 层厚度很薄 (几 nm 至十几 nm), 因此空穴能带出现明显的量子化, 仅通过求解泊松方程得到沟道中的载流子浓度不再准确^[2]. 本文通过求解薛定谔方程得到各空穴能级的位置, 建立了应变 SiGe PMOSFET 阈值电

压模型和量子阱沟道中载流子面密度模型, 分析了阈值电压和沟道载流子面密度与几个关键参数的关系以及两者对器件电学性能的影响.

2 量子阱 SiGe PMOSFET 结构及阈值电压和沟道空穴面密度模型的建立

2.1 量子阱 SiGe PMOSFET 结构

量子阱 SiGe PMOSFET 的有源区包括弛豫 Si 缓冲层、应变 SiGe 层和应变 Si 帽层, 如图 1 所示. 由于 SiGe 合金在氧化过程中会因为 Ge 在 SiO₂/SiGe 界面的堆积使界面态增加, 使器件性能劣化, 因此在应变 SiGe 层上要生长一层 Si 帽层作为牺牲层. 应变 SiGe 层用作载流子传输的沟道层, 其厚度要小于临界厚度. Si 缓冲层用作生成应变 SiGe 的模板, 以减少 SiGe 沟道与 n 型掺杂衬底

* 国家自然科学基金 (批准号: 61076097, 60936005) 资助的课题.

[†] E-mail: 332808552@qq.com

间的界面影响. 同时, 在淀积时缓冲层、沟道层和帽层都是非掺杂的, 这样可以减少杂质散射对载流子迁移率的影响 [3].

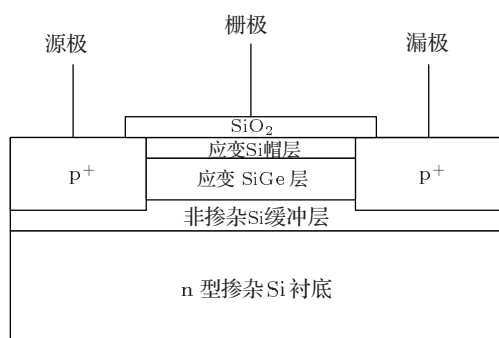


图1 量子阱应变 Si/应变 SiGe/弛豫 Si PMOSFET 结构

由于 SiGe 薄层夹在两层 Si 之间形成异质结, 因此导致价带顶能量的不连续, 在 Si 帽层和 SiGe 层界面处形成势阱, 如图 2 所示. 其中, 横坐标 x 为器件的纵向尺寸, 纵坐标 E 为载流子能量, E_C 为导带, E_V 为价带, E_F 为费米能级. 这样当 Ge 组分足够高的情况下, 应变 SiGe 沟道层足以约束空穴, 由于该层不存在杂质散射, 沟道平面内的水平方向空穴迁移率增高. 同时, 为了形成此约束而设置的 Si 帽层, 具有隔离导电沟道和 SiO₂ 的作用, 从而削弱了 SiO₂/Si 界面对载流子的散射, 使得空穴迁移率进一步提高 [4]. 在该结构中, 载流子受限于迁移率较大的 SiGe 沟道层中, 当 Si 帽层和应变 SiGe 沟道层的厚度确定之后, 应变程度越高, SiGe 沟道对空穴的约束也就越强.

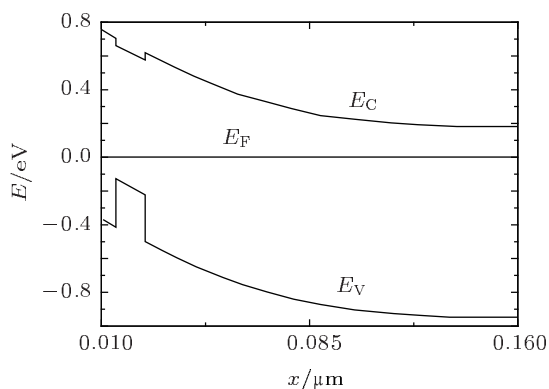


图2 仿真的 SiGe p 型场效应管能带图

在本文的计算中, 器件采用均匀掺杂为 $5 \times 10^{16} \text{ cm}^{-3}$ 的 n 型 Si 为衬底, 在此基础上依次生长厚度为 d_i 的弛豫 Si 层, 厚度 t_{SiGe} 为 12 nm 的应变 SiGe 层, 厚度 t_{cap} 为 4.6 nm 的应变 Si 帽层和厚

度 t_{ox} 为 3.8 nm 的 SiO₂ 栅介质, 以上四层都是非掺杂的.

2.2 器件阈值电压和沟道空穴面密度模型的建立

由图 2 中应变 Si/应变 SiGe/弛豫 Si 纵向的能带结构可以看出, 价带的变化量比导带的变化量明显, 在价带处形成空穴的量子阱, 在原理上满足 SiGe PMOSFET 工作的条件. 根据 MOSFET 阈值电压 V_{th} 为 n 型衬底刚开始进入反型区时的栅电压 [4,5], 因此定义

$$V_{\text{th}} = V_{\text{fb}} + \phi_{\text{th}} - Q_{\text{dp}}/C_1, \quad (1)$$

其中, V_{fb} 为栅极材料与 Si 的平带电压, 本文中栅极材料采用 N⁺ 多晶硅. 将应变 SiGe 层中的 Ge 组分设为 y , 则阈值条件下的表面势 ϕ_{th} 可表示为

$$\phi_{\text{th}} = 2\phi_f + \Delta E_V = \frac{2kT}{q} \ln\left(\frac{N_D}{n_i}\right) + 0.74y, \quad (2)$$

Q_{dp} 为阈值条件下 n 型 Si 衬底耗尽区的总电荷, C_1 为从栅极与 n 型衬底间的电容:

$$1/C_1 = 1/C_{\text{ox}} + 1/C_{\text{cap}} + 1/C_{\text{SiGe}} + 1/C_{\text{buffer}}. \quad (3)$$

假设器件纵向为 x 方向, 在阈值条件下, n 型 Si 衬底的耗尽区宽度达到最大 $x_{\text{d max}}$, 则耗尽区总电荷

$$Q_{\text{dp}} = qN_D x_{\text{d max}}. \quad (4)$$

为计算表面势 ϕ_s 与耗尽区宽度 x_{d} 的关系, 在 n 型 Si 衬底、弛豫 Si 缓冲层、应变 SiGe 层和应变 Si 帽层, 分别建立一维泊松方程, 如图 3 所示.

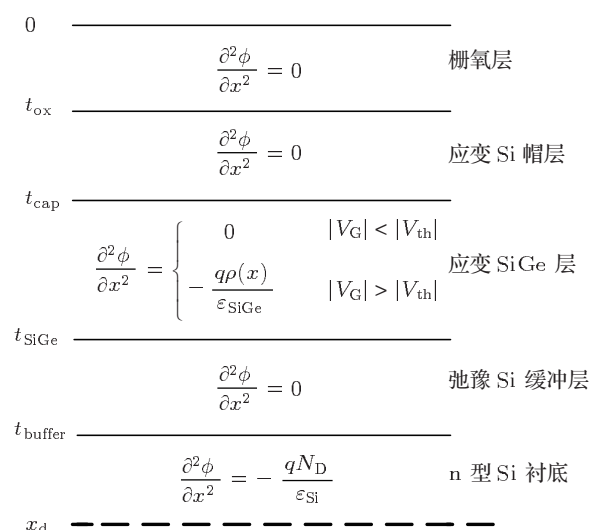


图3 SiGe PMOSFET 各层的泊松方程示意图

当栅电压 $V_G < V_{th}$ 时, 经过计算得到

$$\phi_s = -\frac{qN_D}{2\varepsilon_{Si}} \left[x_d^2 + 2x_d \left(t_{buffer} + \frac{\varepsilon_{Si}}{\varepsilon_{SiGe}} t_{SiGe} \right) \right] - \frac{qN_D x_d t_{cap}}{\varepsilon_{Si}}. \quad (5)$$

因此, 当 $\phi_s = \phi_{th}$ 时, 耗尽区宽度 x_d 达到最大:

$$x_{d \max} = \left[-\frac{2\varepsilon_{Si}\phi_{th}}{qN_D} + \left(t_{buffer} + \frac{\varepsilon_{Si}}{\varepsilon_{SiGe}} t_{SiGe} \right) \right]^{1/2} - t_{buffer} - \frac{\varepsilon_{Si}}{\varepsilon_{SiGe}} t_{SiGe}. \quad (6)$$

当 $V_G > V_{th}$ 时, 在应变 SiGe 沟道层, 泊松方程变为

$$\varepsilon_{SiGe}\phi'' = -qp(x). \quad (7)$$

(7) 式两边对 x 进行积分得到 $\varepsilon_{SiGe}\phi'|_{x=t_{cap}} = -q(P_s + Q_{dp}/q)$, 其中 $P_s = \int_{SiGe} p(x) dx$, 即 SiGe 层中总的电荷密度, 而 Q_{dp} 为积分产生的常数项部分. 从而

$$V_G - V_{th} = -(qP_s + Q_{dp})/C = \varepsilon_{SiGe}\phi'|_{x=t_{cap}}/C. \quad (8)$$

电容 C 考虑了沟道电荷和耗尽层电荷的综合影响, 因此存在关系式

$$-(qP_s + Q_{dp})/C = -qP_s/C_2 - Q_{dp}/C_1, \quad (9)$$

其中 C_2 为从栅电极到 SiGe 沟道层之间的电容:

$$1/C_2 = 1/C_{ox} + 1/C_{cap}. \quad (10)$$

当器件的导电沟道比较短 (小于 $1 \mu m$) 时, 会出现明显的短沟道效应, 从而引起阈值电压的降低, 根据 Yau 提出的电荷分享模型 [6], 器件的阈值电压可修改为

$$V_{th1} = V_{fb} + \phi_{th} - FQ_{dp}/C_1, \quad (11)$$

其中, F 为电荷分享因子, 描述了沟道区中栅控耗尽电荷在总耗尽电荷中所占的份额. 由于本文的 PMOSFET 为埋沟器件, 相对于表面沟道器件其所受短沟道效应的影响较小, F 可表示为

$$F = 1 - \frac{x_j}{L} \left\{ \left[\left(1 + \frac{2x_{d \max}}{x_j} \right)^2 - \left(\frac{x_{d \max} + t_{cap}}{x_j} \right)^2 \right]^{1/2} - 1 \right\}, \quad (12)$$

其中, x_j 为源衬、漏衬 pn 节深.

随着栅电压绝对值的增大, 由 n 型 Si 衬底注入 SiGe 沟道层中的反型电荷空穴逐渐增多, 当一部分空穴的能量足够高, 接近或者超过 Si 帽层

与 SiGe 层的价带势垒 ΔE_V 时, 空穴便会越过势垒到达 Si 帽层和栅氧层的界面, 由于该处 Si/SiO₂ 界面十分粗糙, 界面态比较多, 载流子要经受强烈的表面散射, 导致迁移率降低进而引起器件性能退化, 偏离了高空穴迁移率器件的设计初衷. 因此认为当 SiGe 沟道层中空穴开始饱和时, 器件的栅电压即为最大正常工作电压. 下面就 SiGe 沟道层中的空穴面密度与栅电压的关系进行分析和讨论.

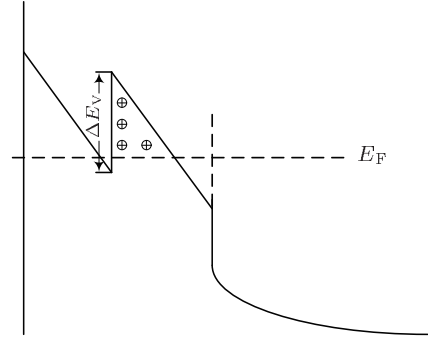


图 4 器件的价带结构与 SiGe 层空穴势阱

图 4 为 SiGe 沟道区接近饱和时的 PMOSFET 的纵向价带结构与 SiGe 层空穴势阱示意图. 由于栅电压和平带电压的存在, 器件在栅极表面附近的能带结构发生弯曲, 本文近似 SiGe 层势阱为一维有限三角形势阱. 由于该层的纵向尺寸很小, 空穴能级的量子化效应明显, 空穴位于低于价带势垒的几个分立能级上. 由于电场的作用导致能带弯曲, 三角形势阱不断变窄, 能级进一步分裂, 势阱中所容纳的电荷减少. 因此, 求解势阱饱和时的电荷浓度需要求解势阱中空穴分布的一维波动方程, 根据各能级的有效状态密度和费米分布求出该层总的电荷面密度. 对 SiGe 层价带三角形势阱, 求解一维波动方程 [7,8]:

$$\left(-\frac{\hbar^2}{2m} \frac{d^2}{dx^2} + e\phi(x) \right) \zeta(x) = E\zeta(x), \quad (13)$$

其中, $\zeta(x)$ 为器件纵向的波函数, ϕ 为势阱中的电场强度. 经过计算, 得到诸能级的位置

$$E_n = \left(\frac{\hbar^2}{2m} \right)^{1/3} (e\phi)^{2/3} \left[\frac{3\pi}{2} \left(n - \frac{1}{4} \right) \right]^{2/3} \quad n = 1, 2, 3, \dots \quad (14)$$

由于沟道中的空穴分布相对栅电压对电场的影响较弱, 因此势阱中的场强近似一致:

$$\phi = -\frac{(V_G - V_{th})C_2 - Q_{dp}}{\varepsilon_{SiGe}}. \quad (15)$$

根据费米分布, SiGe 沟道层的空穴分布函数为 $f_{\text{hole}} = \left[1 + \exp\left(\frac{E_{\text{F}} - E}{kT}\right) \right]^{-1}$, 其中 E 为空穴的能量, E_{F} 为费米能级. 随着空穴能级的降低, 空穴的分布概率随着 $\left| \frac{E_{\text{F}} - E}{kT} \right|$ 的减小而迅速降低, 因此诸能级的饱和空穴面密度为

$$P_{\text{sat}} \Big|_{E_n} = g_{2\text{D}} \left[1 + \exp\left(\frac{E_{\text{F}} - E_n}{kT}\right) \right]^{-1} \quad n = 1, 2, 3, \dots, \quad (16)$$

其中, $g_{2\text{D}}$ 为单位面积的二维空间子带的态密度:

$$g_{2\text{D}} = \frac{m}{\pi h^2}. \quad (17)$$

当空穴能级接近价带势垒时, 即势垒与空穴能级之差小于热电势 kT/q , 该能级上的空穴有足够大的概率跃过势垒到达栅氧层/Si 帽层界面. 因此计算中只考虑低于价带势垒 kT/q 以下的几个能级, 得到 SiGe 沟道层饱和时总的空穴面密度:

$$P_{\text{Ssat}} = \sum_n P_{\text{sat}} \Big|_{E_n} \quad n = 1, 2, 3, \dots. \quad (18)$$

3 计算结果及讨论

根据本文第二节所建立的阈值电压模型, 经过计算得到 SiGe PMOSFET 的阈值电压与 Si 缓冲层厚度 t_{buffer} , SiGe 层 Ge 组分 y 以及衬底掺杂浓度 N_{D} 的关系, 如图 5 所示. 可以看出, 当衬底掺杂浓度一定时, 器件的阈值电压随着 Si 缓冲层厚度 t_{buffer} 的增加不断减小并趋于稳定, 当 t_{buffer} 超过 $0.5 \mu\text{m}$ 时, 阈值电压的变化不再明显. 而随着 SiGe 层 Ge 组分的增加, 阈值电压的绝对值呈现出逐渐减小的趋势, 当 Ge 组分为 0.3 时, 阈值电压约为 -1.1 V .

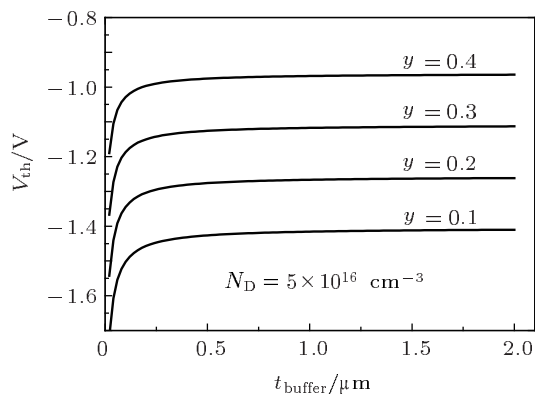


图 5 不同 Ge 组分下阈值电压与 Si 缓冲层厚度的关系

图 6 为当 Si 缓冲层厚度 $2 \mu\text{m}$ 时, SiGe 层不同 Ge 组分下阈值电压与衬底掺杂的关系. 可见, 衬底掺杂浓度越高, 阈值电压的绝对值越大. 当器件的沟道长度 L 小于 $1 \mu\text{m}$ 时, 考虑器件的短沟道效应设 x_j 为 $0.5 \mu\text{m}$, y 为 0.3, 同时调整 Si 帽层厚度 t_{cap} 分别为 2, 4, 6 和 8 nm, 得到器件的阈值电压与沟道长度的关系, 如图 7 所示. 可见, 由于短沟道条件下, 源衬、漏衬 pn 节耗尽层对实际沟道长度带来明显的影响, 器件阈值电压的绝对值会因为实际沟道长度的减小而变得更低. 而不同的 Si 帽层厚度的器件, 阈值电压也表现出一定的差别, Si 帽层厚度越小, 器件阈值电压的绝对值越小.

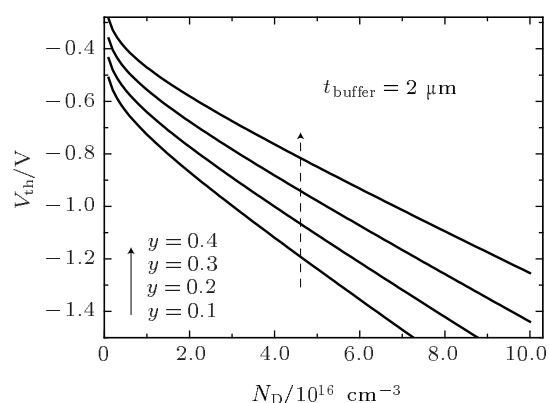


图 6 不同 Ge 组分下阈值电压与衬底掺杂的关系

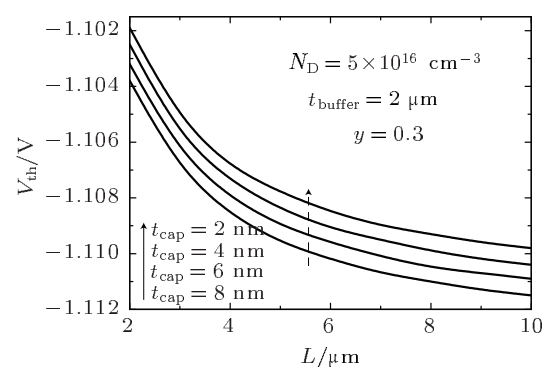


图 7 不同 Si 帽层厚度下阈值电压与沟道长度 L 的关系

当 Ge 组分为 0.3 时, 将考虑量子化时 SiGe 沟道层饱和空穴面密度与计算的 SiGe 沟道层空穴面密度进行对比, 得到相应的诸能级位置与栅电压的关系, 如图 8. 在计算中, 将空穴面密度随栅电压的变化关系与德国慕尼黑大学的 3D 纳米器件模拟器 nextnanomat 计算得到的结果进行了对比, 能够较好地符合. 随着栅电压的升高, 考虑到 SiGe

层势阱中的量子化效应, 势阱中的空穴会出现饱和, 饱和后由于大量空穴越至栅氧层/Si 帽层界面, SiGe 沟道层的空穴面密度迅速下降, 从而引起空穴迁移率的下降和器件性能的退化, 因此认为势阱中空穴开始出现饱和时的栅电压为最高工作栅电压 $V_{G \max}$. 可以看出, 当栅电压超过 $V_{G \max}$ 时, 沟道中的电荷不再随 $|V_G|$ 的增加而增加, 并且由于能带进一步弯曲导致势阱准中电场的不断增大和能级的升高, 沟道中的空穴面密度随 $|V_G|$ 的增大而迅速减小. 因此, 为了保证沟道中二维空穴气的高迁移率和器件良好的性能, 器件不应该在栅电压超过 $V_{G \max}$ 条件下工作.

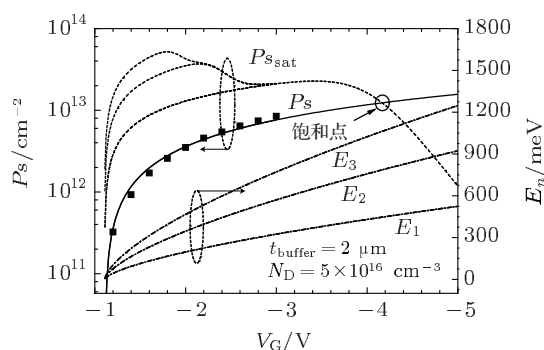


图 8 考虑量子化时 SiGe 沟道层饱和空穴面密度 $P_{s \text{sat}}$, SiGe 沟道层空穴面密度 P_s 以及各空穴能级与栅电压的关系, $P_{s \text{sat}}$ 由下至上三条虚线分别为只考虑 E_1 能级、考虑 E_1 和 E_2 能级、考虑 E_1, E_2, E_3 能级时的饱和曲线, 离散点是由软件 nextnanomat 计算得到的 SiGe 层空穴面密度

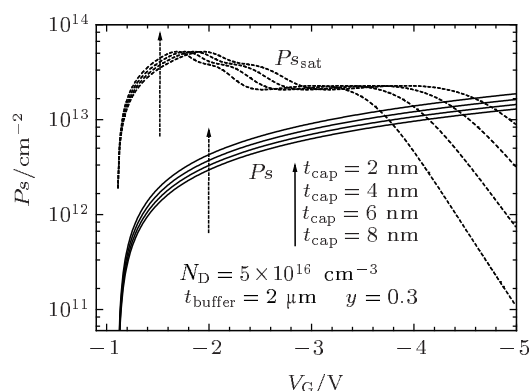


图 9 不同 Si 帽层厚度下 SiGe 沟道层空穴面密度曲线和空穴面密度饱和曲线

为分析 Si 帽层厚度 t_{cap} 对 SiGe 沟道层空穴面密度的影响, 设 Ge 组分 y 为 0.3, 同时调整 t_{cap} , 得到结果如图 9 所示. 可见, 较小 Si 帽层厚度对应着较高的空穴面密度, 同时 SiGe 层势阱饱和时的空穴面密度受 t_{cap} 的影响较大, 不同的 t_{cap} 下饱和

点 (对应的 V_G 为最大工作栅压) 的位置表现出较大的差异. 因此, 减小 Si 帽层的厚度有助于提高沟道空穴面密度和 $V_{G \max}$, 从而使器件正常工作时的栅电压调节范围增大.

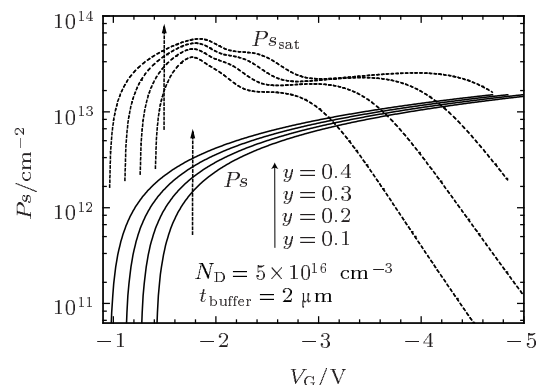


图 10 不同 Ge 组分下的 SiGe 沟道层空穴面密度曲线和空穴面密度饱和曲线

图 10 为不同 Ge 组分下的 SiGe 沟道层空穴面密度曲线和量子化的空穴面密度饱和曲线对比. 表 1 给出了不同 Ge 组分下的 SiGe PMOSFET 阈值电压和最大工作栅压. 可以看到, 不考虑饱和时, 不同 Ge 组分下空穴面密度 P_s 随着 $|V_G|$ 的增大而趋于一致, 而 Ge 组分的变化对考虑沟道量子化时的饱和曲线 $P_{s \text{sat}}$ 影响较大, 尤其当 $|V_G| > 3 \text{ V}$ 时, 不同 Ge 组分下的 $P_{s \text{sat}}-V_G$ 曲线分散, 也就造成了沟道开始饱和时的 $V_{G \max}$ 差别比较大. 当 SiGe 沟道层的 Ge 组分为 0.1 时, 器件的阈值电压 V_{th} 为 -1.41 V , $V_{G \max}$ 为 -3.18 V , 而 Ge 组分为 0.4 时, V_{th} 为 -0.96 V , $V_{G \max}$ 则为 -4.70 V . 因此, 适当的提高 Ge 组分有助于扩大器件正常工作栅电压的范围.

表 1 不同 Ge 组分 y 下 SiGe PMOSFET 阈值电压和最大工作栅压

y	0.1	0.2	0.3	0.4
V_{th}/V	-1.41	-1.26	-1.11	-0.96
$V_{G \max}/\text{V}$	-3.18	-3.64	-4.16	-4.70

4 结论

本文建立了量子阱 Si/SiGe/Si PMOSFET 的阈值电压模型^[9,10]和沟道载流子面密度模型, 由于考虑了沟道层势阱中空穴的量子化效应, 随着栅电压绝对值的增大价带势阱中的空穴会出现饱和, 因此引入了最大工作栅电压的概念. 当 SiGe PMOS-

FET 沟道发生饱和后, 由于空穴越过 Si/SiGe 势垒到达 Si 帽层与栅氧化层界面从而导致器件性能下降, 因此器件在正常工作时, 栅电压不应超过最大工作栅电压. 文中分析了不同的缓冲层厚度、衬底掺杂、Si 帽层厚度和沟道长度与器件阈值电压的关系, 并进一步讨论了考虑沟道量子化时不同 Ge

组分对阈值电压和最大工作栅电压的影响. 结果表明, Ge 组分和 Si 帽层厚度是调节器件阈值电压和沟道载流子密度的重要结构参数, 而 Ge 组分的适当提高可以使器件获得更大范围的正常工作栅电压. 该结果可以为 SiGe PMOSFET 器件的设计和应用提供参考.

-
- [1] Currie T, Leitz C W, Langdo T A, Taraschi G, Fitzgerald E A, Antoniadis D A 2001 *J. Vac. Sci. Tech. B* **19** 2268
- [2] Roldan J B, Gamiz F, Cartujo-Cassinello P C, Cartujo P, Carceller J E, Roldan A 2003 *IEEE Trans. Electron Dev.* **50** 1408
- [3] Hu H Y, Zhang H M, Dai X Y, Lü Y, Shu B, Wang W, Jiang T, Wang X Y 2004 *Acta Phys. Sin.* **53** 4314 (in Chinese) [胡辉勇, 张鹤鸣, 戴显英, 吕懿, 舒斌, 王伟, 姜涛, 王喜媛 2004 物理学报 **53** 4314]
- [4] Bindu B, Gupta N D, Gupta A D 2006 *Solid-State Electronics* **50** 448
- [5] Zou X, Xu J P, Li C X, Lai P T, Chen W B 2007 *Microelectronics Reliability* **47** 391
- [6] Arora N (translated by Zhang X) 1999 *MOSFET Models for VLSI Circuit simulation: Theory and Practice* (1st Ed.) (Beijing: Science Press) p213 (in Chinese) [艾罗拉 N 著 (张兴译) 1999 用于 VLSI 模拟的小尺寸 MOS 器件模型: 理论与实践 (第一版) (北京: 科学出版社) 第 213 页]
- [7] Levinshtein M E, Rumyantsev S L, Shur M S 2003 *Properties of Advanced Semiconductor Materials* (1st Ed.) (New York: John Wiley and Sons) p211
- [8] Ye L X 1997 *Monte Carlo Simulation of Small Semiconductor Devices* (1st Ed.) (Beijing: Science Press) p157 (in Chinese) [叶良修 1997 小尺寸半导体器件的蒙特卡罗模拟 (第一版) (北京: 科学出版社) 第 157 页]
- [9] Liu H X, Yin X K, Liu B J, Hao Y 2010 *Acta Phys. Sin.* **59** 8877 (in Chinese) [刘红侠, 尹湘坤, 刘冰洁, 郝跃 2010 物理学报 **59** 8877]
- [10] Liu H X, Hao Y 2007 *Acta Phys. Sin.* **16** 2111 (in Chinese) [刘红侠, 郝跃 2007 物理学报 **16** 2111]

Threshold-voltage and hole-sheet-density model of quantum well Si/SiGe/Si p field effect transistor*

Li Li[†] Liu Hong-Xia Yang Zhao-Nian

(Key Laboratory for Wide Band Gap Semiconductor Materials and Devices of Education, School of Microelectronics,
Xidian University, Xi'an 710071, China)

(Received 13 December 2011; revised manuscript received 19 January 2012)

Abstract

The low hole mobility restricts the application of Si complementary metal-oxide-semiconductor in high frequency fields. In this paper, the SiGe p-metal-oxide-semiconductor field-effect-transistor (PMOSFET) is studied. By numeric modeling and analysis, the vertical potential distribution of the device is obtained through solving one-dimensional Poisson equations, and the threshold-voltage model is established. The effects of Ge-profile, thickness of Si buffer layer, thickness of Si cap layer and substrate doping on the threshold-voltage are discussed. In SiGe layer, the quantization effect of the potential well in valence band is taken into account. When the gate voltage is large enough, the holes in SiGe channel layer will transit to the Si/SiO₂ interface due to band bending and energy level splitting, causing the degradation of device performance. Thus, the hole-sheet-density model in quantum channel of SiGe PMOSFET is established, and the concept of the maximum operating gate voltage is proposed, moreover the channel saturation induced by gate voltage is calculated and analyzed. The results show that the threshold voltage and the maximal operating gate voltage are related to Ge-profile, and a proper increase of Ge-profile can extend the range of the operating gate voltage effectively.

Keywords: SiGe p-metal-oxide-semiconductor field-effect-transistor, threshold voltage, quantum well, hole-sheet-density

PACS: 61.72.uf, 85.30.De, 85.35.Be

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61076097, 60936005).

[†] E-mail: 332808552@qq.com