

基于氧化铟锡的无结低电压薄膜晶体管*

赵孔胜[†] 轩瑞杰 韩笑 张耕铭

(湖南大学微纳光电子器件教育部重点实验室, 长沙 410082)

(2012年1月5日收到; 2012年4月6日收到修改稿)

在室温下制备了基于氧化铟锡 (ITO) 的底栅结构无结薄膜晶体管. 源漏电极和沟道层都是同样的 ITO 薄膜材料, 没有形成传统的源极结和漏极结, 因而极大的简化了制备流程, 降低了工艺成本. 使用具有大电容的双电荷层 SiO_2 作为栅介质, 发现当 ITO 沟道层的厚度降到约 20 nm 时, 器件的栅极电压可以很好的调控源漏电流. 这些无结薄膜晶体管具有良好的器件性能: 低工作电压 (1.5 V), 小亚阈值摆幅 (0.13 V/dec)、高迁移率 ($21.56 \text{ cm}^2/\text{V}\cdot\text{s}$) 和大开关电流比 (1.3×10^6). 这些器件即使直接在大气环境中放置 4 个月, 器件性能也没有明显恶化: 亚阈值摆幅保持为 0.13 V/dec, 迁移率略微下降至 $18.99 \text{ cm}^2/\text{V}\cdot\text{s}$, 开关电流比依然大于 10^6 . 这种工作电压低、工艺简单、性能稳定的无结低电压薄膜晶体管非常有希望应用于低能耗便携式电子产品以及新型传感器领域.

关键词: 薄膜晶体管, 无结, 低电压, 氧化铟锡

PACS: 72.80.Ey, 73.40.Qv, 73.61.Ng

1 引言

最近, 一种被称为无结纳米线晶体管的新型场效应晶体管受到了广泛关注^[1-4]. 这种器件的沟道、源极和漏极的制作是通过共用一根厚度为 10 nm 宽度为 30 nm 的重掺杂硅纳米线, 无需形成源漏电极和沟道间的结. 小尺寸的纳米线的应用使得器件沟道区的载流子可以被栅极偏压耗尽, 从而关断器件. 由于无需在源漏极和沟道之间形成结, 器件结构得到大大简化, 从而降低了制备难度并减小了工艺成本. 这种无需形成源结和漏结的新型场效应晶体管结构, 在未来的逻辑电路和存储电路的应用中都极具前景^[2]. 尽管上述器件具有众多优点以及很好的应用前景, 但其制备过程仍然复杂, 其中的沟道层需要重掺杂以获得足够的输出电流, 且需要精准的光刻来形成纳米线图案. 如果能够进一步简化制备工艺, 将使无结晶体管获得更好的应用前景.

氧化物半导体由于具有高迁移率、透明性和

制备简单的特点, 在薄膜晶体管方面的应用一直备受关注^[5,6]. 其中氧化铟锡 (ITO) 材料, 由于其透明导电性, 以及易于沉积成为薄膜, 已经被广泛研究^[7]. 若使用具有较高载流子迁移率的 ITO 材料替代硅纳米线, 作为无结薄膜晶体管的沟道层和源漏电极, 则无需对沟道层进行重掺杂步骤. 另外一方面, 栅介质材料的合适选择也是实现场效应晶体管有效的静电调控以及降低工作电压的关键. 栅介质的电容越大, 栅极偏压对源漏极电流的静电调控就会越好. 近年来, 聚合物电解质或离子液由于具有双电层大电容特性以及在有机晶体管的潜在应用价值, 已经引起了广泛的研究兴趣^[8,9]. 然而, 有机晶体管通常具有空气不稳定性、沟道载流子迁移率低的局限性. 因此, 开发新型的具有高电容的栅介质是十分必要的. 目前, 我们课题组已经研制出具有双电荷层大电容的 SiO_2 栅介质^[10,11]. 在此基础上, 进一步制备了工作电压极低的高性能薄膜晶体管^[12,13]. 双电荷层 SiO_2 栅介质的制备是在室温下, 以 SiH_4 和 O_2 为反应气体通过等离子体增强化学气相沉积 (PECVD) 沉积的, 形成纳米柱状微

* 国家重点基础研究发展计划 (973 计划)(批准号: 2007CB310500) 和国家自然科学基金 (批准号: 10874042) 资助的课题.

[†] E-mail: zhaokongsheng@yahoo.cn

孔结构. 由于使用的反应气体是 SiH_4 和 O_2 , 所以在 SiO_2 栅介质中引入了 H^+ 离子. H^+ 离子在正向栅极偏压的作用下通过柱状阵列的间隙向沟道层移动, 最终在栅介质和沟道层间的薄层积聚, 由于电荷感应, 沟道层内形成密度相等符号相反的电荷层, 构成了双电荷层, 获得了大电容.

在本文中, 我们采用 PECVD 方法沉积双电荷层 SiO_2 为栅介质, 然后利用简单的一次射频磁控溅射, 在室温下沉积金属导电氧化物 ITO 薄膜作为晶体管的沟道和源漏电极, 并且通过简单的控制 ITO 薄膜的厚度来获得良好的晶体管静电调控性能, 在室温下成功制备出了较高性能的底栅无结低电压薄膜晶体管. 整个器件工艺流程只使用了一块镍金属掩模板, 无需复杂的光刻步骤. 这些器件工作电压仅为 1.5 V. 并且具有极小的亚阈值摆幅 (0.13 V/dec)、很高的沟道载流子迁移率 ($21.56 \text{ cm}^2/\text{V}\cdot\text{s}$) 和很大的电流开关比 (1.3×10^6). 实验发现, 即使器件在大气环境中放置 4 个月, 器件性能也没有明显恶化: 亚阈值摆幅保持为 0.13 V/dec, 迁移率略微下降至 $18.99 \text{ cm}^2/\text{V}\cdot\text{s}$, 开关电流比依然大于 10^6 . 这种工作电压低、工艺简单、性能稳定的无结低电压薄膜晶体管非常有希望应用于低能耗便携式电子产品以及新型传感器领域.

2 实验

该器件以 ITO 导电玻璃为衬底. 图 1(a) 是器件的三维结构示意图, 图 1(b) 是器件的截面图. 首先, 以 SiH_4 和 O_2 为反应气体, 通过 PECVD 方法沉积 $2 \mu\text{m}$ 厚的双电荷层 SiO_2 薄膜^[10,11], 反应过程的压强为 20 Pa, 电源工作频率为 100 W, 沉积时间为 15 min, SiH_4 和 O_2 的流量比为 5 : 18. 然后, 在双电荷层 SiO_2 薄膜上通过射频磁控溅射沉积了不同厚度的 ITO 薄膜 (厚度分别为 20 nm, 40 nm, 80 nm) 作为无结晶体管的源漏电极和沟道层. 我们采用 ITO 靶材 (质量分数为 90% 的 In_2O_3 和 10% 的 SnO_2), 射频电源的功率为 100 W, 溅射过程的工作气压为 0.5 Pa, 并利用镍掩模板使 ITO 形成 $150 \mu\text{m} \times 1000 \mu\text{m}$ 的矩形图案. 整个实验过程都是在室温下完成的. 器件的电学特性是在室温下黑暗环境中利用 Keithley4200 半导体参数分析

仪测试得到的. 在测试器件的电学性能时, 将仪器的两根钨探针 (直径 $10 \mu\text{m}$) 连接到 ITO 薄膜两端, ITO 的两端充当源漏电极, 中间部分为沟道.

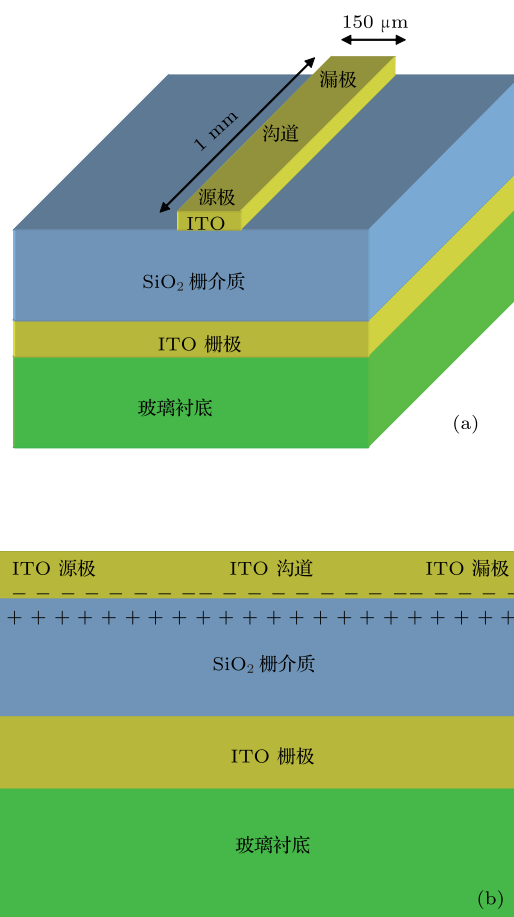


图 1 (a) 器件结构示意图; (b) 器件截面图, 并示意双电荷层

3 结果与讨论

图 2(a) 是不同 ITO 厚度的无结薄膜晶体管的转移特性曲线, 其中的源漏电压 V_{DS} 固定为 1.5 V. 如图所示: 当 ITO 的厚度为 80 nm 时, 栅极偏压 (V_{GS}) 对源漏电流没有调节作用; 当 ITO 的厚度为 40 nm 时, V_{GS} 对源漏电流只有微小的调节作用; 当 ITO 的厚度为 20 nm 时, V_{GS} 对源漏电流起到很好的调节作用, 器件表现出良好的晶体管性能. a 曲线为 ITO 厚度为 20 nm 的新器件的转移特性曲线, 其亚阈值摆幅为 0.13 V/dec, 开关电流比高达 1.3×10^6 . 另外, 我们将器件在大气环境中放置四个月后重新进行了测量, b 曲线为 ITO 厚度为 20 nm 的器件在大气环境中放置了 4 个月后的转移特性曲线. 实验结果表明: 其性能并没有明显

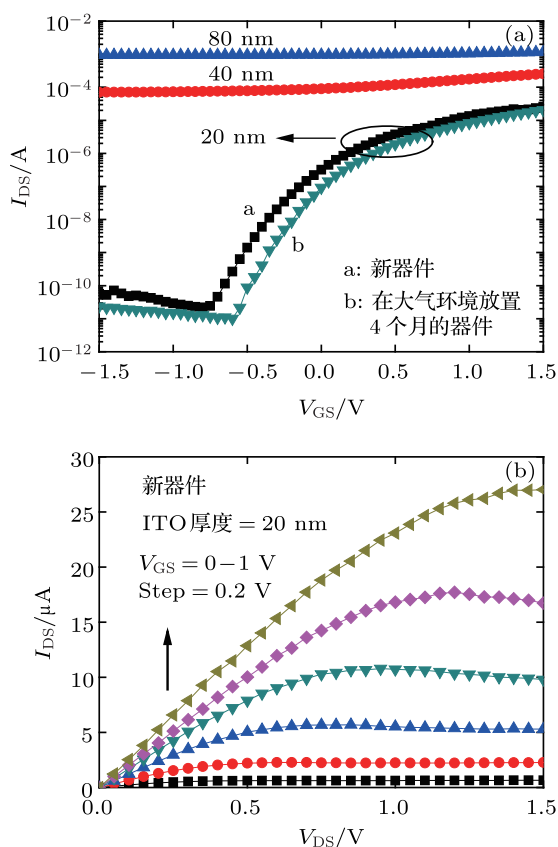


图2 (a) 器件的转移特性曲线; (b) 器件的输出特性曲线

恶化, 器件的亚阈值摆幅基本不变, 约为 0.13 V/dec, 开关电流比仍然大于 10^6 . 器件饱和工作区 ($V_{DS} > V_{GS} - V_{TH}$) 的阈值电压 V_{TH} 和沟道载流子迁移率 μ 可由以下公式推导得到:

$$I_{DS} = \frac{WC_i\mu}{2L}(V_{GS} - V_{TH})^2, \quad (1)$$

其中 L 是沟道长度, W 是沟道宽度, C_i 是栅介质的单位面积电容. 作出 $(I_{DS})^{1/2}$ - V_{GS} 曲线, 横轴的截距即阈值电压. 经计算, 新器件的阈值电压为 -0.21 V, 器件为 n 型耗尽型晶体管, 由此可计算得到其沟道载流子迁移率约 $21.56 \text{ cm}^2/\text{V}\cdot\text{s}$; 大气环境中放置了 4 个月后的器件的阈值电压为 -0.04 V, 沟道载流子迁移率为 $18.99 \text{ cm}^2/\text{V}\cdot\text{s}$. 新旧器件相比较, 亚阈值摆幅和电流开关比基本不变, 器件具有较好的稳定性. 然而, 实验观察到器件的沟道载流子迁移率略微下降, 阈值电压向正向发生了漂移. 一般而言, 阈值电压的正向漂移可以由以下两种基本模型解释: 电荷陷阱和缺陷 [14-17]. Jeong 等 [18] 的研究表明暴露的背沟道与空气中的水和氧气的反应是阈值电压正向漂移的重要原因. 由于我们

的器件还没有引入钝化层, 所以可以在无结晶薄膜体管沟道上沉积合适的钝化层令阈值电压更加稳定 [19], 进一步提高器件的稳定性.

图 2(b) 是 ITO 厚度为 20 nm 的新器件的输出特性曲线, V_{GS} 由 0 V 上升到 1 V, 每次增加 0.2 V. 在 V_{DS} 较小时, 器件具有明显的线性区, 当 V_{DS} 较大时, 器件具有很好的饱和特性. 当 V_{GS} 等于 1 V, V_{DS} 大于 1.5 V 时, 器件具有较大的饱和电流 (约为 $27 \mu\text{A}$). 要制备性能良好的无结低电压薄膜晶体管, 既需要极薄的沟道层, 栅极偏压才能耗尽沟道层的载流子, 进而关断器件; 又需要具有大电容和良好绝缘性能的栅介质, 以便对器件实现有效的静电调控并且减小栅漏电流.

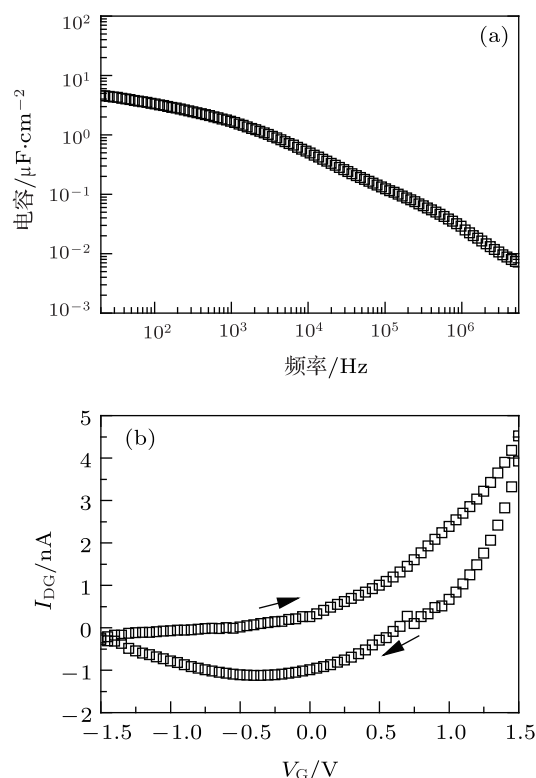


图3 (a) 双电荷层 SiO_2 栅介质电容随频率改变的曲线; (b) 器件栅介质漏电流曲线

图 3(a) 是双电荷层 SiO_2 栅介质电容随频率改变的特性曲线, 我们利用 ITO/ SiO_2 /ITO 三层结构测试得到这一曲线. 由于双电荷层效应, 栅介质具有很大的电容, 当频率为 20 Hz 时, 其单位面积电容为 $4.55 \mu\text{F}/\text{cm}^2$. 图 3(b) 是器件的栅漏电流 (I_G) 曲线, 由图可见栅漏电流极小 (小于 5 nA), 可以保证器件的电学性能不会受到栅漏电流的影响. 我们通过 PECVD 沉积的双电荷层 SiO_2 栅介质一方面具

有大电容,可以保证栅极偏压对源漏电流的良好调控,让器件可以在较低的电压下工作^[11,12];另一方面又有良好的绝缘性能,保证器件的电学性能不会受到栅漏电流的影响.因此,双电荷层 SiO₂ 是实现无结薄膜晶体管的一种较为理想的栅介质.

4 结论

我们在室温下成功制备出高性能的底栅结构无结低电压薄膜晶体管.器件的整个制备过程只

使用了一块镍金属掩模板,无需对沟道层进行掺杂和复杂的光刻步骤,简化了制备工艺.经过优化的器件工作电压仅为 1.5 V,并且具有极小的亚阈值摆幅 (0.13 V/dec)、很高的沟道载流子迁移率 (21.56 cm²/V·s) 和很大的电流开关比 (1.3 × 10⁶),同时该器件还具有良好的稳定性,即使在大气环境中放置 4 个月,性能也没有明显的恶化.这种制备工艺简单、工作电压低、性能稳定的高性能无结低电压薄膜晶体管非常有希望应用于下一代的低成本低能耗便携式电子产品以及新型传感器领域.

-
- [1] Lee C W, Afzalain A, Akhavan N D, Yan R, Ferain I, Colinge J P 2009 *Appl. Phys. Lett.* **94** 053511
- [2] Colinge J P, Lee C W, Afzalain A, Akhavan N D, Yan R, Ferain I, Razavi P, O'Neill B, Blake A, White M, Kelleher A M, McCarthy B, Murphy R 2010 *Nat. Nanotechnol.* **5** 225
- [3] Lee C W, Nazarov A N, Ferain I, Akhavan N D, Yan R, Razavi P, Yu R, Doria R T, Colinge J P 2010 *Appl. Phys. Lett.* **96** 102106
- [4] Akhavan N D, Ferain I, Razavi P, Yu R, Colinge J P 2011 *Appl. Phys. Lett.* **98** 103510
- [5] Xu T N, Wu H Z, Zhang Y Y, Wang X, Zhu X M, Yuan Z J 2010 *Acta Phys. Sin.* **59** 5018 (in Chinese) [徐天宁, 吴惠桢, 张莹莹, 王雄, 朱夏明, 原子健 2010 物理学报 **59** 5018]
- [6] Wang X, Cai X K, Yuan Z J, Zhu X M, Qiu D J, Wu H Z 2011 *Acta Phys. Sin.* **60** 037305 (in Chinese) [王雄, 才玺坤, 原子健, 朱夏明, 邱东江, 吴惠桢 2011 物理学报 **60** 037305]
- [7] Granqvist C G, Hultaker A 2002 *Thin Solid Films* **411** 1
- [8] Cho J H, Lee J, Xia Y, Kim B, He Y Y, Renn M J, Lodge T P, Frisbie C D 2008 *Nature Mater.* **7** 900
- [9] Cho J H, Lee J, He Y Y, Kim B, Lodge T P, Frisbie C D 2008 *Adv. Mater.* **20** 686
- [10] Sun J, Wan Q, Lu A X, Jiang J 2009 *Appl. Phys. Lett.* **95** 222108
- [11] Jiang J, Wan Q, Sun J, Lu A X 2009 *Appl. Phys. Lett.* **95** 152114
- [12] Lu A X, Sun J, Jiang J, Wan Q 2010 *Appl. Phys. Lett.* **90** 043114
- [13] Jiang J, Sun J, Zhou B, Lu A X, Wan Q 2010 *Appl. Phys. Lett.* **97** 052104
- [14] Gorn P, Holzer P, Riedl T, Kowalsky W, Wang J, Weimann T, Hinze P, Kipp S 2007 *Appl. Phys. Lett.* **90** 063502
- [15] Cross R B M, Souza M M D 2006 *Appl. Phys. Lett.* **89** 263513
- [16] Suresh A, Muth J F 2008 *Appl. Phys. Lett.* **92** 033502
- [17] Vygranenko Y, Wang K, Nathan A 2007 *Appl. Phys. Lett.* **91** 263508
- [18] Jeong J K, Yang H W, Jeong J H, Mo Y G, Kim H D 2008 *Appl. Phys. Lett.* **93** 123508
- [19] Sun J, Jiang J, Dou W, Zhou B, and Wan Q 2011 *IEEE Electron Device Lett.* **32** 910

Junctionless low-voltage thin-film transistors based on indium-tin-oxide*

Zhao Kong-Sheng[†] Xuan Rui-Jie Han Xiao Zhang Geng-Ming

(Key Laboratory for Micro-Nano Optoelectronic Devices of Ministry of Education, Hunan University, Changsha 410082, China)

(Received 5 January 2012; revised manuscript received 6 April 2012)

Abstract

Bottom-gate junctionless thin-film transistors (TFTs) based on indium-tin-oxide (ITO) are fabricated at room temperature. Source/drain electrodes and channel layer are the same ITO thin films without source/drain junction formation, hence the fabrication process is greatly simplified and the fabrication cost is reduced. We employ electric-double-layer (EDL) SiO₂ with large capacitance as the gate dielectric, and find that the drain current can be effectively modulated by the gate bias when the thickness of ITO film decreases to about 20 nm. These junctionless TFTs show excellent electrical performances with a small subthreshold swing of 0.13 V/dec, a high mobility of 21.56 cm²/V·s and a large on/off ratio of 1.3×10^6 . The performances of these junctionless TFTs do not show significant degradation even after 4 months in air ambient, the subthreshold swing is still 0.13 V/dec, the mobility slightly decreases to 18.99 cm²/V·s and the on/off ratio is still larger than 10⁶. Such TFTs are very promising for the applications in low-cost low-power portable electronic products and novel sensors.

Keywords: thin-film transistors, junctionless, low-voltage, indium-tin-oxide

PACS: 72.80.Ey, 73.40.Qv, 73.61.Ng

* Project supported by the National Basic Research Program of China (Grant No. 2007CB310500), and the National Natural Science Foundation of China (Grant No. 10874042).

[†] E-mail: zhaokongsheng@yahoo.cn