

# 超薄栅超短沟 LDD nMOSFET 中栅电压对栅致漏极泄漏电流影响研究\*

陈海峰<sup>†</sup> 过立新

(西安邮电学院电子工程学院, 西安 710121)

(2011 年 1 月 28 日收到; 2011 年 5 月 20 日收到修改稿)

本文研究了 90nm CMOS 工艺下栅氧化层厚度为 1.4 nm 沟道长度为 100 nm 的轻掺杂漏 (LDD)nMOSFET 栅电压  $V_G$  对栅致漏极泄漏 (GIDL) 电流  $I_D$  的影响, 发现不同  $V_G$  下  $\ln(I_D/(V_{DG}-1.2))-1/(V_{DG}-1.2)$  曲线相比大尺寸厚栅器件时发生了分裂现象. 通过比较  $V_G$  变化下  $\ln(I_D/(V_{DG}-1.2))$  的差值, 得出  $V_G$  与这种分裂现象之间的作用机理, 分裂现象的产生归因于  $V_G$  的改变影响了 GIDL 电流横向空穴隧穿部分所致. 随着  $|V_G|$  的变小,  $\ln(I_D/(V_{DG}-1.2))$  曲线的斜率的绝对值变小. 进一步发现不同  $V_G$  对应的  $\ln(I_D/(V_{DG}-1.2))$  曲线的斜率  $c$  及截距  $d$  与  $V_G$  呈线性关系,  $c, d$  曲线的斜率分别为 3.09 和  $-0.77$ .  $c$  与  $d$  定量的体现了超薄栅超短沟器件中  $V_G$  对 GIDL 电流的影响, 基于此, 提出了一个引入  $V_G$  影响的新 GIDL 电流关系式.

**关键词:** GIDL, 带带隧穿, CMOS, LDD nMOSFET

**PACS:** 85.30.De, 85.30.Tv

## 1 引言

带带隧穿引发的栅致漏极泄漏 (GIDL) 电流是 MOSFET 关态下的主要泄漏电流, 在器件中与栅氧化层密切相关, 严重制约着氧化层厚度的缩小以及新型双栅器件的发展<sup>[1]</sup>. 同时它还能引起电路中逻辑状态混乱以及空穴注入进器件栅介质中等情形, 导致器件性能不稳定<sup>[2,3]</sup>. GIDL 隧穿电流也给存储器单元带来了诸多的可靠性问题<sup>[4,5]</sup>: 它是存储器单元泄漏电流主要组成部分, 制约着 DRAM-MOS 器件尺寸的缩小, 并影响着 EEPROM, DRAM 和 SRAM 数据保持时间的相关特性. GIDL 电流亦可导致器件静态功耗的产生<sup>[6]</sup>, 在低功耗电路设计中, 为了降低亚阈泄漏电流而采用衬底反偏技术, 虽然降低了亚阈泄漏电流, 但同时却增大了带带隧穿效应而使得 GIDL 电流增加, 因此研究 GIDL 电流有助于更好权衡低功耗设计中衬底反偏电压的设置. 由于 GIDL 隧穿注入方式要比 NOR 类型

的快闪存储器编程方法中使用的沟道碰撞电离热载流子注入效率高 1 到 2 个数量级, 越来越多存储器利用这种注入进行擦除或者写操作<sup>[7,8]</sup>, 研究 GIDL 电流也有助于提高 ROM 存储器速度. 此外, 基于 GIDL 电流效应的无电容 1T-DRAM 技术将成为未来 DRAM 大规模集成电路最有希望的技术之一<sup>[9,10]</sup>. 综上所述, GIDL 电流已经影响到了诸多领域, 因此研究 GIDL 电流相关特性便显得愈加重要.

在器件尺寸比较大的情况下, GIDL 电流很好的遵循经典的传统 GIDL 电流模型, 其只与漏栅电压  $V_{DG}$  有关<sup>[11]</sup>, 因此传统模型在 GIDL 电流研究中有广泛的应用<sup>[12,13]</sup>. Wang 等人还基于这种传统模型提出了一种 GIDL 电流测试方法来探测氧化层中陷阱特性<sup>[14]</sup>. 随着 MOSFET 技术迅速进入到超深亚微米领域, 传统 GIDL 电流模型的局限性和不准确性渐渐地显露了出来, 这种变化实际上反映出了 GIDL 电流不再只由漏栅电压  $V_{DG}$  来决定, 还

\* 西安应用材料创新基金 (批准号: XA-AM-201012) 和西安邮电学院青年教师科研基金 (批准号: ZL2010-19) 资助的课题.

<sup>†</sup> E-mail: heellor@163.com

受到了其他因素的作用. 栅电压对 GIDL 电流有着重要的影响, 尤其当 MOSFET 工艺到了 90 nm 的情况下, 这种影响程度不断增大而使得 GIDL 电流特性与大尺寸器件时相比发生了明显的变化, 因此研究超薄栅超短沟器件中的这种影响将有助于建立更加准确 GIDL 电流模型以及理解有关现象, 也可以为 GIDL 电流相关应用提供有益的帮助. 然而, 目前针对超薄栅超短沟器件这方面的研究仍然相对较少.

本文对 90 nm CMOS 工艺下栅氧厚为 1.4 nm 沟道长为 100 nm 的 LDD-nMOSFET 中栅电压  $V_G$  对 GIDL 电流的影响进行了研究, 对不同  $V_G$  下的 GIDL 电流的变化, 进行了大量实验以及分析, 讨论了  $V_G$  影响 GIDL 电流的物理机理以及建立新的引入了  $V_G$  影响的 GIDL 电流关系式.

## 2 GIDL 电流机理和传统模型

GIDL 电流产生于 LDD nMOSFET 关态时 ( $V_G < 0V$ )LDD 与栅交叠区的界面处. 在这一区域, 当栅极加负电压, 漏极加正电压时, 便形成一个大的漏栅电压  $V_{DG}$ . 此电压引起的强大电场致使交叠区垂直于界面处 Si 的能带向上弯曲. 当价带顶能级  $E_V$  超过导带底能级  $E_C$  时, 价带顶的电子发生量子隧穿效应进入导带成为导电电子. 这些电子被漏极收集, 形成 GIDL 电流. 同时, 隧穿后在价带顶留下的空穴被衬底收集. 图 1 即为隧穿发生的区域及交叠区垂直界面处的 Si 的能带弯曲情形. 这种带带隧穿的概率  $T_t$  是用 WKB(文莱耳-克喇末-布里渊法) 近似表述为

$$T_t \approx \exp \left[ -2 \int_{-x_1}^{-x_2} |k(x)| dx \right], \quad (1)$$

$k(x)$  为  $x$  处的波矢量,  $a$  为晶格常数,  $x_1$  和  $x_2$  为隧穿点.

传统 GIDL 电流模型是在 (1) 式的基础上得到的, 这一模型为 [12-14]

$$I_D = A \times E_S \times \exp(-B/E_S), \quad (2)$$

$$E_S = (V_{DG} - 1.2)/3T_{OX}, \quad (3)$$

式中,  $I_D$  代表 GIDL 电流,  $A$  为常数,  $B=21.3$  MV/cm,  $E_S$  为漏栅交叠区界面处的电场, 1.2 为垂直界面处隧穿能够发生的能带弯曲最小量, 3 是  $SiO_2$  和 Si 的介电常数比值,  $T_{OX}$  为栅氧化层厚度.

从传统模型 (2) 式中可以看出, 相同  $V_{DG}$  下, GIDL 电流相同, 传统模型实际上是一个只考虑了漏栅电压的一维模型.

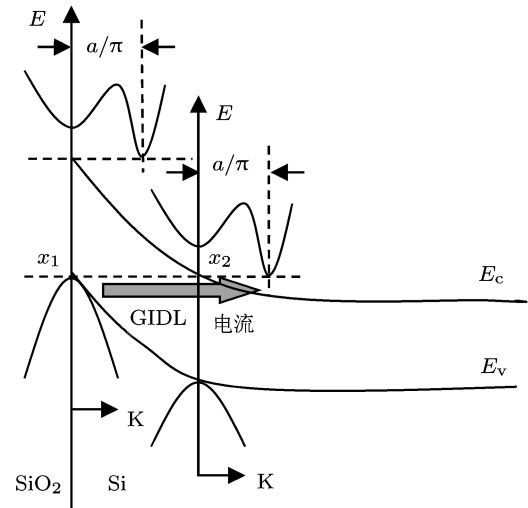


图 1 栅漏交叠区垂直界面处 Si 侧的能带弯曲示意图

## 3 实验及讨论

实验器件为 90 nm CMOS 工艺下 LDD nMOSFET,  $N^+$  多晶硅栅电极, 栅氧化层厚度为  $T_{OX}=1.4$  nm, 栅长  $L_G$  为  $0.13\mu m$ , 有效沟道长度  $L_C$  为 100 nm, 栅宽度  $W$  为  $4\mu m$ , 其结构如图 2

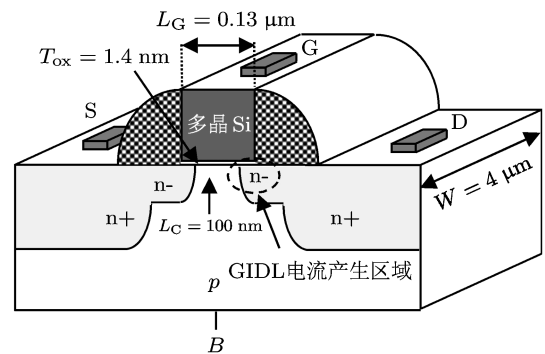


图 2 实验中所用 LDDnMOSFET 的结构

所示,  $G$  为栅极,  $S$  为源极,  $D$  为漏极,  $B$  为衬底电极. 测试条件为: 源电压  $V_S =$  衬底电压  $V_B = 0$  V, 漏电压  $V_D$  从 0 V 到 1.3 V 扫描, 同时栅电压  $V_G$  分别取 -0.9 V, -1.0 V, -1.1 V, -1.2 V, -1.3 V, 这时所测得的漏极电流  $I_D$  即为 GIDL 电流. 室温下, 为了避免光照以及外界因素对测试的影响, 器件置于在防震的

暗箱环境中, 测试用 Keightley 4200 半导体参数分析仪, 其电流最小精度可达  $10^{-16}$  A.

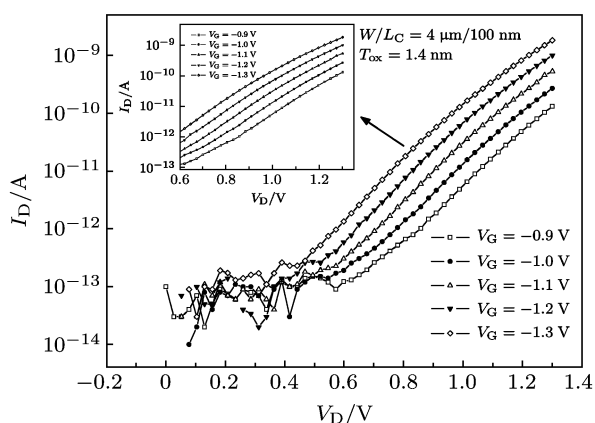


图3 关态下不同  $V_G$  对应的 GIDL 电流

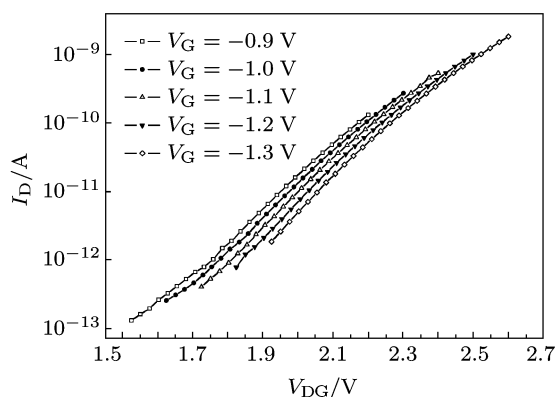


图4 栅漏电压  $V_{DG}$  下的 GIDL 电流

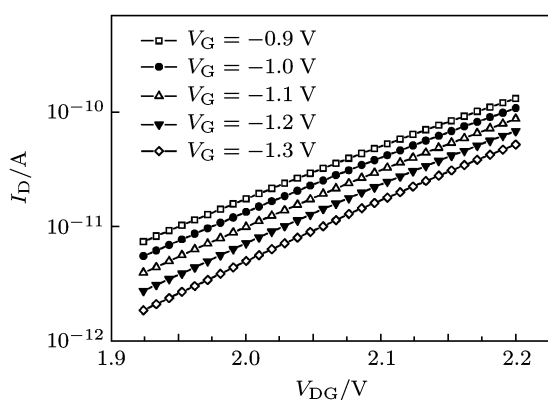


图5 图4中  $V_{DG}$  重叠区的 GIDL 电流

图3为关态下不同  $V_G$  对应的 GIDL 电流输出曲线. 图中, 随着  $|V_G|$  的变大, 关态下的 GIDL 电流  $I_D$  变大. 对图3中  $V_D$  从 0.6—1.3V 这一段进行处理, 将每条曲线上的  $I_D$  对应的  $V_D$  的关系变换

为  $I_D$  对应  $V_{DG}$  的关系, 得到图4. 在图4中, 五种  $V_G$  对应的五条  $I_D$  曲线不同, 每条曲线上  $I_D$  随着  $V_{DG}$  的增大而增大.

图5提取了图4中五种  $V_G$  的  $V_{DG}$  重叠区间 GIDL 电流. 图5显示, 相同  $V_{DG}$  对应的  $I_D$  不同,  $I_D$  曲线随着  $|V_G|$  的增大而减小,  $V_G = -0.9$  V 曲线位于最上,  $V_G = -1.3$  V 位于最下方. 这种实验结果同传统 GIDL 电流模型 (2) 式是不相符的, 在 (2) 式中,  $I_D$  只是  $V_{DG}$  的函数, 即相同的  $V_{DG}$  对应相同的  $I_D$ . 图5中  $I_D$  不只由  $V_{DG}$  决定, 还受到  $V_G$  的影响, 这种变化的机理在于: 形成 GIDL 电流的隧穿效应不仅发生在垂直于界面方向上, 还发生在水平于界面方向上. 这两个方向上隧穿包括占主导地位的直接带带隧穿, 还包括陷阱辅助的间接带带隧穿, 这两种形式的隧穿同时发生. 由于器件中存在着密度约为  $10^{10} \text{cm}^{-2}$  的固有界面态, 这意味着间接隧穿不能被忽略. 由于垂直方向上的能带在界面处终止, 因此空穴在这个方向上的隧穿是被禁止的, 只有电子可以隧穿进导带导电. 而在交叠区界面处的水平方向上, 除了电子可以隧穿进导带外, 空穴也可以借助于禁带中的陷阱而隧穿进价带成为 GIDL 电流的一部分. 因此电子隧穿与来源于  $V_{DG}$  的总电场有关而空穴隧穿只依赖于漏电压  $V_D$  引发的横向电场 [15]. 相同  $V_{DG}$  下, GIDL 电流中电子隧穿电流部分相同,  $V_G$  值越负, 相应的  $V_D$  就越小, 从而导致横向场强变小, 于是空穴隧穿电流就小, 总的 GIDL 电流就小. 尤其是当器件为超短沟器件时,  $V_G$  对 GIDL 电流的这种影响将会更加显著, 此时横向电场变得更加强大, 水平方向的空穴隧穿加剧,  $V_G$  的微小变化, 便会引发空穴隧穿电流的变化, 继而导致 GIDL 电流发生明显的变化, 如图5所示, 器件沟道为 100 nm, 相同  $V_{DG}$  下, 不同  $V_G$  对应的  $I_D$  不同, 而且  $V_G$  越负, GIDL 电流变小的越明显.

为进一步说明 GIDL 电流与传统模型之间的这种偏离, 如图6(a)提取了图5中不同  $V_G$  下的  $\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  的关系.

传统模型中  $\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  的关系可由 (2) 式得出, 即

$$\ln\left(\frac{3T_{\text{Ox}} \times I_D}{A(V_{\text{DG}} - 1.2)}\right) = -3T_{\text{Ox}}B/(V_{\text{DG}} - 1.2), \quad (4)$$

即有

$$I_D \propto (V_{\text{DG}} - 1.2)\exp(1/(V_{\text{DG}} - 1.2)), \quad (5)$$

(4),(5) 式显示同一栅氧化层厚度下,  $\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  成线性关系, 其中不管  $V_G$  为何值, 只有唯一的一条  $\ln(I_D/(V_{DG}-1.2))$ -  $1/(V_{DG}-1.2)$  曲线与之对应. 在文献 [11,16,17] 中氧化层厚度为 5.5 nm, 7.2 nm, 10.3 nm, 15.5 nm 以及 43.6 nm 等厚栅大尺寸器件的  $\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  的关系图中, 相同栅厚下不同的  $V_G$  对应同一条直线, 其与 (4),(5) 式中的理论相符, 这说明 (2) 式中传统 GIDL 电流模型在厚栅大尺寸的器件情形下是准确的. 然而图 6(a) 显示出不同  $V_G$  并不对应着同一条的直线, 这种现象显然与厚栅大尺寸器件下的情形不同, 并且随着  $V_G$  从 -0.9 V 到 -1.3 V 时, 5 条直线从上到下依次排列, 这如同厚栅大尺寸器件中不同  $V_G$  下唯一的一条  $\ln(I_D/(V_{DG}-1.2))$ -  $1/(V_{DG}-1.2)$  曲线在超薄栅超短沟器件不同  $V_G$  情形下出现了分裂. 由此可见, 当栅氧化层的厚接近 1 nm 时, 沟道接近 100 nm 时, (4) 和 (5) 式中的关系已不能适用.

更进一步的讨论超薄栅超短沟器件下  $\ln(I_D/(V_{DG}-1.2))$  曲线的分裂现象与  $V_G$  的关系. 图 6(b) 是对图 6(a) 中的相邻的曲线进行相减得到, 反映的是不同  $V_G$  对应的  $\ln(I_D/(V_{DG}-1.2))$  差别特性. 图中  $V_G[(-0.9)-(-1.0)]$  曲线表示图 6(a)  $V_G = -0.9$  V 时的  $\ln(I_D/(V_{DG}-1.2))$  减去  $V_G = -1.0$  V 时的  $\ln(I_D/(V_{DG}-1.2))$  得到  $\Delta\ln(I_D/(V_{DG}-1.2))$  曲线.  $V_G[(-1.0)-(-1.1)$  V] 则表示  $V_G = -1.0$  V 与  $V_G = -1.1$  V 对应的  $\Delta\ln(I_D/(V_{DG}-1.2))$  曲线, 图中另两种的表示法与之类似. 相比于图 6(a)  $\ln(I_D/(V_{DG}-1.2))$  值, 图 6(b) 中  $\Delta\ln(I_D/(V_{DG}-1.2))$  非常小, 四条曲线非常接近,  $\Delta\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  明显呈线性分布. 在每条曲线上, 随着  $1/(V_{DG}-1.2)$  的增大或者  $V_{DG}$  的减小,  $\Delta\ln(I_D/(V_{DG}-1.2))$  增大, 这更加证实了图 6(a) 中每条曲线的线性特征, 同时也说明了随着  $|V_G|$  的减小, 图 6(a) 中直线的斜率绝对值是减小的, 因为若斜率绝对值增大或者相等, 则  $\Delta\ln(I_D/(V_{DG}-1.2))$  会随着  $1/(V_{DG}-1.2)$  的增大而减小或者保持恒定. 斜率的这种变化, 其本质上反映着在小  $V_{DG}$  下,  $V_G$  改变相同的量,  $\ln(I_D/(V_{DG}-1.2))$  变化比大  $V_{DG}$  时的大. 基于前面机理所述, 其原因为: 相同的  $V_G$  在小的  $V_{DG}$  中占的比例大,  $|V_G|$  减小所带来了空穴隧穿电流的增加的程度比  $V_{DG}$  较大时增加的程度大, 由此总的 GIDL 隧穿电流  $I_D$  增加的程度相比较大  $V_{DG}$  时增加的程度大. 同时,  $\ln(I_D/(V_{DG}-1.2))$  中, 小  $V_{DG}$

下 ( $V_{DG}-1.2$ ) 小, 使得  $\ln(I_D/(V_{DG}-1.2))$  因  $I_D$  增大而变大的程度被放大, 因此小的  $V_{DG}$  下,  $|V_G|$  减小所带来  $\ln(I_D/(V_{DG}-1.2))$  增加量要比大  $V_{DG}$  下的大, 如图 6(b) 中  $V_G[(-0.9)-(-1.0)]$  的曲线, 随着  $V_{DG}$  的减小,  $\Delta\ln(I_D/(V_{DG}-1.2))$  增大, 进一步这也说明了图 6(a)  $V_G = -0.9$  V 对应的  $\ln(I_D/(V_{DG}-1.2))$  曲线斜率绝对值比  $V_G = -1.0$  V 时的曲线斜率绝对值小, 图 6(b) 中其他曲线变化具有相同机理.

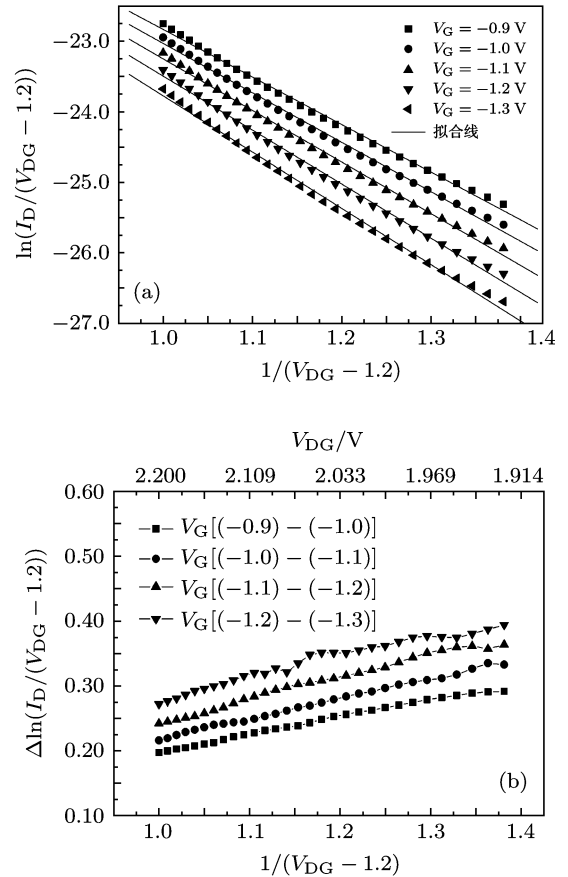


图 6 (a)  $\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  的关系; (b)  $\Delta\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  的关系

基于以上分析, 由于  $\ln(I_D/(V_{DG}-1.2))$  与  $1/(V_{DG}-1.2)$  曲线的变化反映了  $V_G$  对 GIDL 电流的影响, 下面定量来研究  $V_G$  这种影响, 提取图 6(a) 不同  $V_G$  对应的  $\ln(I_D/(V_{DG}-1.2))$  曲线直线斜率和截距参数. 对图 6(a) 中的曲线进行拟合, 拟合线为图中黑色直线.

设  $y = \ln(I_D/(V_{DG}-1.2))$ ,  $x = 1/(V_{DG}-1.2)$ , 则这些直线方程为

$$y = c \times x + d, \quad (6)$$

其中  $c$  为斜率, 代表  $\ln(I_D/(V_{DG}-1.2))$  随  $1/(V_{DG}-1.2)$  变化的速率;  $d$  为截距. 不同  $V_G$  下对应的这

些  $c$  和  $d$  在表 1 给出.

表 1 图 6(a) 中 5 种  $V_G$  对应的  $\ln(I_D/(V_{DG}-1.2))$  直线的斜率  $c$  和

截距 $d$		
$V_G/V$	$c$	$d$
-0.9	-6.75	-16.08
-1.0	-7.02	-16.01
-1.1	-7.33	-15.92
-1.2	-7.67	-15.82
-1.3	-7.97	-15.79

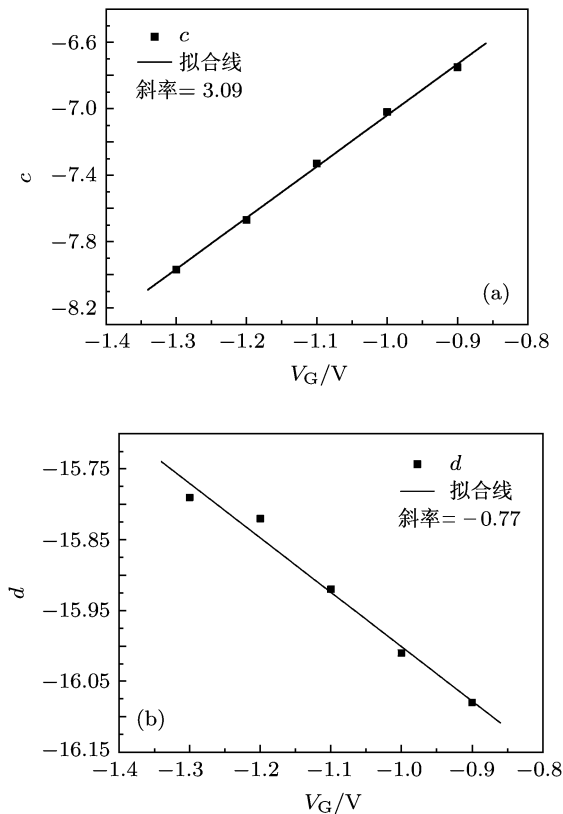


图 7 (a)  $c$  与  $V_G$  关系; (b)  $d$  与  $V_G$  关系

表 1 中可以看出随着  $V_G$  从  $-0.9$  V 增加到  $-1.3$  V, 斜率从  $-6.75$  差值变化到  $-7.97$ , 即斜率绝对值变大, 这与上面图 6(b) 中的分析一致, 这也表示  $\ln(I_D/(V_{DG}-1.2))$  随  $1/(V_{DG}-1.2)$  增大的变小速率加快.

图 7(a) 与 (b) 分别为表 1 中  $c, d$  与  $V_G$  的关系. 图中显现,  $c, d$  分别与  $V_G$  近似成线性关系, 其中  $c_1, d_1$  分别为其斜率, 图 7 中  $c_1=3.09, d_1=-0.77$ . 将  $c, d$  与  $V_G$  的线性关系代入 (6) 式, 则 GIDL 电流  $I_D$  与  $V_{DG}$  和  $V_G$  的关系可为

$$I_D \propto (V_{DG} - 1.2) \times \exp(1/(V_{DG} - 1.2))$$

$$\times \exp[c_1 \times V_G / (V_{DG} - 1.2) + d_1 \times V_G], \quad (7)$$

(7) 式从形式上与传统 GIDL 电流模型得到的 (5) 式相比, 增加了一项与  $V_G$  有关的指数因子. 这一  $V_G$  指数项的引入, 反映了超薄栅超短沟 nMOSFET 器件  $V_G$  对 GIDL 电流的影响作用, 只要确定与器件有关的  $c_1$  和  $d_1$  等常数, 此影响便可被定量表征出来.

我们用了大量的栅厚  $1.4$  nm, 栅长  $L_G=0.13\mu\text{m}$ , 有效沟道长  $L_C=100$  nm 的, 几种栅宽的器件的实验验证了上述规律,  $c, d$  与  $V_G$  成线性关系, 表 2 给出了不同器件尺寸的其斜率  $c_1$  和  $d_1$  之间的参数规律.

表 2 不同尺寸下参数的变化情况

$W/L_C$	$c_1$	$d_1$
$3\mu\text{m}/100$ nm	2.79	-0.69
$6\mu\text{m}/100$ nm	3.07	-0.69

观察发现, 对于同一厚度的管子 ( $T_{ox}=1.4$  nm,  $L_C=100$  nm),  $V_G$  前的系数  $c_1$  约在 3 左右,  $d_1$  约在  $-0.7$  左右. 其他宽长比的管子, 系数会有所变化, 但 (7) 式仍然是适用的.

## 4 结论

本文研究了  $90$  nm CMOS 工艺下超薄栅超短沟 LDD nMOSFET 中栅电压  $V_G$  对 GIDL 电流的影响特性.  $V_G$  不同时, 相同栅漏电压  $V_{DG}$  对应的 GIDL 电流不相同, 继而引发了不同  $V_G$  分别对应一条  $\ln(I_D/(V_{DG}-1.2)) - 1/(V_{DG}-1.2)$  曲线, 这相当于大尺寸器件中不同栅压下唯一的一条  $\ln(I_D/(V_{DG}-1.2))$  曲线在超薄栅超短沟器件不同  $V_G$  情形下出现了分裂, 引发这种分裂现象的原因是  $V_G$  的变化影响了 GIDL 电流横向空穴隧穿部分. 随着  $|V_G|$  的变小,  $\ln(I_D/(V_{DG}-1.2))$  曲线的斜率的绝对值变小. 进一步的发现  $\ln(I_D/(V_{DG}-1.2))$  曲线的斜率  $c$  及截距  $d$  与  $V_G$  呈线性关系,  $c_1$  和  $d_1$  分别为  $3.09$  和  $-0.77$ . 大量的栅厚  $1.4$  nm, 沟长  $100$  nm 几种栅宽的器件的实验验证了上述规律, 对于  $T_{ox}=1.4$  nm,  $L_C=100$  nm 的器件,  $c$  和  $d$  分别约为  $3$  和  $-0.7$ .

基于这些分析和结论, 本文提出了一个引入  $V_G$  影响的新的 GIDL 电流关系式, 相比于传

统的关系式中只有  $V_{DG}$ , 在新的关系式中  $V_G$  指数项的被引入, 其定量的反映了超薄栅超短沟 nMOS-

FET 器件中  $V_G$  对 GIDL 电流的影响作用.

- 
- [1] Choi Y K, Ha Daewon, King T J, Bokor J 2003 *Jan. J. Appl. Phys.* **42** 2073
  - [2] Ma X H, Hao Y R, Gao H X, Chen H F, Hao Y 2009 *Appl. Phys. Lett.* **95** 152107
  - [3] Chen H F, Cao Y, Ma X H, 2007 *Acta Phys. Sin.* **56** 1662(in Chinese) [陈海峰, 郝跃, 马晓华 2007 物理学报 **56** 1662]
  - [4] Chang M C, Lin J P, Lai C S, Chang R D, Shih S N, Wang M Y, Lee P 2005 *IEEE Trans. Electron Devices* **52** 484
  - [5] Liu H X, Zheng X F, Hao Y 2005 *Acta Phys. Sin.* **54** 5867(in Chinese)[刘红侠, 郑雪峰, 郝跃 2005 物理学报 **54** 5867]
  - [6] Fossum J G, Kim K, Chong Y 1999 *IEEE Trans. Electron Devices* **46** 2195
  - [7] Larcher L, Pavan P, Eitan B 2004 *IEEE Trans. Electron Devices* **51** 1593
  - [8] Kumar P B, Sharma R, Nair P R, Ma S 2007 *IEEE Trans. Electron Devices* **54** 98
  - [9] Han J W, Ryu S W, Choi S J, Choi Y K 2009 *IEEE Electron Device Lett.* **30** 189
  - [10] Choi S J, Han J, Kim C, Kim S, Choi Y 2009 *IEEE Trans. Electron Devices* **56** 3228
  - [11] Chen J, Chen T Y, Chen I C, Ko P, Hu C 1987 *IEEE Electron Device Lett.* **8** 515
  - [12] Lo G Q, Joshi A B, Kwong D L 1991 *IEEE Electron Device Lett.* **12** 6
  - [13] Semenov O, Pradzynski A, Sachdev M 2002 *IEEE Trans. Semiconductor Manufacturing* **15** 11
  - [14] Wang T H, Chang T E, Chiang L P, Wang C H, Zous N K, Huang C 1998 *IEEE Trans. Electron Devices* **45** 1511
  - [15] Guo J C, Liu Y C, Chou M H, Wang M T, Shone F 1998 *IEEE Trans. Electron Devices* **45** 1518
  - [16] Chan T Y, Chen J, KO P K, Hu C 1987 *IEDM Tech. Dig.* 718
  - [17] Wann H, Ko K P, Hu C 1992 *IEDM Tech. Dig.* 150

# Influence of gate voltage on gate-induced drain leakage current in ultra-thin gate oxide and ultra-short channel LDD nMOSFET's\*

Chen Hai-Feng<sup>†</sup> Guo Li-Xin

(School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

(Received 28 January 2011; revised manuscript received 20 May 2011)

## Abstract

The influence of gate voltage  $V_G$  on gate induced drain leakage (GIDL) current is studied in LDD nMOSFET with a gate oxide of 1.4nm and a channel length of 100nm. It is found that the split phenomena of  $\ln(I_D/(V_{DG}-1.2))-1/(V_{DG}-1.2)$  curves under different  $V_G$  values occurs, which are different from the large MOSFET. Through comparing varieties of  $\ln(I_D/(V_{DG}-1.2))$  of different  $V_G$  values, the mechanism of this split phenomenon is obtained. This is ascribed to the change of the hole-tunneling part of GIDL current under different  $V_G$  values. The absolute value of  $\ln(I_D/(V_{DG}-1.2))$  curve slope decrease with  $|V_G|$  value decreasing. It is further found that the values of slope  $c$  and intercept  $d$  of  $\ln(I_D/(V_{DG}-1.2))$  curves are linear with  $V_G$  and the slopes of  $c$  and  $d$  are 3.09 and  $-0.77$ , respectively. The values of  $c$  and  $d$  quantitatively show the influence of  $V_G$  on the GIDL current in an ultra-thin ultra-short MOSFET. On the basis of these results, a new GIDL current model including  $V_G$  is proposed.

**Keywords:** GIDL, band-to-band tunneling, CMOS, LDD nMOSFET

**PACS:** 85.30.De, 85.30.Tv

\* Project supported by the Xi'an Applied Materials Innovation Fund (Grants No. XA-AM-201012) and the Research Foundation of Xi'an University of Posts and Telecommunications for Young Teacher(Grant No. ZL2010-19).

<sup>†</sup> E-mail: heellor@163.com