

# 辐照下背栅偏置对部分耗尽型绝缘层上硅器件背栅效应影响及机理分析\*

周昕杰<sup>1)2)†</sup> 李蕾蕾<sup>2)</sup> 周毅<sup>2)</sup> 罗静<sup>2)</sup> 于宗光<sup>2)</sup>

1) (东南大学电子科学与工程学院, 南京 210096)

2) (中国电子科技集团第五十八研究所, 无锡 214035)

(2011年12月7日收到; 2012年4月5日收到修改稿)

基于部分耗尽型绝缘层上硅 (SOI) 器件的能带结构, 从电荷堆积机理的电场因素入手, 为改善辐照条件下背栅 Si/SiO<sub>2</sub> 界面的电场分布, 将半导体金属氧化物 (MOS) 器件和平板电容模型相结合, 建立了背栅偏置模型. 为验证模型, 利用合金烧结法将背栅引出加负偏置, 对 NMOS 和 PMOS 进行辐照试验, 得出: NMOS 背栅接负压, 可消除背栅效应对器件性能的影响, 改善器件的前栅  $I-V$  特性; 而 PMOS 背栅接负压, 则会使器件的前栅  $I-V$  性能恶化. 因此, 在利用背栅偏置技术改善 SOI/NMOS 器件性能的同时, 也需要考虑背栅偏置对 PMOS 的影响, 折中选取偏置电压. 该研究结果为辐照条件下部分耗尽型 SOI/MOS 器件背栅效应的改善提供了设计加固方案, 也为宇航级集成电路设计和制造提供了理论支持.

**关键词:** 绝缘层上硅器件, 总剂量效应, 背栅效应, 背栅偏置

**PACS:** 61.80.Az, 61.80.Jh, 61.82.Fk, 85.30.De

## 1 引言

与体硅技术相比, 绝缘层附着硅 (SOI) 技术具有低功耗、高集成度、速度快等优点, 同时在抗单粒子效应、抗瞬态辐照和抗中子辐照方面具有独特的优势. 因此, SOI 技术制成的器件和电路在航天、航空、核能等领域有着广泛的应用, 也已经开展了很多相关研究<sup>[1-4]</sup>. 但由于 SOI 器件中埋氧化层的存在, 使得总剂量辐照条件下出现器件性能的退化, 影响电路的功能. 以往的研究证明, SOI 器件在总剂量辐照下的性能退化主要是由于 SOI 器件中的埋氧化层受到电离辐照时, 在背栅 Si/SiO<sub>2</sub> 界面处堆积了很多电荷, 从而引起背栅阈值电压

漂移、背沟道漏电, 使得前栅丧失对沟道的控制作用<sup>[5-9]</sup>. 在已开展的研究中, 已经明确了电荷堆积的机理, 并指出该机理受到时间、剂量率、电场等因素的影响<sup>[10,11]</sup>. 在以往的研究中, 研究人员都将 SOI 器件的背栅处于浮空状态, 研究器件的背栅在总剂量辐照条件下的性能. 而总剂量辐照条件下, 背栅偏置对器件在背栅 Si/SiO<sub>2</sub> 界面处电荷堆积机理的影响尚未明确.

本文基于部分耗尽型 SOI/MOS 器件的能带结构, 从电荷堆积机理的电场因素入手, 将 MOS 器件电容模型和平板电容模型相结合, 利用合金烧结法将背栅引出加偏置, 找出改善背栅 Si/SiO<sub>2</sub> 界面处电场分布的途径. 并将模型和试验结果相比较, 进而研究在总剂量辐照条件下背栅偏置对 SOI 背栅

\* SOI 研发中心基金 (批准号: 20106250XXX)、宇航高可靠研发项目 (批准号: XXX7116X) 和江苏省“333”科研项目 (批准号: BRA2011115) 资助的课题.

† E-mail: zhouxinjie2000@sina.com

效应的影响.

## 2 辐照效应及背栅偏置模型分析

### 2.1 辐照效应分析

部分耗尽型 SOI/MOS 器件的纵向剖面如图 1 所示. 图 1 中  $V_G$  为栅极电压,  $t_{ox}$  为栅氧化层厚度,  $t_{Si}$  为绝缘层上硅膜厚度,  $t_{box}$  为埋氧化层厚度,  $t_{sub}$  为背栅厚度,  $V_{SUB}$  为接在背栅上的电压. 在总剂量辐照条件下, 埋氧化层和硅膜以及栅氧化层和硅膜的 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 一侧, 会出现正电荷堆积. 如图 1 中  $N_{box}$  表征在总剂量辐照条件下, 埋氧化层和硅膜 Si/SiO<sub>2</sub> 界面堆积正电荷的数量,  $N_g$  表征在总剂量条件下, 栅氧化层和硅膜 Si/SiO<sub>2</sub> 界面堆积正电荷的数量. 正是由于正电荷的堆积, 导致源/漏端有漏电流的产生. 只有当氧化物厚度小于  $2 \times h_1$  ( $h_1$  为一段量程, 在该量程内的电子和空穴对可以完全复合), 才观察不到有显著净的空穴俘获 [12]. 所以, 在目前工艺条件下, 漏电主要在背栅埋氧化层上形成, 而在前栅氧化层下的漏电可以忽略.

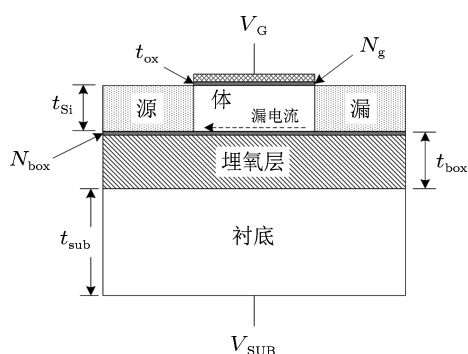


图 1 SOI/MOS 器件的纵向剖面图

部分耗尽型 SOI/MOS 器件能带如图 2 所示 (栅极正向电压, 背栅浮空;  $E_c$  为导带的能级,  $E_{Fi}$  为费米能级,  $E_v$  为价带能级). 在辐照条件下, 氧化层与硅膜界面形成的正电荷堆积是受到氧化层陷阱和界面陷阱影响而形成. 当高能粒子轰击 SiO<sub>2</sub> 层, 电离出很多电子-空穴对, 在电场的作用下, 很多电子快速地漂移至前栅或背栅, 而空穴将向 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 一侧阶跃. 在接近 Si/SiO<sub>2</sub> 界面处有很多由于扩散留下的氧原子的空位及晶格

的失配, 这些格点和缺陷便成为空穴的陷阱中心. 当电离的空穴阶跃至 Si/SiO<sub>2</sub> 界面附近被氧化层陷阱俘获, 形成了正电荷的堆积 (其过程如图 2 中 a 所示). 而界面陷阱的存在是由于在界面处的能带差所引起的. 在 SOI/NMOS 器件中, 硅在界面处的费米能级低于陷阱的能级, 此时, 陷阱将“施于”电子给硅, 而陷阱本身则变为正电荷, 堆积于 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 一侧 (其过程如图 2 中 b 所示). 由于氧化层陷阱和界面陷阱的影响, 最终在 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 一侧形成正电荷的堆积, 影响了 SOI/NMOS 器件的性能.

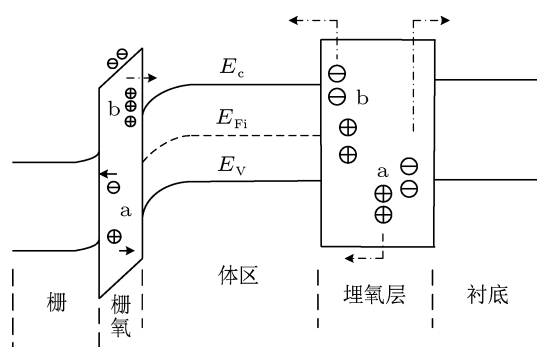


图 2 部分耗尽型 SOI/NMOS 器件栅极正向偏压能带图

对于 SOI/PMOS 器件而言, 由氧化层陷阱形成的界面正电荷堆积效应依然存在. 但在界面处, 硅的费米能级高于陷阱的能级, 此时, 陷阱“接受”来自硅的电子, 界面陷阱呈现负电荷堆积. 最终, 氧化层陷阱的正电荷堆积与界面陷阱的负电荷堆积效应相抵消, 表现出 SOI/PMOS 在辐照条件下的性能基本不受影响. 所以, 我们将以 SOI/NMOS 器件作为主要研究对象.

### 2.2 背栅偏置的能带分析

由于氧化层陷阱与界面陷阱正电荷堆积都依赖于电场的作用 [13,14], 从图 2 的能带结构可知, 为减小 SOI 埋氧化层界面正电荷堆积而导致的背栅漏电, 同时减小由电场对正电荷堆积造成的影响, 在背栅外加一个电场  $\Delta E'$ , 以抵消由辐照引起的背栅处电场变化, 保持背栅 Si/SiO<sub>2</sub> 界面处电场分布, 减小总剂量辐照条件下电荷的堆积, 进而改善器件的性能. 部分耗尽型 SOI/NMOS 器件前栅接正电压、背栅接负电压后的能带图如图 3 所示.

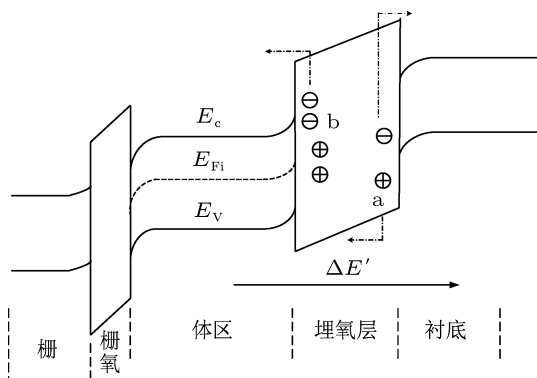


图3 部分耗尽型 SOI/NMOS 器件背栅接负电压能带图

根据部分耗尽型 SOI/NMOS 器件辐照效应分析, 我们利用外加的电场  $\Delta E'$  改变埋氧化层的电场分布, 从而抑制空穴向 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 一侧阶跃, 减少正电荷被陷阱俘获的数量, 进而减少正电荷在 Si/SiO<sub>2</sub> 界面的堆积 (如图 3 中 a 过程). 同时, 我们想利用外加的电场  $\Delta E'$ , 抬高硅在界面处的费米能级, 减少陷阱“施于”的电子, 从而减少界面处正电荷的堆积 (如图 3 中 b 过程). 除了上述两种抑制机理外, 在背栅处接负电压也使得背栅 MOS 管的阈值电压增加, 从而抵消由于辐照引起的背栅阈值电压  $\Delta V_{bg}$  变化给器件前栅性能带来的影响.

### 2.3 模型的建立

为得到外加电场  $\Delta E'$  的大小, 我们将 SOI 器件电容模型和平板电容模型相结合, 器件等效电容模型如图 4 所示. 其中  $V_G$  和  $V_{SUB}$  分别表示加在栅极和背栅的电压,  $C_{ox}$ ,  $C_b$ ,  $C_{box}$ ,  $C_{sub}$  分别表示栅氧化层、体区、埋氧化层和背栅的电容.  $\Psi_{fg}$  和  $\Psi_{bg}$  分别表示栅氧化层下和埋氧化层上对地的电势.

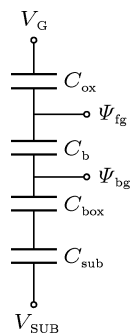


图4 SOI 器件等效电容模型

以 SOI/NMOS 背栅氧化层为研究对象, 在辐照

工作条件下, 由辐照所引起的背栅阈值电压变化量为 [15]

$$\Delta V_{bg} = -\frac{qB_{ot}t_{box}}{\kappa\epsilon_0} \left[ 1 - \exp\left(-\alpha t_{box} \frac{\rho D}{\omega B_{ot}}\right) \right], \quad (1)$$

其中,  $D$  为辐照总剂量,  $\rho/\omega$  表示每单位辐照剂量产生的电子-空穴对数目, 为  $7.6 \times 10^{12} \text{ rad}^{-1}$  ( $1 \text{ rad} = 10^{-2} \text{ Gy}$ ),  $\kappa = 3.9$ ,  $\epsilon_0 = 8.85 \times 10^{-14} \text{ F/cm}$ ,  $t_{box}$  为埋氧化层厚度 (如图 1 所示),  $B_{ot}$  为饱和正电荷密度,  $\alpha$  为空穴的俘获率. 由背栅阈值电压变化引起的埋氧化层电荷变化量为

$$\Delta Q = -qB_{ot} \left[ 1 - \exp\left(-\alpha t_{box} \frac{\rho D}{\omega B_{ot}}\right) \right]. \quad (2)$$

$\Delta V_{bg}$  与  $\Delta Q$  的关系为

$$\Delta V_{bg} = \frac{t_{box}}{\kappa\epsilon_0} \Delta Q. \quad (3)$$

在辐照条件下, 由于氧化层陷阱和界面陷阱引起的正电荷堆积, 从而导致背栅阈值电压的变化,  $\Psi_{bg}$  同时也发生改变. 由于氧化层陷阱与界面陷阱正电荷堆积都依赖于电场的作用,  $\Delta V_{bg}$  引起的埋氧化层电场变化量  $\Delta E$  为

$$\Delta E = \frac{\Delta V_{bg}}{t_{box}}. \quad (4)$$

为减小电场从而减少正电荷堆积的形成, 在背栅端接偏置, 以抵消由辐照引起的  $\Delta E$  变化对器件埋氧化层内氧化层陷阱与界面陷阱的影响, 保持  $\Psi_{bg}$  不变. 接入电压  $V_{SUB}$  的值为

$$V_{SUB} = \frac{\Delta E'}{t_{box}}, \quad (5)$$

其中,  $\Delta E'$  与  $\Delta E$  大小相等, 但方向相反. 而  $V_{SUB}$  可能对前栅阈值电压有影响, 根据平板电容原理 (假设  $V_{SUB}$  感生出的电荷都集中于背栅 Si/SiO<sub>2</sub> 界面 Si 一侧的平面内),  $\Delta V_G$  为

$$\Delta V_G = -\frac{V_{SUB}C_z}{C_{eq}}, \quad (6)$$

其中  $C_z = (1/C_{sub} + 1/C_{box})^{-1}$ ,  $C_{eq} = (1/C_b + 1/C_{ox})^{-1}$ .

根据以上模型, 针对辐照总剂量引起的  $\Delta V_{bg}$ , 我们在 NMOS 器件背栅接相应的偏置, 以观察器件性能的变化.

### 3 辐照试验

我们利用合金烧结技术, 将 SOI 背栅引出, 在总剂量辐照环境中, 对 0.6  $\mu\text{m}$  部分耗尽型 NMOS 器件进行性能测试. 器件版图采用 H 形栅结构,  $W/L = 15/0.6$ , 器件面积为  $124.8 \mu\text{m}^2$ ,  $t_{\text{box}} = 375 \text{ nm}$ ,  $t_{\text{Si}} = 205 \text{ nm}$ ,  $t_{\text{ox}} = 12 \text{ nm}$ ,  $t_{\text{sub}} = 625 \mu\text{m}$ . 辐照试验采用  $^{60}\text{Co}$ - $\gamma$  射线作为辐照源, 试验剂量率为  $10.41 \text{ rad (Si)/s}$ . 在背栅未接偏置的条件下, NMOS 器件辐照特性如图 5 和图 6 所示. 图 5 所示为 NMOS 器件在总剂量辐照条件下, 未加偏置的背栅  $I$ - $V$  特性曲线. 从图 5 中可以看出, 随着辐照剂量的增加, NMOS 器件背栅阈值电压向负方向漂移, 直接影响器件的前栅特性. 图 6 所示为相对应的 NMOS 器件在总剂量辐照条件下的前栅  $I$ - $V$  特性曲线. 随着辐照总剂量的增加, 器件关断后的漏电流增加, 这些漏电流是由辐照条件下在背栅埋氧化层中电荷堆积形成的. 当漏电流随辐照总剂量增加到一定值时, 前栅将完全丧失对器件的控制功能.

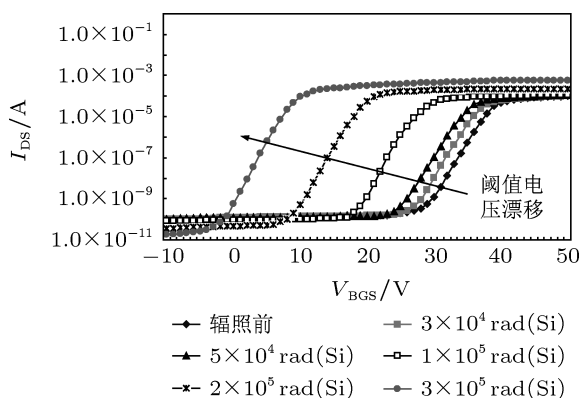


图 5 辐照下 NMOS 背栅未加偏置的背栅  $I$ - $V$  特性曲线

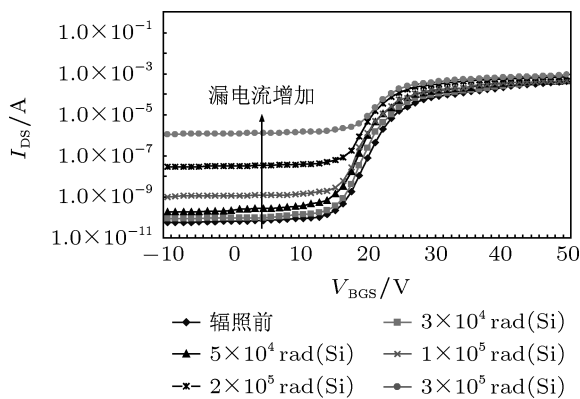


图 6 辐照下 NMOS 背栅未加偏置的前栅  $I$ - $V$  特性曲线

根据图 5 中所示, 在  $2 \times 10^5 \text{ rad (Si)}$  辐照条件下, NMOS 器件背栅阈值电压漂移约为  $20 \text{ V}$ , 代入 (5) 式可得  $V_{\text{SUB}} = -20 \text{ V}$ . 而  $C_{\text{sub}} = 0.02 \text{ fF}$ ,  $C_{\text{box}} = 11.5 \text{ fF}$ ,  $C_{\text{b}} = 13.64 \text{ fF}$ ,  $C_{\text{ox}} = 7.8 \text{ fF}$ , 代入 (6) 式可得  $\Delta V_{\text{G}} = 0.08 \text{ V}$ . 我们将背栅接  $-20 \text{ V}$  的电压偏置, 测量器件前栅的性能变化, 结果如图 7 所示.

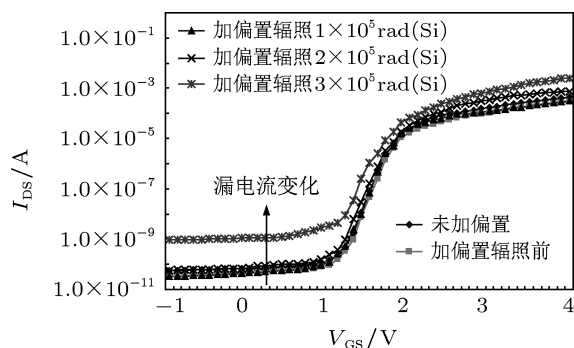


图 7 辐照下 NMOS 背栅加偏置的前栅  $I$ - $V$  特性曲线

如图 7 所示, 器件在受到  $2 \times 10^5 \text{ rad (Si)}$  辐照之前, 前栅的  $I$ - $V$  曲线变化不大, 当总辐照剂量大于  $2 \times 10^5 \text{ rad (Si)}$  之后, 器件前栅“关”态漏电流才开始增加. 在  $2 \times 10^5 \text{ rad (Si)}$  辐照条件下, 背栅加负电压将前栅“关”漏电流优化了三个数量级以上. 将图 6 和图 7 结果相比, 我们可以得出: 根据建立的背栅偏置模型, 在辐照条件下, 针对 NMOS 不同背栅阈值的漂移量, 在器件背部接偏压, 可以改善器件前栅的  $I$ - $V$  性能. 在图 7 中, 背部加负电压明显减小了器件在“关”态下的漏电流, 在辐照条件下保持了器件前栅对沟道的控制力. 并且针对部分耗尽型 SOI 工艺 NMOS 器件, 背部接负电压对器件前栅阈值电压的影响不大. 通过对 NMOS 器件的试验, 证明了新模型的实用性.

根据前面分析, 对于分立器件而言, 部分耗尽型 SOI/PMOS 管受背栅效应的影响很小, 根据模型, 只需要将背栅接地即可. 但是在实际应用中, NMOS 往往与 PMOS 共用一个背栅. 所以, 为验证 NMOS 器件背栅所接负压对 PMOS 管的影响, 在同等试验条件下, 我们对 PMOS 管再次进行了辐照试验. PMOS 管背栅接  $-20 \text{ V}$  电压条件下的前栅性能如图 8 所示. 从图 8 中看出, 在背栅未加偏置的情况下, PMOS 管的前栅特性随辐照剂量增加的变化不大. 而背栅加负电压后, 前栅的漏电流增加, 且随着

辐照剂量的增加,漏电流增大.从试验结果看出:背栅偏置模型只适用于分立器件的背栅效应,当同时作用于 NMOS 和 PMOS 器件背栅时,需要考虑负压对 PMOS 器件带来的影响,折中选取偏置电压.

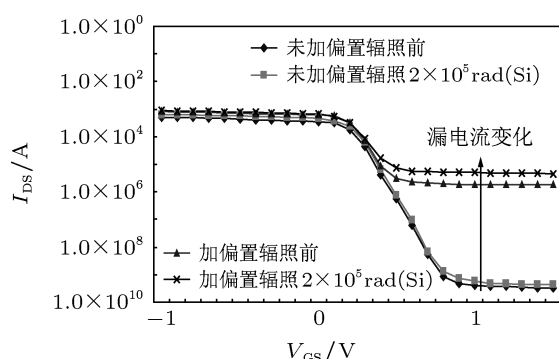


图8 PMOS 前栅  $I$ - $V$  特性曲线

## 4 讨论

根据部分耗尽型 SOI/NMOS 器件辐照的试验结果,我们认为:外加电场  $\Delta E'$  可以改变埋氧化层原有的电场分布,抑制空穴向 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 一侧阶跃,减少正电荷被陷阱俘获的数量,进而减少正电荷在 Si/SiO<sub>2</sub> 界面的堆积(如图8中 a 过程).同时,能抬高硅在界面处的费米能级,减少陷阱“施予”的电子,从而减少界面处正电荷的堆积(如图8中 b 过程).外加电场  $\Delta E'$  也使得背栅 MOS 管的阈值电压增加,抵消了由于辐照引起的背栅阈值电压  $\Delta V_{bg}$  变化给器件前栅性能带来的影响.但从图7中看出,随着辐照总剂量的增加,器件的  $\Delta V_{bg}$  也随着增加,当  $\Delta V_{bg}$  大于  $\Delta E'$  所对应的负电压时,界面处正电荷堆积效应将重新占据主导地位,仍然会对器件前栅的性能造成影响.

对于 PMOS 器件而言,氧化层陷阱的正电荷堆积与界面陷阱的负电荷堆积效应相抵消.所以在背栅未接偏置的情况下,前栅  $I$ - $V$  特性基本不变(如图8所示).但在背栅加  $-20$  V 电压后,器件的前栅  $I$ - $V$  性能迅速恶化,我们认为:背栅所接的负电压已经导致 PMOS 器件的背栅开启,背栅电流影响了前栅电压对沟道的控制,导致前栅  $I$ - $V$  性能恶化.而在背栅接负电压的情况下,随着辐照剂量的增加,器件前栅特性将进一步恶化.根据辐照机理,

由于负电压所产生电场  $\Delta E'$  的存在,抑制了空穴向 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 一侧阶跃,减少了正电荷被陷阱俘获的数量,进而减少了正电荷在 Si/SiO<sub>2</sub> 界面的堆积.但是,电场  $\Delta E'$  却进一步抬高了硅在界面处的费米能级,陷阱“受于”来自硅的电子,界面陷阱呈现负电荷堆积,从而进一步降低了 PMOS 管背栅的阈值电压,表现出器件前栅漏电流进一步增加.

比较 NMOS 管和 PMOS 管背栅加偏置后辐照试验的结果得出:背栅接负电压对 NMOS 管而言,可以消除在辐照条件下背栅效应对器件性能的影响,改善器件的前栅  $I$ - $V$  特性.而对 PMOS 管而言,背栅加负电压则使器件的前栅  $I$ - $V$  性能恶化.由此可见,我们新建的模型只适用于分立器件的背栅效应,当同时作用于 NMOS 和 PMOS 器件背栅时,需要考虑负压对 PMOS 器件带来的影响,折中选取偏置电压.

## 5 结论

对于 NMOS 管而言,背栅未加偏置的器件由于总剂量效应的影响,背栅阈值电压漂移严重,导致器件源/漏之间的漏电.当漏电流随辐照总剂量增加到一定值时,前栅将完全丧失对器件的控制功能.而在背栅加负电压后,器件前栅的“关”态漏电流被优化了三个数量级以上,保持了器件前栅的性能.由于背栅加负电压,给埋氧化层外加了一个  $\Delta E'$  的电场,在一定程度上抑制了正电荷在背栅 Si/SiO<sub>2</sub> 界面的堆积,从而减小了背栅效应导致的漏电.并且,背栅接负电压在改善了辐照条件下器件性能的同时,对前栅阈值电压影响较小.而对于 PMOS 管而言,背栅加负电压会恶化器件的前栅  $I$ - $V$  性能,并且随着辐照剂量的增加,前栅性能会进一步恶化.由此可见,我们新建的模型只适用于分立器件的背栅效应,当同时作用于 NMOS 和 PMOS 器件背栅时,需要考虑负压对 PMOS 器件带来的影响,折中选取偏置电压.

本文的结论不但为辐照条件下部分耗尽型 SOI/MOS 器件背栅效应的改善提供了设计加固方案,也为宇航级集成电路设计和制造提供了理论支持.

- [1] Zheng Z S, Zhang E X, Liu Z L, Zhang Z X, Li N, Li G H 2007 *Acta Phys. Sin.* **56** 5446 (in Chinese) [郑中山, 张恩霞, 刘忠立, 张正选, 李宁, 李国花 2007 物理学报 **56** 5446]
- [2] Zheng Z S, Liu Z L, Zhang G Q, Li N, Fan K, Zhang E X, Yi W B, Chen M, Wang X 2005 *Acta Phys. Sin.* **54** 348 (in Chinese) [郑中山, 刘忠立, 张国强, 李宁, 范楷, 张恩霞, 易万兵, 陈猛, 王曦 2005 物理学报 **54** 348]
- [3] Li L L, Yu Z G, Xiao Z Q, Zhou X J 2011 *Acta Phys. Sin.* **60** 098502 (in Chinese) [李蕾蕾, 于宗光, 肖志强, 周昕杰 2011 物理学报 **60** 098502]
- [4] Li J, Liu H X, Li B, Cao L, Yuan B 2010 *Acta Phys. Sin.* **59** 8131 (in Chinese) [李劲, 刘红侠, 李斌, 曹磊, 袁博 2010 物理学报 **59** 8131]
- [5] Barnaby H J, Mclain M L, Esqueda I S 2008 *Proceedings of the 2008 IEEE Custom Integrated Circuits Conference* San Jose, USA, September 21–24, 2008 p273
- [6] Wu W M, Yao W, Gildenblat G 2008 *IEEE Trans. Elec. Dev.* **55** 3295
- [7] Schwank J R, Shaneyfelt M R, Dodd P E 2000 *IEEE Trans. Nucl. Sci.* **47** 2175
- [8] Ferlet-Cavrois V, Colladant T, Paillet P 2000 *IEEE Trans. Nucl. Sci.* **45** 1817
- [9] Mrstik B J, Hughes H L, McMarr P J 2000 *IEEE Trans. Nucl. Sci.* **47** 2189
- [10] Schwank J R, Shaneyfelt M R, Fleetwood D M 2008 *IEEE Trans. Nucl. Sci.* **55** 1833
- [11] Schwank J R, Ferlet-Cavrois V, Shaneyfelt M R 2003 *IEEE Trans. Nucl. Sci.* **50** 522
- [12] Ceschia M, Paccagnella A, Cester A 1998 *IEEE Trans. Nucl. Sci.* **45** 2375
- [13] Shaneyfelt M R, Schwank J R, Fleetwood D M 1990 *IEEE Trans. Nucl. Sci.* **37** 632
- [14] Schwank J R, Winokur P S, Sexton F W 1986 *IEEE Trans. Nucl. Sci.* **33** 1178
- [15] Liu S T, Balster S, Sinha S 1999 *IEEE Trans. Nucl. Sci.* **46** 1817

# Back-gate bias effect on partially depleted SOI/MOS back-gate performances under radiation condition\*

Zhou Xin-Jie<sup>1)2)†</sup> Li Lei-Lei<sup>2)</sup> Zhou Yi<sup>2)</sup> Luo Jing<sup>2)</sup> Yu Zong-Guang<sup>2)</sup>

1) (*School of Electronic Science and Engineering, Southeast University, Nanjing 210096, China*)

2) (*No.58<sup>th</sup> Research Institute of China Electronics Technology Group Corporation, Wuxi 214035, China*)

(Received 7 December 2011; revised manuscript received 5 April 2012)

## Abstract

According to the partially depleted SOI/MOS device's band gap, starting with the electric field, which is a factor of back-gate charge stack, we combine SOI device capacitance model and flat capacitance model for finding the way to keep electric field at the interface of Si/SiO<sub>2</sub>, and build a back-gate bias model. For validating the new model, we use alloy-agglomeration at the back gate. After radiation experiments, we compare the results of back-gate effect on NMOS with those on PMOS. It is concluded that as far as NMOS is concerned, negative voltage at back-gate can eliminate the back-gate effect which influence the performance of device, and improves the performance of front-gate. However negative voltage at back-gate makes the performance of PMOS worse. Therefore, when we use the back-gate bias to improve the performance of device, we must consider the performances of NMOS and PMOS and compromise the choice of the voltage which is applied to the back-gate. This research supplies not only a design scheme for hardening back-gate effect of SOI devices under radiation condition, but also a support in theory for integrated circuit design and manufacture, which is used in space.

**Keywords:** silicon on insulation, total dose effect, back-gate effect, back-gate bias

**PACS:** 61.80.Az, 61.80.Jh, 61.82.Fk, 85.30.De

---

\* Project supposed by the Foundation of SOI Research Center, China (Grant No. 20106250XXX), the High Reliability of Space Research Program, China (Grant No. XXX7116X), and the "333" Scientific Research Items of Jiangsu Province, China (Grant No. BRA2011115).

† E-mail: zhouxinjie2000@sina.com