

SOI SiGe HBT 电学性能研究*

张滨[†] 杨银堂 李跃进 徐小波

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2012年5月18日收到; 2012年6月17日收到修改稿)

研究了 SOI 衬底上 SiGe npn 异质结晶体管的设计优化. 给出了器件基本直流交流特性曲线, 分析了与常规 SiGe HBT 的不同. 由于 SOI 衬底的引入使 SOI SiGe HBT 成为四端器件, 重点研究了衬底偏压对 Gummel 曲线、输出特性曲线以及雪崩电流的影响. 最后仿真实现材料物理参数和几何物理参数对频率特性的改变. 结果表明 SOI SiGe HBT 与常规器件相比具有更大的设计自由度. SOI SiGe HBT 的系统分析为毫米波 SOI SiGe BiCMOS 电路的设计提供了有价值的参考.

关键词: SiGe HBT, SOI, 电学性能

PACS: 85.30.Pq, 85.30.De, 85.30.-z

1 引言

适用于高频, 与 CMOS 兼容的硅基 SiGe 工艺是对现有标准工艺的一种提升, 能够满足很宽范围内的毫米波应用, 如无线传输包括雷达和毫米波成像等^[1]. SOI 由于完全电学隔离, 消除了闩锁效应, 并且其氧化埋层结构, 在很大程度上降低结电容、漏电流, 减轻器件寄生效应, 大大提高了电路的性能^[2].

由于 SiGe HBT BiCMOS 与 SOI 各自的优点, 将 SiGe HBT 制作在 SOI 上成为非常热门的研究重点, 而 SOI SiGe HBT 直接关系 BiCMOS 工艺水平, 并且远远没有 SOI CMOS 成熟, 因此成为重中之重. Hitachi^[3] 开发了 SOI/HRS SEG SiGe HBT/CMOS 工艺, 为无线通信和光纤线路系统生产有源和无源器件. NEC^[4] 提出了 60 GHz 特征频率超级自对准 (SSSB) 双击工艺, 应用于 20-Gb/s 光学发射机 IC. 这种 SSSB 晶体管^[5] 采用硼磷玻璃 (BPSG) 沟槽^[6] 制造于键合 SOI 衬底. 作为 SOI 技术的主要推动者, IBM 提出了 SOI 衬底上多晶硅发射极 SiGe 基区纵向双极晶体管^[7]. SOI 硅层厚

度为 140 nm, 与 SOI CMOS 中的厚度可以相比, 并且去掉了亚集电区和深槽隔离. 由于集电区厚度可以做得很薄, 这种器件特别适合于 SOI CMOS 集成, 因此得到 IBM 公司后续深入研究, 包括常规的如频率特性、 $I-V$ 特性、寄生电阻电容效应等, 另外还有高温特性 (200—300°C)、抗质子辐射、抗 X 光辐射、可靠性、自加热效应、衬底偏置效应等等^[8-15]. 欧洲 ST 微电子也针对这种结构进行了大量的实验测试和研究^[16-20], 并于 2008 年在公司内部生产线上实现初步集成^[21]. 现在对于 SOI SiGe HBT 的研究从 SOI 对应变的影响到 npn, pnp 安全工作区的分析, 以及温度、电流对器件性能的改变各方面^[22-24]. 本文主要针对 IBM 提出的结构进行了设计研究.

SOI SiGe HBT 作为 BiCMOS 工艺的核心器件, 决定了工艺所能达到的频率, 也严重影响 BiCMOS 电路的功耗. 2011 到 2012 年我们针对 SOI SiGe HBT 器件建立了相关电学参数解析模型, 主要包括器件电场、电势、反向击穿电压、雪崩倍增效应、Early 效应、耗尽电容、衬底偏置效应、渡越时间等等^[25-31], 但是缺乏器件用于电路中的设计分析. 本文的目的在于汇总以前的单个模型, 实

* 国家部委预研基金项目 (批准号: 51308030201, 9140A080509DZ0106) 资助的课题.

[†] E-mail: 33368197@qq.com

现 SOI SiGe HBT 的系统分析. 通过仿真研究 SOI SiGe HBT 中电学参数、材料物理参数和几何物理参数对器件性能的影响, 进而在电路和器件设计和制备中优化性能.

2 器件结构和理论分析

图 1 给出了纵向 npn SOI HBT 左半部分截面图, 集电区厚度一般在 150 nm 左右, 因此电流在本征集电结纵向流动, 并且在外集电区横向移动. 不加偏压时集电结以纵向全部耗尽的晶体管为全耗尽 HBT (fully depleted HBT); 反之为部分耗尽 HBT (partially depleted HBT); 定义集电结交界处为 x 轴零点, 基区边缘处为 y 轴零点, 如图 1 所示.

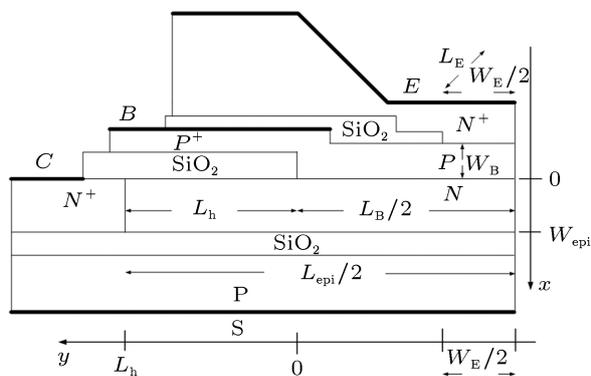


图 1 薄膜 SOI 衬底上纵向 npn HBT 截面图

在晶体管中, 集电区设计严重影响器件性能, 如最大集电区电流密度 J_{\max} , 集电结反向击穿电压 BV_{CB0} , 集电结电容 C_{BC} 和集电结耗尽层渡越时间 τ_d , 因此集电区的厚度和掺杂浓度需要根据 HBT 的性能要求来确定. 集电区电流密度 J_{\max} 主要受到 Kirk 效应的限制, Kirk 电流密度由下式定义

$$J_k = qv_s \left(N_{\text{epi}} + \frac{2\varepsilon_{\text{Si}}V_{\text{CB}}}{qW_{\text{epi}}^2} \right) \approx qv_s N_{\text{epi}}, \quad (1)$$

其中 v_s 为电子饱和速度, ε_{Si} 为 Si 介电常数, V_{CB} 为集电结反偏电压, N_{epi} 和 W_{epi} 分别为集电区掺杂浓度和厚度. 为了防止由于 Kirk 导致基区展宽, 集电区掺杂浓度 N_{epi} 必须足够高, 以使 J_k 比器件 J_{\max} 大.

假设集电结为突变结, 集电区轻掺杂, 击穿电压 BV_{CB0} 为

$$BV_{CB0} = \frac{\varepsilon_{\text{Si}}E_c^2}{2qN_{\text{epi}}} \left[1 - \left(1 - \frac{qN_{\text{epi}}(W_{\text{epi}} + L_{\text{epi}})}{\varepsilon_{\text{Si}}E_c} \right)^2 \right], \quad (2)$$

其中 E_c 为临界电场, L_{epi} 为集电区长度. 表达式说明集电区宽度和长度越大, 全部耗尽集电区得到的 BV_{CB} 越大. 当 $W_{\text{epi}} + L_{\text{epi}}$ 超过 $\varepsilon_{\text{Si}}E_c/(qN_c)$, 集电区不再耗尽, 得到最大击穿电压为

$$BV_{CB0,\max} = \frac{\varepsilon_{\text{Si}}E_c^2}{2qN_{\text{epi}}}, \quad (3)$$

由上式可知, J_{\max} 和 BV_{CB} 的乘积几乎不变. 因此在集电区设计时, 最大工作电流与击穿电压之间存在折衷优化.

集电区设计中考虑的另一个重要因素为与集电区有关的延迟时间. 集电结耗尽层渡越时间为^[32]

$$\tau_d = \frac{W_{\text{SCR,C}}}{2v_s} + f_s \frac{L_{\text{DEFP}}}{2v_s}, \quad (4)$$

其中 $W_{\text{SCR,C}}$ 和 L_{DEFP} 分别为集电区纵向与横向耗尽宽度, 上式说明, 由于 SOI SiGe HBT 集电区存在纵向与横向耗尽, 集电结耗尽, 电容与集电区宽度和长度密切相关

RC 延迟 τ_c 表征集电结电容充放电表达式为

$$\begin{aligned} \tau_c &= C_{\text{BC}} \left(R_E + R_C + \frac{kT}{qI_{\text{epi}}} \right) \\ &\approx \frac{\varepsilon_{\text{Si}}A_{\text{BC}}}{W_{\text{SCR,C}} + f_s L_{\text{DEFP}}} \\ &\quad \times \left(R_E + R_C + \frac{kT}{qI_{\text{epi}}} \right), \end{aligned} \quad (5)$$

其中 A_{BC} 为器件 BC 结面积. τ_d 和 τ_c 都对总渡越时间有贡献, 都受到集电区设计参数的影响. 从上面可以看出, τ_d 与 $W_{\text{SCR,C}} + 2v_s f_s L_{\text{DEFP}}$ 成正比, 而 τ_c 与 $W_{\text{SCR,C}} + f_s L_{\text{DEFP}}$ 成反比. 一般来说, τ_c 很小, $W_{\text{SCR,C}} + f_s L_{\text{DEFP}}$ 的增加最终导致总渡越时间增加, 降低特征频率.

因此, 集电区设计通常首先考虑 J_{\max} 设计掺杂浓度. 如发射区面积为 $0.25 \mu\text{m}^2$ 的一个 HBT, 最大工作电流为 7 mA, 因此最大电流密度为 28 kA/cm^2 , 可以求出最小掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$. 然后根据击穿电压和工作速度的要求, 确定集电区的厚度和长度.

在 SiGe HBT 中, SiGe 被引入基区形成发射结和集电结带隙不连续. 因此, 基区设计参数如厚度 W_B , 掺杂浓度 N_B , Ge 组分 z 和分布在器件性能中起重要作用.

基区渡越时间为 $\tau_B = W_B^2/(\eta D_{nb})$, 最高振荡频率 f_{max} 为

$$f_{max} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}}, \quad (6)$$

其中 R_B 为基区电阻, C_{BC} 为集电结电容. 显然薄基区降低基区渡越时间, 但是基区宽度又不能减小太多, 这会导致基区穿通, 同时增大基区电阻, 降低 f_{max} .

另一个重要参数为直流增益. 表达式为 [33]

$$\beta = \frac{D_{p,E} W_E N_E (N_C N_V)_B}{D_{n,B} W_B N_B (N_C N_V)_E} \exp\left(\frac{\Delta E_V}{kT}\right), \quad (7)$$

(7) 式中 $D_{p,E}$ 和 $D_{n,B}$ 分别为发射区和基区少子扩散系数, W_E 和 N_E 分别为发射区厚度和掺杂浓度, N_C 和 N_V 分别为导带和价带有效状态密度, ΔE_V 为发射结价带能带偏移, 显然 Ge 组分越高, ΔE_V 越大, 抑制从基区到发射区的空穴注入越强, 电流增益越大.

在典型 SiGe HBT 中, 不管发射区和基区掺杂如何, ΔE_V 足够大到满足增益要求. 因此允许基区重掺杂, 集电区相对轻掺杂. 这样基区厚度可以进一步降低, 而不用担心基区穿通和基区大电阻. 值得注意的是, Ge 组分的增加引起合金散射增加, 恶化基区少子电子迁移率.

基区设计从 Ge 组分和分布开始. 如 40% 均匀 Ge 分布形成大约 0.34 eV 价带能带偏移. 为了优化器件高频特性, 基区宽度和掺杂分别取为 20 nm 和 $2 \times 10^{19} \text{ cm}^{-3}$. 基于设计参数, 基区渡越时间大约为 1.2 ps, SiGe 基区层方块电阻为 2.5 k Ω / \square .

n 型 Si 层被用于发射区来保证发射结能带偏移. 设计参数包括宽度 W_E 和掺杂 N_E . 显然 N_E 越大, 电流增益越大; 但是高掺杂引起发射结电容 C_{BE} 的增大, 降低结击穿电压. 因此, 考虑器件频率响应, 发射区掺杂降低, 厚度增大有利于提高 C_{BE} , 从而降低发射区渡越时间 τ_E . 因此, 优化发射区设计时, 需要折衷考虑电流增益、寄生电阻和器件速度. 如 100 nm 掺杂为 $2 \times 10^{18} \text{ cm}^{-3}$ 的发射区, 电流增益由 (7) 式估计, 大约为 150.

由于电流增益与发射结能带差成指数关系, 保持电流增益的前提下, 不再需要发射区高掺杂; 同时未掺杂发射区导致寄生电阻增大, 因此可以取消过厚的发射区. 为了获得较低的发射极电阻, 通常在本征发射区上面生长一层帽层. 对于双台面 HBT 工艺, 发射区台面最小台面高度为 300 nm, 以保证

双自对准基极接触, 而不需要缩短发射区和基区电极. 因此, 发射区帽层可以采用 200 nm 厚度的 Si 层, 掺杂浓度为 $2 \times 10^{19} \text{ cm}^{-3}$.

另外, 在设计 npn SiGe HBT 结构中, 需要考虑阻挡层. 在基区原位掺杂中大量使用了硼 (B). 外延生长的时候, B 会随温度增加扩散到 SiGe 基区外面, 使发射结向发射区方向移动. 一个通常的解决方法是在发射结和集电结插入未掺杂 SiGe 阻挡层. 阻挡层厚度不够将引起 B 外扩, 产生导带寄生势垒; 过厚又会恶化异质结, 基区接触性能降低. 因此, 阻挡层厚度需要仔细优化. 一般来说, 可以选择 5 nm 未掺杂 SiGe 作为 HBT 结构的阻挡层.

由于在厂家主流 SOI 产品中, 以 p 型 SOI 衬底为主, 因此选用 p 型 (100) 面 SOI 衬底埋层厚度 400 nm.

3 器件仿真结果

仿真所需的器件结构如图 2 所示, 包括 N^+ 发射极区域, p 型基区, 集电区是由集电极接触即 N^+ 穿通区、准中性区和在基区和绝缘层之间的耗尽区组成. 显然, SOI SiGe HBT 去除了埋层, 引入了横向准中性集电区. 电子从发射极注入, 不像典型的垂直双极晶体管中电流垂直流向亚集电区, 其由集电区的二维电场引导而流向一旁的 n^+ 穿通区. 这种新结构克服了与小尺寸 SOI CMOS 兼容的垂直双极型晶体管集电区厚度的限制.

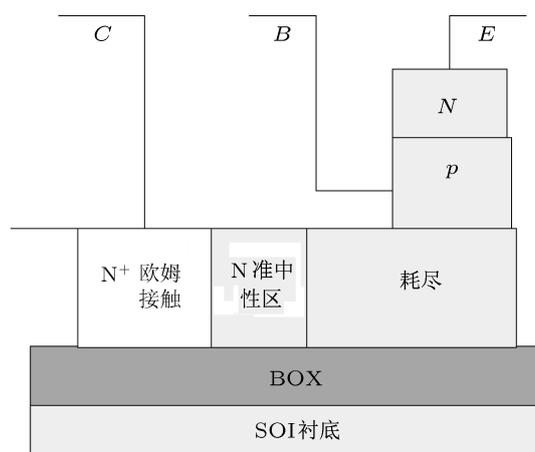


图 2 SOI SiGe HBT 仿真结构图

上述只是给出了折叠型器件的结构, 为了进一步提高其性能, 需要确定器结构参数. 而 SOI SiGe HBT 器件结构参数的确定必须遵循一定的设计规

则. 而 SOI SiGe HBT 与一般晶体管最大的不同就是集电区, 确定结构参数时, 根据上面的理论分析, 对集电区的结构参数进行比较合理的设置.

器件的结构参数为: 发射区由轻、重掺杂区组成, 重掺杂区是多晶硅发射区, 掺杂浓度为 $1 \times 10^{20} \text{ cm}^{-3}$, 轻掺杂靠近基区, 掺杂浓度设为 $1 \times 10^{18} \text{ cm}^{-3}$. 基区掺杂浓度为 $2 \times 10^{19} \text{ cm}^{-3}$, 宽度为 35 nm, 并在基区两侧分别增加 5 nm 的本征 SiGe 层, 基区的 Ge 组分是梯形分布 (10%—25%). 集电区的掺杂浓度是 $3 \times 10^{17} \text{ cm}^{-3}$, 厚度为 150 nm, 埋层厚度为 200 nm, 集电区长度为 1040 nm. 主要仿真模型如下: 载流子统计为 Fermi-Dirac 分布, 高掺杂引起的带隙变窄为 Slotboom^[34] 模型, 少子复合时间为 Shockly-Read-Hall^[35,36] 模型, 迁移率变化模型为 Klaassen^[37] 模型.

3.1 与常规 SiGe HBT 比较

从模型分析可以看出, SOI SiGe HBT 的 Early 电压比常规器件大, 图 3 给出了两者之间的输出特性曲线比较. 基区电流 I_b 取为 $0.8 \mu\text{A}$.

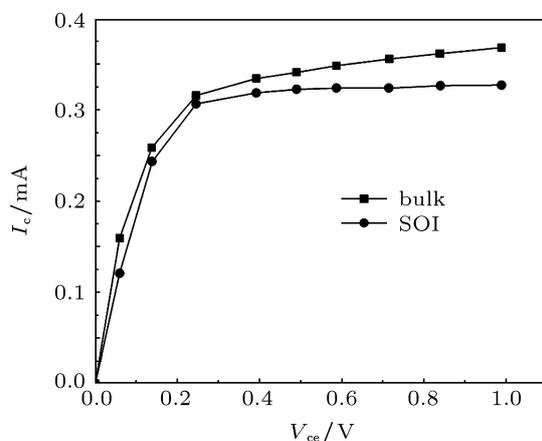


图 3 SOI 与常规 SiGe HBT 输出特性曲线

显然, SOI SiGe HBT 电流稳定性更好, Early 电压更大. 这是由于 SOI SiGe HBT 的集电结电容更小的缘故.

3.2 衬底偏置

如果给 SOI 衬底加上偏压, SOI SiGe HBT 成为四端器件, 电学性能受到衬底的影响. 衬底偏压不仅影响器件饱和特性, 也可以改变击穿电

压 (如 BV_{CEO}).

图 4 给出了 SOI SiGe HBT 在衬底偏压 $V_{\text{SE}} = 0 \text{ V}$ 和 10 V 时的 Gummel 图. 实线为 0 V 时取值, 虚线为 10 V 取值. 在 V_{be} 大约超过 1 V 时, I_c 和 I_b 受到 V_{SE} 的影响. V_{SE} 从 0 V 增加到 10 V , I_c 增加, I_b 减小. 这表明器件饱和效应受到衬底偏压的压制. 因此集电区电阻随 V_{SE} 增大而减小. 图 5 给出了衬底偏压对输出特性的影响. 显然, 曲线表现出“软”击穿特性. BV_{CEO} 下降. 这是由于集电结耗尽区二维电场分布导致最大电场微弱增加. 衬底零偏, 本征集电区在集电极电压增加到某个值时全部耗尽, 纵向电场达到最大值, 因此集电区的雪崩倍增效应受到限制. 集电极电压继续增大, 多余压降将被横向电场吸收, 外集电区起决定作用. 衬底偏压增大, 集电区在靠近埋层处形成积累层, 构成横向低阻通道, 集电结压降主要落在本征集电区. 尽管全耗尽后纵向最大电场几乎不变, 但是全耗尽对应的集电极电压随 V_{SE} 增大而增大, 因此雪崩电流增大, 如图 6 所示.

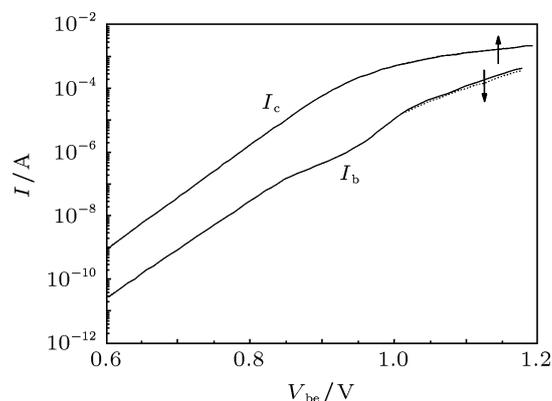


图 4 不同衬底偏压下 Gummel 图

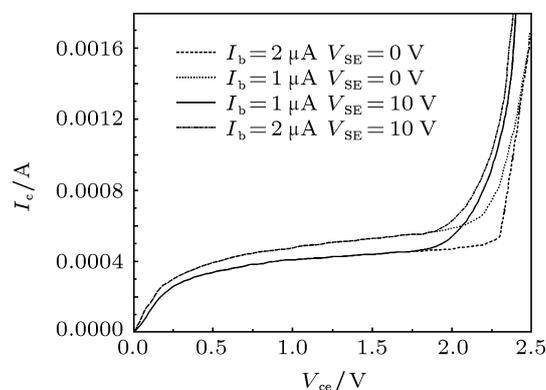


图 5 不同衬底偏压下输出特性曲线

由上面分析可知, 增加衬底电压一方面可以降低集电区电阻, 提高器件特征频率, 另一方面器件击穿特性降低, 雪崩倍增电流有所增加. 因此, 将 SOI SiGe HBT 考虑为四端器件以提高器件性能的时候, 需要对击穿特性和速度特性折衷.

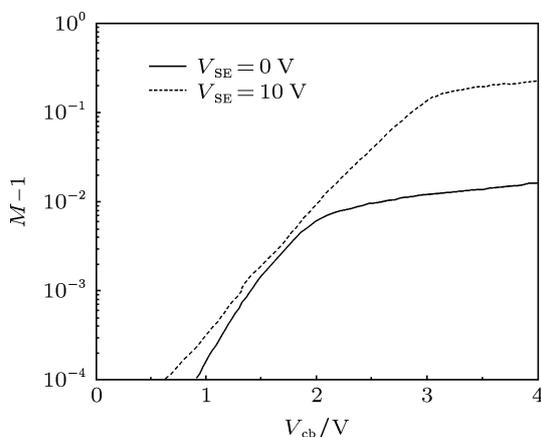


图6 不同衬底偏压下雪崩倍增曲线

3.3 材料物理参数

SOI SiGe HBT 中材料物理参数主要包括基区 Ge 组分, 以及发射区、基区和集电区中的掺杂浓度. 其中基区 Ge 组分、发射区和基区浓度变化对器件性能的影响与常规 SiGe HBT 类似, 简单分析如下: 1) 增大发射区掺杂浓度可以提高发射效率, 但太大又引起发射区禁带变窄, 反而使发射效率降低, 为了解决这个问题, 并提高发射结击穿电压和减小隧穿电流, 发射区一般由重掺杂多晶硅和靠近基区侧轻掺杂硅组成. 2) 基区设计要求为降低基区电阻和基区渡越时间. 减少基区宽度 W_B 可以提高特征频率, 但基区电阻变大, 从而使最高振荡频率 f_{max} 降低, 噪声增加. 为了在提高频率的同时降低电阻, 基区必须重掺杂, 而这样又会使其高频特性增益变差、散射增加, 电子的纵向和横向输运受阻, 发射结隧穿电流增大, 导致基区复合电流增大, 也易使击穿电压下降. 因此, 应根据器件要求和所采用的工艺合理选择基区掺杂浓度, 在基区宽度和掺杂浓度之间折衷. 3) Ge 组分的增加使发射区-基区异质结的能带突变量增加, 从而提高了发射区电子的注入比, 电流增益增大; Ge 组分的增加可以使载流子的迁移率增加, 可以减小基区电阻, 减少基区渡越时间从而使最高振荡频率增大. Ge 组分变化方式主要包括均匀分布和梯形分布两种, Ge

组分在基区梯形分布不仅可以保持足够的电流增益, 而且在基区形成加速场, 使基区渡越时间减小, 有效地改善器件的电流增益和频率特性, 但是对工艺水平要求高.

集电区掺杂浓度同样与特征频率密切相关, 图 7 给出了特征频率随集电区掺杂的变化曲线. 掺杂越高, 集电区电阻越小, 特征频率越大.

当集电区掺杂浓度足够高, 集电结空间电荷区永远都不会到达埋氧层, SOI SiGe HBT 一直部分耗尽, 器件集电区电阻大幅减小, 表现出优越的速度性能. 下面给出了 $N_{epi} = 8 \times 10^{17} \text{ cm}^{-3}$ 时的基本仿真结果, 图 8 为 Gummel 图, 图 9 为输出特性, 图 10 为频率特性.

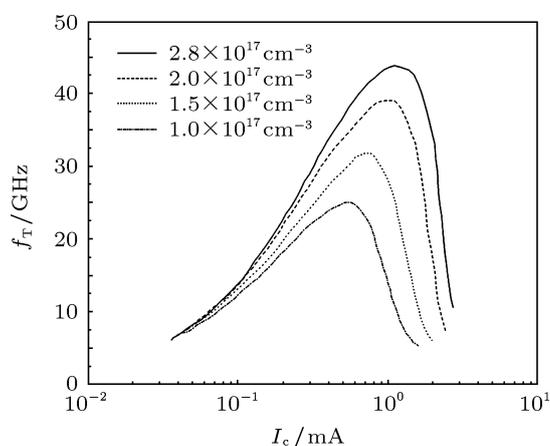


图7 特征频率随集电区掺杂变化图

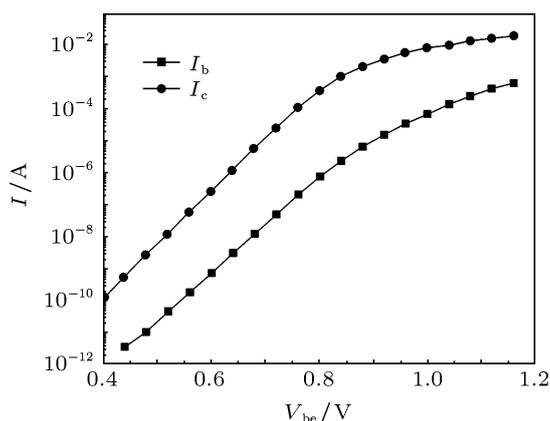


图8 集电区高掺杂 Gummel 图, $N_{epi} = 8 \times 10^{17} \text{ cm}^{-3}$

显然由图可知, SOI SiGe HBT 表现出良好的直流特性, Gummel 图曲线与集电区轻掺杂情况变化不大, 放大倍数也保持在 100 左右, 只是击穿电压下降比较厉害, 在 1.2 V 左右. 集电区高掺杂, SOI

SiGe HBT 的频率特性有了大幅提高, 特征频率和最高振荡频率分别为 93 GHz 和 162 GHz. 从器件的应用角度考虑, 集电极的设计应该首先满足击穿电压的要求, 然后进行高频改进.

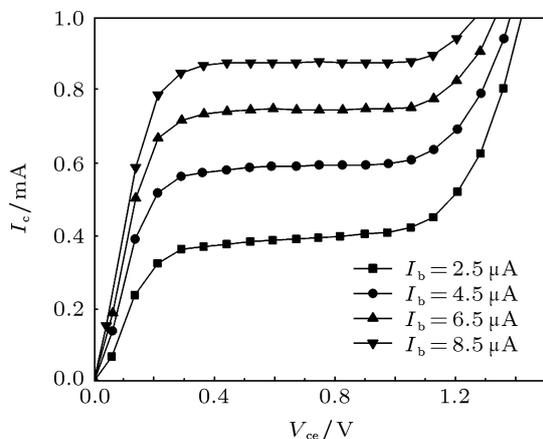


图 9 集电区高掺杂输出特性图, $N_{\text{epi}} = 8 \times 10^{17} \text{ cm}^{-3}$

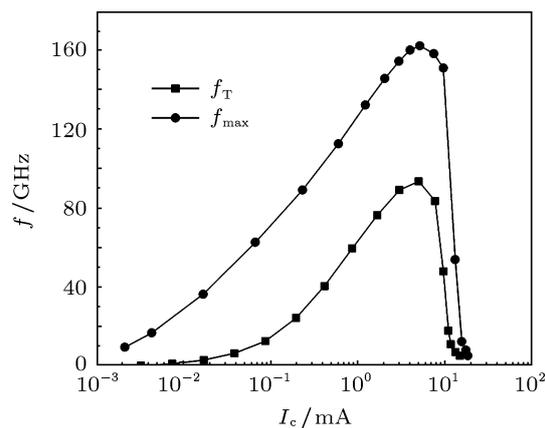


图 10 集电区高掺杂频率特性图, $N_{\text{epi}} = 8 \times 10^{17} \text{ cm}^{-3}$

3.4 几何物理参数

SOI SiGe HBT 中的几何物理参数主要包括发射区宽度 W_E 、基区宽度 W_B 、集电区宽度 W_{epi} 、集电区长度 L_{epi} 、氧化层厚度 T_{ox} 等, 其中 W_E 、 W_B 对器件性能的影响与常规 SiGe HBT 类似. 简单分析如下: 1) W_E 越小, 发射区渡越时间越小, 但 W_E 不能任意减小, 首先受电流增益要求的限制, 高发射区注入效率要求宽发射区, 其次从工艺上考虑, 过小的发射区使在其上制作欧姆接触金属化层得过程过于复杂; 2) W_B 越小, 发射区渡越时间越小, 但基区电阻增大, 击穿电压降低, 容易引起基

区穿通. 同时基区宽度大小对 Early 电压也有影响, W_B 越大, Early 电压越大, 电流稳定性越好.

下面主要分析 W_{epi} , L_{epi} , T_{ox} . 图 11—13 分别给出了三个参数与特征频率的关系曲线.

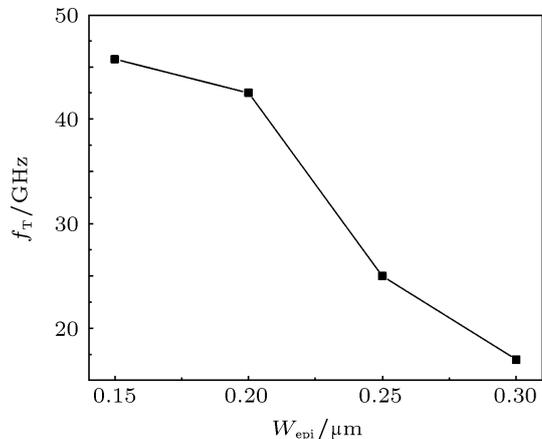


图 11 特征频率随集电区宽度变化曲线

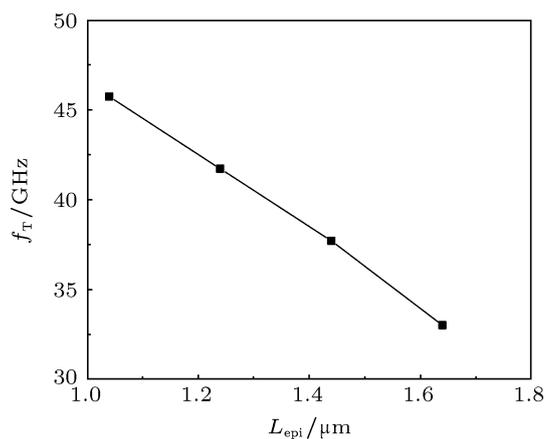


图 12 特征频率随集电区长度变化曲线

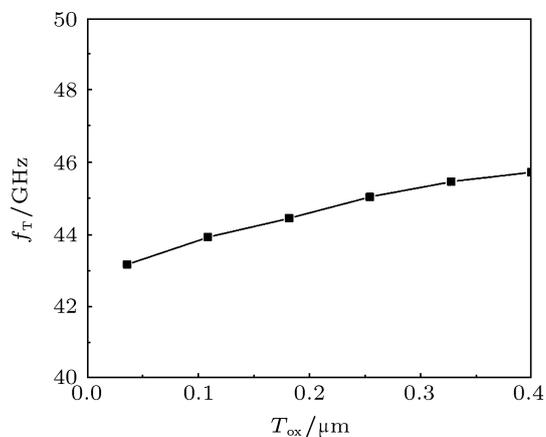


图 13 特征频率随氧化层厚度变化曲线

图 11 表明, f_T 随 W_{epi} 的增大而减小. W_{epi} 在 150 到 200 nm 之间取值时, 集电区处于全部耗尽或者接近全部耗尽状态, W_{epi} 的变化对 f_T 影响不大; 另外, 随着 W_{epi} 增大, 集电区电流聚集效应减弱, f_T 随 W_{epi} 增大而减小的趋势进一步弱化; W_{epi} 更大时, 集电区处于部分耗尽状态, W_{epi} 的变化对 f_T 影响变大, 因此在部分耗尽与全耗尽转折处, f_T 随 W_{epi} 增大而急剧减小. 图 12 表明, f_T 随 L_{epi} 的增大而减小; 显然, L_{epi} 越大, 载流子的路径越长, 渡越时间越长, 特征频率也就越小. 图 13 表明, f_T 几乎不随 T_{ox} 变化而变化; 对于不同的氧化层厚度, 集电结电容几乎不发生变化, 因此 f_T 几乎保持不变.

4 结果与分析

上面对 SOI SiGe HBT 器件的特性进行了研究. 首先给出了器件仿真结构图, 并对器件基本直流交流特性进行了仿真, 然后给出了与常规 SiGe HBT 输出特性的比较. 仿真结果表明 SOI 器件 Early 电压更高, 电流稳定性更好. 由于 SOI 器件衬底偏压对电学性能有影响, 因此接着研究了其对 Gummel 曲线、输出特性曲线以及雪崩电流的影响. 结果表明, 随着衬底偏压的增大, 集电区电阻变小, 器件速度性能得到提高, 但是相应的击穿电压有所下降. 由于 SOI 器件与常规 SiGe HBT 结构的不同表现在

集电区, 因此详细研究了集电区掺杂、宽度和长度变化对器件性能的影响. 结果表明, 集电区掺杂浓度提高, 特征频率提高, 但击穿电压急剧下降, 集电区宽度和长度越小, 器件性能越好. 最后研究了氧化层厚度对特征频率的影响. 结果表明, 氧化层变化, 特征频率几乎不变.

根据上面的仿真分析, 在设计器件时, SOI SiGe HBT 与常规器件相比具有更大的自由度, 除了传统的参数如基区宽度、掺杂浓度等, SOI 器件的关键设计参数还有集电区宽度、集电区长度和衬底偏压. 在满足击穿要求和工艺条件的前提下, 集电区宽度和长度尽量减小, 衬底偏压可以适度正偏, 以提高频率特性.

5 结论

本文研究了 SOI 衬底上 SiGe npn 异质结晶体管的设计优化, 分析了与常规 SiGe HBT 的不同. 由于 SOI 衬底的引入使 SOI SiGe HBT 成为四端器件, 重点研究了衬底偏压对 Gummel 曲线、输出特性曲线以及雪崩电流的影响. 最后仿真实现材料物理参数和几何物理参数对频率特性的改变. 结果表明, SOI SiGe HBT 与常规器件相比具有更大的自由度. 对 SOI SiGe HBT 的系统分析为毫米波 SOI SiGe BiCMOS 电路的设计提供了有价值的参考.

- [1] Cressler J, Niu G 2003 *Silicon-Germanium Heterojunction Bipolar Transistors* (London: Artech House) p12
- [2] Fleetwood D M, Thome F V, Tsao S S, Dressendorfer P V, Dandini V J, Schwank J R 1988 *IEEE Transactions Nuclear Science* **35** 1099
- [3] Washio K, Ohue E, Shimamoto H, Oda K, Hayami R, Kiyota Y, Tanabe M, Kondo M, Hashimoto T, Harada T 2002 *IEEE Transactions on Electron Devices* **49** 271
- [4] Sato F, Hashimoto T, Tezuka H, Soda M, Suzaki T, Tatsumi T, Tashiro T 1999 *IEEE Transactions Electron Devices* **46** 1332
- [5] Sato F, Hashimoto T, Tatsumi T, Tashiro T 1995 *IEEE Transactions on Electron Devices* **42** 483
- [6] Sugiyama M, Shimizu T, Takemura H, Yoshino A, Oda N, Tashiro T, Minato Y, Takahashi Y, Nakamae M 1989 *1989 Symposium on VLSI Technology. Digest of Technical Papers* (Cat. No.89CH2694-8) Tokyo, Japan 22–25 May 1989 p59
- [7] Cai J, Ajmera A, Ouyang C, Oldiges P, Steigerwalt M, Stein K, Jenkins K, Shahidi G, Ning T 2002 *VLSI Technology, 2002. Digest of Technical Papers* 2002 p172
- [8] Ouyang Q C, Cai J, Ning T, Oldiges P, Johnson J B 2002 *Bipolar/BiCMOS Circuits and Technology Meeting* 2002 p28
- [9] Bellini M, Cressler J D, Jin C 2007 *Bipolar/BiCMOS Circuits and Technology Meeting, 2007. BCTM '07. IEEE* September 30 2007–October 2, 2007 p234
- [10] Jin C, Ning T H 2004 *Solid-State and Integrated Circuits Technology, 2004 Proceedings, 7th International Conference* Oct. 18–21 2004 p2102
- [11] Tianbing C, Sutton A K, Bellini M, Haugerud B M, Comeau J P, Qingqing L, Cressler J D, Jin C, Ning T H, Marshall P W, Marshall C J 2005 *IEEE Transactions on Nuclear Science* **52** 2353
- [12] Bellini M, Tianbing C, Chendong Z, Cressler J D, Jin C 2006 *Bipolar/BiCMOS Circuits and Technology Meeting, 2006* Oct. 8–10 2006 p1
- [13] Qiqing O, Kai X 2005 *Simulation of Semiconductor Processes and Devices, 2005. SISPAD 2005. International Conference* Sept. 01–03 2005 p55

- [14] Tianhing C, Bellini M, Zhao E, Comeau J P, Sutton A K, Grens C M, Cressler J D, Jin C, Ning T H 2005 *Bipolar/BiCMOS Circuits and Technology Meeting, 2005*. Oct. 9–11 2005 p256
- [15] Bellini M, Jun B, Chen T, Cressler J D, Marshall P W, Chen D, Schrimpf R D, Fleetwood D M, Cai J 2006 *IEEE Transactions on Nuclear Science* **53** 3182
- [16] Avenier G, Schwartzmann T, Chevalier P, Vandelle B, Rubaldo L, Dutartre D, Boissonnet L, Saguin F, Pantel R, Fregonese S, Maneux C, Zimmer T, Chantre A 2005 *Bipolar/BiCMOS Circuits and Technology Meeting, 2005* Oct. 9–11 2005 p128
- [17] Boissonnet L, Judong F, Vandelle B, Rubaldo L, Bouillon P, Dutartre D, Perrotin A, Avenier G, Chevalier P, Chantre A, Rauber B 2006 *Bipolar/BiCMOS Circuits and Technology Meeting 2006* Oct. 8–10 2006 p1
- [18] Chantre A, Avenier G, Chevalier P, Vandelle B, Saguin F, Maneux C, Dutartre D, Zimmer T 2006 *Third International SiGe Technology and Device Meeting, ISTDM 2006*. p1
- [19] Duvernay J, Brossard F, Borot G, Boissonnet L, Vandelle B, Rubaldo L, Deleglise F, Avenier G, Chevalier P, Rauber B, Dutartre D, Chantre A 2007 *Bipolar/BiCMOS Circuits and Technology Meeting, 2007. BCTM '07. IEEE* Sept. 30–Oct. 2 2007 p34
- [20] Bellini M, Phillips S D, Diestelhorst R M, Cheng P, Cressler J D, Marshall P W, Turowski M, Avenier G, Chantre A, Chevalier P 2008 *IEEE Transactions on Nuclear Science* **55** 3197
- [21] Avenier G, Fregonese S, Chevalier P, Bustos J, Saguin F, Schwartzmann T, Maneux C, Zimmer T, Chantre A 2008 *IEEE Transactions on Electron Devices* **55** 585
- [22] Peng C, Seth S, Cressler J D, Cestra G, Krakowski T, Babcock J A, Buchholz A 2011 *IEEE Transactions on Electron Devices* **58** 2573
- [23] Hermann P, Hecker M, Renn F, Rilke M, Kolanek K, Rinderknecht J, Eng L M 2011 *J. Appl. Phys.* 109
- [24] Babcock J A, Sadovnikov A, Choi L J, van Noort W, Allard P, Cestra G 2011 *2011 25th IEEE Bipolar/BiCMOS Technology and Circuits Meeting, BCTM 2011*, Atlanta, GA, United states Oct. 9, –Oct. 11, 2011 p9
- [25] Xu X B, Zhang H M, Hu H Y, Xu L J, Ma J L 2011 *Acta Phys. Sin.* **60** 078502 (in Chinese) [徐小波, 张鹤鸣, 胡辉勇, 许立军, 马建立 2011 物理学报 **60** 078502]
- [26] Xu X B, Zhang H M, Hu H Y, Qu J T 2011 *Chin. Phys. B* **20** 058503
- [27] Xu X B, Zhang H M, Hu H Y, Ma J L, Xu L J 2011 *Chin. Phys. B* **20** 018502
- [28] Xu X B, Zhang H M, Hu H Y, Ma J L 2011 *Chin. Phys. B* **20** 058502
- [29] Xu X B, Zhang H M, Hu H Y, Li Y C, Qu J T 2011 *Chin. Phys. B* **20** 108502
- [30] Xu X B, Zhang H M 2011 *Chin. Phys. Lett.* **28** 078505
- [31] Xu X B, Xu K X, Zhang H M, Qin S S 2011 *Chin. Phys. B* **20** 098501
- [32] Fregonese S, Avenier G, Maneux C, Chantre A, Zimmer T 2006 *IEEE Transactions on Electron Devices* **53** 296
- [33] Kroemer H 1985 *Solid-State Electronics* **28** 1101
- [34] Slotboom J W, Graaff H C 1977 *IEEE Transactions on Electron Devices* **24** 1123
- [35] Fossum J G, Lee D S 1982 *Solid-State Electronics* **25** 741
- [36] Fossum J G, Mertens R P, Lee D S, Nijs J F 1983 *Solid-State Electronics* **26** 569
- [37] Klaassen D B M 1992 *Solid-State Electronics* **35** 953

Electrical behavior research of silicon-on-insulator SiGe heterojunction bipolar transistor*

Zhang Bin[†] Yang Yin-Tang Li Yue-Jin Xu Xiao-Bo

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 18 May 2012; revised manuscript received 17 June 2012)

Abstract

The paper deals with the design optimization of SiGe heterojunction bipolar transistor (HBT) on thin film silicon-on-insulator (SOI). The basic DC and AC current characteristics are obtained and the differences between the SOI and bulk SiGe HBT are analyzed. As the incorporation of SOI substrate makes the SOI SiGe HBT a four-terminal device, the influences of the substrate bias on Gummel plot, output current and avalanche current are studied emphatically. Finally, the physical parameters of material and geometric parameters of the device are discussed by changing the frequency characteristics. Compared with the bulk counterpart, the SOI SiGe HBT is designed and fabricated with a great degree of freedom for better performance. This systematic analysis of SOI SiGe HBT provides a valuable reference for the SOI SiGe BiCMOS circuit design and simulation.

Keywords: SiGe HBT, SOI, electrical performance

PACS: 85.30.Pq, 85.30.De, 85.30.-z

* Project supported by the Pre-research Foundation from the National Ministries and Commissions of China (Grant Nos. 51308030201, 9140A080509DZ0106).

[†] E-mail: 33368197@qq.com