

考虑量子效应的高 k 栅介质 SOI MOSFET 特性研究*曹磊[†] 刘红侠

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2012年6月11日收到; 2012年7月16日收到修改稿)

本文主要研究考虑量子效应的高 k 栅介质 SOI MOSFET 器件特性. 通过数值方法自洽求解薛定谔方程和泊松方程, 得到了垂直于 SiO_2/Si 界面方向上载流子波函数及能级的分布情况, 结合 Young 模型, 在考虑短沟道效应和高 k 栅介质的情况下, 对 SOI MOSFET 的阈值电压进行模拟分析. 结果表明: 随着纵向电场的增加, 量子化效应致使反型层载流子分布偏离表面越来越严重, 造成了有效栅氧化层厚度的增加和阈值电压波动. 采用高 k 栅介质材料, 可以减小阈值电压, 抑制 DIBL 效应. 较快的运算速度保证了模拟分析的效率, 计算结果和 ISE 仿真结果的符合说明了本文的模型精度高.

关键词: 量子化效应, 高 k 材料, SOI MOSFET, 阈值电压

PACS: 73.40.Qv, 73.40.Lq, 12.39.Pn

1 引言

随着 CMOS 技术进入纳米尺度, 器件在等比例缩小技术方面的不断进步和巨大成功, 集成电路才有了今天的辉煌成就. 近几年, 已有一些文章报道了小于 100 nm 的 MOS 器件的研究和制作, 65 nm, 45 nm 乃至 30 nm CMOS 都已经投入了生产使用. 但是器件尺寸的进一步缩小, 已经接近其物理极限, 许多小尺寸效应的研究刻不容缓^[1-3]. 为了保证栅对沟道电荷的控制力, 抑制短沟道效应, 通常要求栅氧化层厚度随沟道长度的缩小而减小, 同时希望沟道的掺杂浓度不断提高, 这些变化将使垂直于 Si/SiO_2 界面方向的电场增加, Si 中界面附近的势阱加深, 沟道反型层中的载流子被约束在表面很窄的势阱中, 载流子沿垂直于表面方向的运动时量子化. 研究表明, 这一现象对器件的性能, 特别是阈值电压有很大的影响^[4-7]. Wirth 等发现沟道长度为 30 nm 的 MOS 晶体管的 I_d - V_g 特征曲线出现了振荡, 产生振荡的原因是沟道电子的量子化效应和

库仑阻塞效应^[8], 传统 CMOS 结构将被 SOI 等新结构器件或者纳电子器件所代替, 这是一个必然的发展趋势. 同时, 在 MOS 器件尺寸等比缩小进程中, 电源电压并没有按相同比例同步减小, 这使得器件内部电场增强. 当 MOS 器件栅介质厚度下降到 2 nm 左右时, 栅极泄漏电流增加, 器件无法正常工作. 因此, 高 k 栅介质已是一个非常热门的研究课题^[9,10].

2 泊松方程和薛定谔方程自洽求解

高 k 栅介质 SOI MOSFET 器件的剖面结构示意图如图 1 所示. 图中高 k 栅介质的厚度为 t_{ox} , 沟道的厚度为 t_{si} , 埋氧化层的厚度为 t_{b} , 沟道长度为 L , 沟道的掺杂浓度为 N_A .

为了满足计算模型的普适性, 计算过程采用载流子费米统计和掺杂浓度的部分电离模型^[11]. 根据泊松方程有

$$\frac{dV^2}{dy^2} = -\frac{q}{\epsilon}(N_d^+ - N_a^- + p - n), \quad (1)$$

* 国家自然科学基金 (批准号: 61076097, 60936005), 教育部科技创新工程重大项目培育资金 (批准号: 708083) 和中央高校基本科研业务费专项资金 (批准号: 20110203110012) 资助的课题.

[†] E-mail: cao0273@sina.com

其中, $m_{i+1/2}^*$ 为电子有效质量在第 i 个点和第 $i+1$ 个点的平均值. 同时运用 MATLAB 计算软件中的 eig 函数可以求解矩阵本征值和本征函数, 泊松方程和薛定谔方程的自洽求解如图 3 所示.

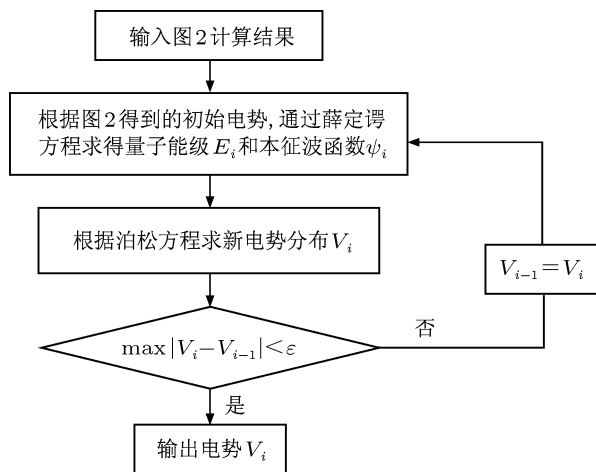


图 3 自洽求解薛定谔-泊松方程流程图

计算经验表明, 图 2 的计算结果误差越小, 薛定谔-泊松方程的迭代次数越少, 计算时间越短, 通常初始电势的误差要小于 10^{-10} eV. 图中的 ϵ 为电势误差的判别值.

3 考虑量子效应的阈值电压

在考虑量子化效应后, 反型层电子浓度的最大值出现在半导体沟道内, 使得载流子与界面的平均距离较经典的情况下相差 Δy , 电场会在 Δy 上产生额外压降 $\Delta\phi_s^{QM}$, 且有效氧化层厚度变为 $t_{ox} + \epsilon_{ox} \times \Delta y / \epsilon_{si}$, 当栅氧化层非常薄时, Δy 对氧化层电容的影响非常显著, 此差值可以表示为 [12]

$$\Delta y = \left(\frac{9h^2}{16\pi^2 q m^* E_{eff}} \right)^{1/3} - \frac{3KT}{2qE_{eff}}, \quad (8)$$

其中 E_{eff} 为反型沟道纵向有效电场. 因此, 阈值表面势由经典情况的 ϕ_{sTH} 变为考虑量子效应的

$$\phi_{sTH} = 2\phi_f + \Delta\phi_s^{QM}, \quad (9)$$

根据 QM 模型, 要使表面反型层载流子电荷面密度 Q^{QM} 达到和经典模型得到的强反型时反型载流子面密度 Q^{CL} 同样的值, 则要加上 $\Delta\phi_s^{QM}$, 可以将这种差异表达为

$$\Delta\phi_s^{QM} = \frac{K_0 T}{q} \ln \left(\frac{Q^{CL}}{Q^{QM}} \right). \quad (10)$$

因此, 考虑量子化效应以后, 只有当器件的表面势最小值等于 ϕ_{sTH} 时, 可以认为器件导通, 此时可以得到器件的阈值电压.

4 结果与分析

薛定谔-泊松方程自洽模拟可以精确计算体系载流子分布和静电势能分布, 结合 ISE 仿真, 对本文的计算结果进行验证. 在使用 ISE 的过程中, 采用了高场饱和迁移率模型、载流子散射迁移率模型、SRH 复合模型、雪崩模型, 同时为引入量子化效应, 采用了 Van Dort 量子修正模型, 对于高 k 材料的模拟, 编写了 Al_2O_3 和 HfO_2 参数文件. 图 4 和图 5 给出了自洽解模拟 SOI MOSFET 器件界面势垒和反型层电子面密度的分布图. 从图中可以看出, 由于强电场的存在, 栅介质和硅沟道界面附近的沟道发生了能带弯曲 [13,14], 电子面密度在界面处很小, 随着离开表面距离的增加, 电子浓度先增加, 达到峰值以后减小, 分布也有所展宽. 同时, 随着外加栅电压越高, 则电子面密度最大值越靠近栅介质和硅沟道的界面, 并且电子分布的宽度减小. 这些都是因为能级量子化效应引起的载流子分布在空间上产生位移所导致的.

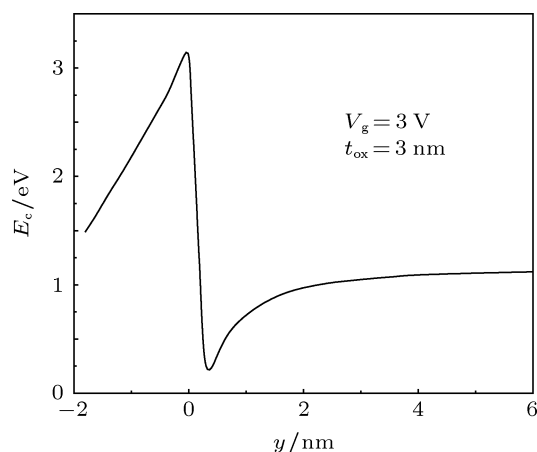


图 4 界面势垒的分布图

图 6 所示为最低 2 个子带上电子浓度占总载流子浓度的百分比, 本文仅计算了最低二个子带, 从图中可以看出, 当栅电压从 0 V 变化到 3 V 时, 最低二个子带的电子数量占总载流子数量的 90% 左右. 由于能量量子化, 载流子遵守离散子带分布, 进而取代了经典理论的连续能带. 因此, 每个子带的载流子

密度可由子带能级和二维态密度计算得出. 从计算结果可以看出, 最低两个子带的载流子在总电子数量中占支配地位. 所以, 采用最低的二个子带来简化计算也是十分合理的.

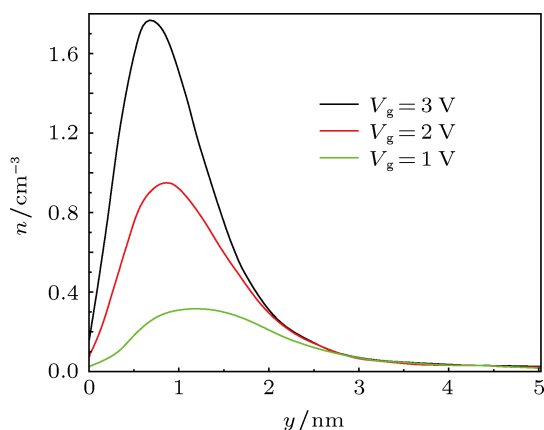


图5 载流子浓度的分布图

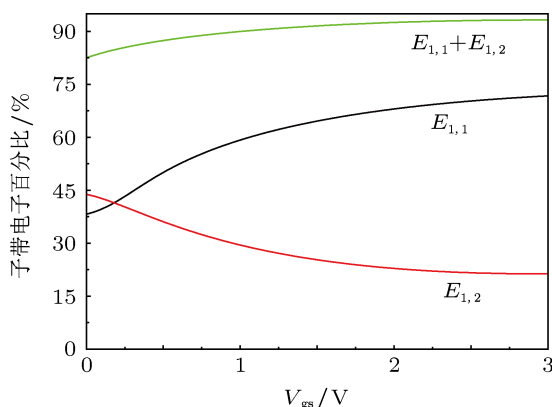


图6 最低两个子带电子浓度占总浓度的百分比

阈值电压是器件的最重要的参数, 它定义为器件开始导通时的电压, 阈值电压对于电路性能的影响很大. 因此, 建立精确的阈值电压模型非常重要. 图7给出了阈值电压随沟道长度的变化, 从图中可以看出, 在考虑量子化效应的条件下, 器件的阈值电压明显高于经典情况下的器件阈值电压, 这与前面的理论分析一致. 同时, 随着器件沟道长度的减小, 器件的阈值电压也随着减小. 从图中可以看出, 本文的计算结果与 ISE 仿真结果基本一致, 证明了本文计算过程的正确性. 但在经典情况下, 器件的阈值电压下降的较快, 这是由于量子效应引起的阈值电压增加部分抵消了由沟长减小引起的阈值电压的减小. 因此, 在建立小尺寸器件的阈值电压时, 不考虑量子化效应会造成一定的误差.

随着器件尺寸越来越小, 栅极漏电流对器件性能的影响已经不能忽视, 因此要选取高 k 材料来代替传统的 SiO_2 层, 提高栅氧化层的物理厚度. 图8给出了阈值电压漂移随栅氧化层介电常数的变化, 这里阈值电压漂移定义为短沟道阈值电压和沟长为 200 nm 的器件阈值电压的偏离. 从图中可以看出, 随 k 值增加, 量子修正的短沟道阈值电压模型给出比经典模型小得多的阈值电压漂移, 即未考虑量子化效应的经典短沟道模型过高地估计了 k 值的影响. 图中 ISE 仿真数据给出了 k 为 20, 40, 60, 80, 100 时阈值电压的漂移, 本文计算结果很好的符合了 ISE 模拟结果. 图9给出了在不同的栅氧化层 k 值下, 器件阈值电压随沟道层厚度的变化关系, 从图中可以看出, 随着栅氧化层 k 值的减小, 阈值电压随沟道层厚度的增加而减小的量越来越大, 这说明随着高 k 介质的介电常数的增加, 器件的阈值电压减小随沟道 Si 层厚度的增加越来越不明显.

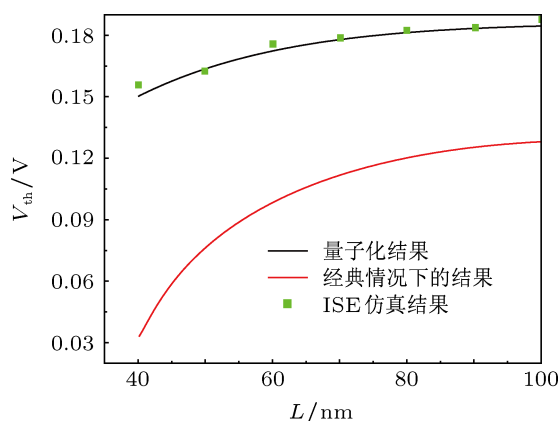


图7 阈值电压与沟道长度的关系

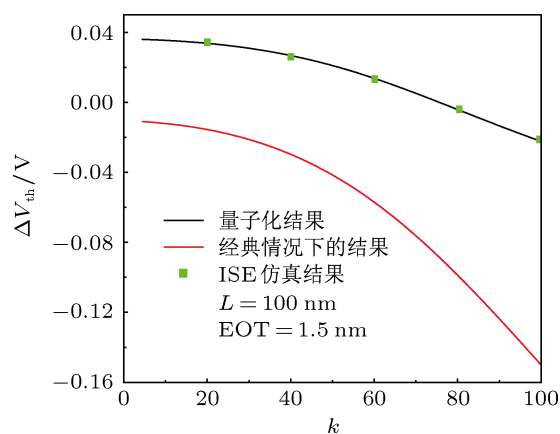


图8 阈值电压漂移与栅氧化层介电常数的关系

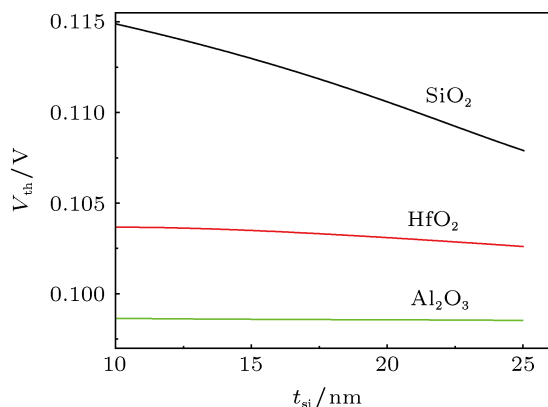


图9 阈值电压与沟道厚度的关系

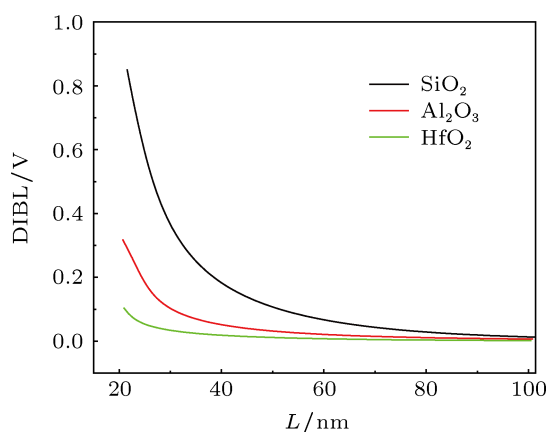


图10 DIBL效应随沟道长度的变化

图10给出了在考虑量子化效应的情况下,器件的DIBL随沟道长度的变化.如图所示,当器件的沟道长度小于50 nm时,随着栅氧化层介质 k 值的减小而增大,而当沟道长度大于50 nm时,器件的DIBL效应都比较小,基本都趋近零.由计算结果可以看出,采用高 k 栅氧化层介质的器件有更好的DIBL抑制能力.

5 结论

随着器件尺寸的不断减小,SOI MOSFET 凭借其突出的优点成为了研究热点.本文通过自洽求解薛定谔-泊松方程,对高 k 栅介质 SOI MOSFET 进行了数值计算.从计算结果可以看出,考虑量子化效应以后,器件沟道的反型层载流子偏离栅介质和沟道界面,增大了栅氧化层厚度.同时,随着 k 值增加,量子修正的器件阈值电压比经典情况下有小的多的阈值电压漂移,量子效应和短沟道效应对阈值电压的影响有互相补偿的作用.采用高 k 栅介质,不仅能有效降低器件的栅极泄漏电流,而且对DIBL的抑制能力更强.本文的计算过程采用成熟的有限差分方法,具有计算速度快,精度高的特点,通过与ISE仿真结果对比,也证明了本文计算过程的正确性.

- [1] Li C, Zhuang Y Q, Zhang L, Bao J L 2012 *Chin. Phys. B* **21** 048501
- [2] Chaudhry A, Kummer M J 2004 *IEEE Trans. on Devices Mater. Rel.* **4** 99
- [3] Coling J P 1993 *Silicon-on-Insulator Technology*. (Boston: Kluwer Academic publishers) p5
- [4] Hirosh Iwai 2004 *Solid-State Electronics*. **48** 497
- [5] Meind J D, Chen Q, Davis J A 2001 *Science* **293** 2044
- [6] Depas M, Ngarn T, Heyns M M 1996 *IEEE Trans. Electron Devices* **43** 1499
- [7] Li J, Liu H X, Li B, Cao L, Yuan B 2010 *Acta Phys. Sin.* **59** 8131 (in Chinese) [李进, 刘红侠, 李斌, 曹磊 2010 物理学报 **59** 8131]
- [8] Gosser K, Glosekotter P, Dienstuhl J 2004 *Germany. Springer-Verlag Berlin Heidelberg*.
- [9] Ma F, Liu H X, Kuang Q W, Fan J B 2012 *Chin. Phys. B* **21** 057304
- [10] Onishi K, Choi R, Kang C S, Cho H J, Kim Y H, Nieh R E, Han J, Krishnan S A, Akbar M S, Lee J C 2003 *IEEE Trans. Electron Devices*. **50** 1517
- [11] [刘恩科, 朱秉升, 罗晋生 1997 半导体物理学 (第4版) (北京: 国防工业出版社) 第53页]
- [12] Schwarz S A, Russek S E 1983 *IEEE Trans. Electron Devices* **30** 1634
- [13] Yu Z P, Robert W D, Richard A K 2000 *IEEE Trans. Electron Devices* **47** 1819
- [14] Bryan A, Biegel, Mario G, Ancana, Conor S, Rafferty 2004 *NAS Technical Report*. NAS-04008

Study of the SOI MOSFET characteristics of high- k gate dielectric with quantum effect*

Cao Lei[†] Liu Hong-Xia

(Key Lab of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 11 June 2012; revised manuscript received 16 July 2012)

Abstract

In the paper, we mainly investigate the SOI MOSFET characteristics of high- k gate dielectric with quantum effect. Self-consistent solutions of Schrödinger and Poisson equation are solved in this paper to obtain carrier wave function in the direction perpendicular to the SiO₂/Si interface and energy level distribution. Based on Young model, the threshold voltage and short-channel effects of SOI MOSFET with high- k gate dielectric are simulated and analyzed. The carrier distribution in inversion layer deviates from the surface with the increase of longitudinal electric field, which is caused by quantum effect. It increases the thickness of effective gate oxide and fluctuation of threshold voltage. Meanwhile, high- k gate dielectric materials can reduce the threshold voltage and restrain the DIBL efficiently. The calculation results matching ISE simulation results show that the model has a high-level accuracy, and faster operation ensures the efficiency of the simulation analysis.

Keywords: quantum effect, high-K material, SOI MOSFET, threshold voltage

PACS: 73.40.Qv, 73.40.Lq, 12.39.Pn

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61076097, 60936005), the Cultivation Fund of the Key Scientific and Technical Innovation Project, Ministry of Education of China Program (Grant No. 708083), and the Specialized Research Fund for the Doctoral Program of Higher Education (Grant No. 20110203110012).

[†] E-mail: cao0273@sina.com