

# 基于概率模型的量子元胞自动机加法器容错性能研究\*

黄宏图<sup>†</sup> 蔡理 杨晓阔 刘保军 李政操

(空军工程大学理学院, 西安 710051)

(2011年5月14日收到; 2011年6月21日收到修改稿)

采用概率转移矩阵方法和电路分割理论建立了两种结构的量子元胞自动机(QCA)加法器的容错性模型, 深入分析了各组成元件对加法器的整体容错性能的影响. 指出元件在较低的正确概率时, 传输线对整体正确概率影响较小, 而当元件正确概率较高时, 传输线的正确概率对整体正确概率的影响急剧增大, 并且在整个参数变化范围内反相器始终是影响整体正确概率的主要元件. 采用 Frobenius 范数对两种同一功能不同结构的 QCA 加法器的整体容错性能进行了比较, 发现由 5 输入择多逻辑门构成的 QCA 加法器的整体容错性能优良. 这对于目前 QCA 加法器的容错性设计以及今后大规模 QCA 电路的容错性设计具有重要意义.

**关键词:** 概率转移矩阵, 加法器, 容错性, Frobenius 范数

**PACS:** 02.10.Yn, 02.50.Cw, 03.65.-w

## 1 引言

Lent 等<sup>[1]</sup>于 1993 年正式提出量子元胞自动机 (quantum cellular cell, QCA) 的概念, 作为一种新型纳电子器件, 具有体积小、超低功耗以及无引线集成等优点. 基于 QCA 的基本逻辑电路已经设计出, 如反相器<sup>[2]</sup>、择多逻辑门<sup>[2]</sup>、全加器<sup>[2-5]</sup>、乘法器<sup>[6]</sup>、数值比较器<sup>[7]</sup>等. 量子元胞器件易受到元胞移位、元胞未对准、元胞遗漏、元胞旋转等固有缺陷<sup>[8]</sup>的影响, 因而其容错性越来越引起人们的重视. Dysart 和 Kogge<sup>[9]</sup>, Wei 等<sup>[10]</sup>采用三模冗余技术来提高其容错性, Bhaduri 等<sup>[11]</sup>采用多路复用技术来提高其容错性. Patel 等于 2003 年首先提出将概率转移矩阵<sup>[12,13]</sup>(probabilistic transfer matrix, PTM) 用于电路容错性研究. Krishnaswamy 等对概率转移矩阵采用代数决策图<sup>[14]</sup>(algebraic decision diagrams, ADDs) 方法对概率转移矩阵维数进行压缩, 从而使其应用于更大规模电路的容错性研究.

本文以基于择多逻辑门和反相器构成的两种不同结构的 QCA 加法器为研究对象, 采用概率转

移矩阵方法和电路分割理论并利用电路结构的对称性, 建立了两种 QCA 加法器的概率转移矩阵模型, 深入分析了各组成元件对整体容错性能影响的差异, 指出传输线只有在较高的正确概率时才对整体正确概率有重要影响, 并且在整个参数变化范围内反相器始终是影响整体正确概率的重要元件. 采用 Frobenius 范数对两种同一功能不同结构的 QCA 加法器的整体容错性能进行了比较研究, 发现由 5 输入择多逻辑门构成的 QCA 加法器的整体容错性优良.

## 2 QCA 基本电路结构的概率转移矩阵

在概率转移矩阵<sup>[12]</sup>中, 行索引表示输入值, 列索引表示输出值, 矩阵中的元素表示在特定输入下出现相应输出的概率. 在概率转移矩阵中, 由于输出值的状态空间是完备的, 所以每一行元素之和为 1, 即满足规范性. 当元件正确概率  $p = 1$  时为无错误时的概率转移矩阵, 即理想概率转移矩阵<sup>[12]</sup>(ideal transfer matrix, ITM), 其中每一行仅有

\* 国家自然科学基金 (批准号: 61172043)、陕西省自然科学基金基础研究计划重点项目 (批准号: 2011JZ015) 和陕西省电子信息系统综合集成重点实验室基金 (批准号: 201115Y15) 资助的课题.

<sup>†</sup> E-mail: huanghongtu@yahoo.com.cn

一个元素为 1, 其余均为 0.

图 1 中 A 和 B 分别代表反相器、择多逻辑门、传输线等 QCA 基本模块. 如图 1(a) 所示, B 模块的每一输入均来自 A 模块的不同输出, 这种电路结构称为串联结构<sup>[12]</sup>.  $P_A$  和  $P_B$  分别表示两模块的概率转移矩阵, 则其整体概率转移矩阵为两模块概率转移矩阵的乘积  $P_A \cdot P_B$ .

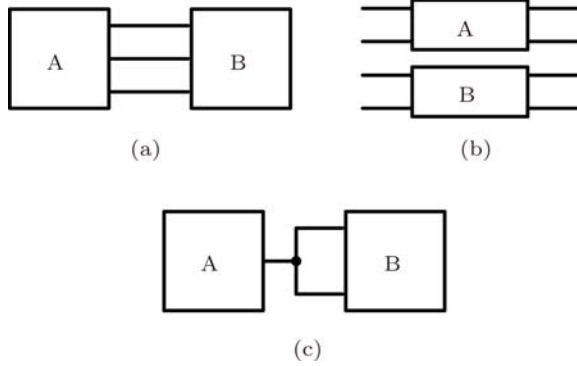


图 1 电路的基本连接方式 (a) 串联结构; (b) 并联结构; (c) 扇出结构

如图 1(b) 所示, A 模块和 B 模块的输入均来自不同的输出, 且 A 和 B 结构是平行的, 这种电路结构称为并联结构. 其整体概率转移矩阵为两模块概率转移矩阵的张量积  $P_A \otimes P_B$ .

如图 1(c) 所示, B 模块的输入连接到 A 模块的扇出输出时, A 模块的输出连接了 B 模块的多个输入, 这种电路结构称为扇出结构. 为计算这种电路结构的概率转移矩阵, 只需将 B 模块的概率转移矩阵中来自同一输出的而值并不相同的行删除即可, 其整体概率转移矩阵为删除后的概率转移矩阵的乘积  $P_A \cdot P'_B$ . 例如图 1(c) 所示, B 模块的两个输入来自同一输出, 那么就可将 B 的概率转移矩阵中行 1 = {01} 和行 2 = {10} 删除.

### 3 QCA 加法器容错性能分析

#### 3.1 概率转移矩阵模型的建立

文献 [4,5] 中设计的两种 QCA 加法器逻辑结构如图 2 所示, 图 2(a) 所示的加法器由 2 个 3 输入择多逻辑门、1 个反相器、1 个 5 输入择多逻辑门构成; 图 2(b) 所示的加法器由 3 个 3 输入择多逻辑门、2 个反相器构成. 按照电路分割的基本原则并结合电路结构本身的对称性将其电路结构划分为如图 2 所示的基本组成单元.

设元件正确概率为  $p_i$ ,  $i = 1, 2, 3, 4, 5, 6$ , 错误概率为  $q_i$ , 满足  $p_i + q_i = 1.5$  输入择多逻辑门的概

率转移矩阵为  $P_{MAJ5}$ (见附录). 反相器的概率转移矩阵为

$$P_{inverter} = \begin{bmatrix} q_1 & p_1 \\ p_1 & q_1 \end{bmatrix}, \quad (1)$$

3 输入择多逻辑门的概率转移矩阵为

$$P_{MAJ3} = \begin{bmatrix} p_2 & p_2 & p_2 & q_2 & p_2 & q_2 & q_2 & q_2 \\ q_2 & q_2 & q_2 & p_2 & q_2 & p_2 & p_2 & p_2 \end{bmatrix}^T, \quad (2)$$

传输线的概率转移矩阵为

$$P_{wire} = \begin{bmatrix} p_4 & q_4 \\ q_4 & p_4 \end{bmatrix}, \quad (3)$$

2- 扇出线的概率转移矩阵为

$$P_{fanout2} = \begin{bmatrix} p_5 & q_5/3 & q_5/3 & q_5/3 \\ q_5/3 & q_5/3 & q_5/3 & p_5 \end{bmatrix}, \quad (4)$$

2- 交叉线的概率转移矩阵为

$$P_{swap2} = \begin{bmatrix} p_6 & q_6/3 & q_6/3 & q_6/3 \\ q_6/3 & q_6/3 & p_6 & q_6/3 \\ q_6/3 & p_6 & q_6/3 & q_6/3 \\ q_6/3 & q_6/3 & q_6/3 & p_6 \end{bmatrix}. \quad (5)$$

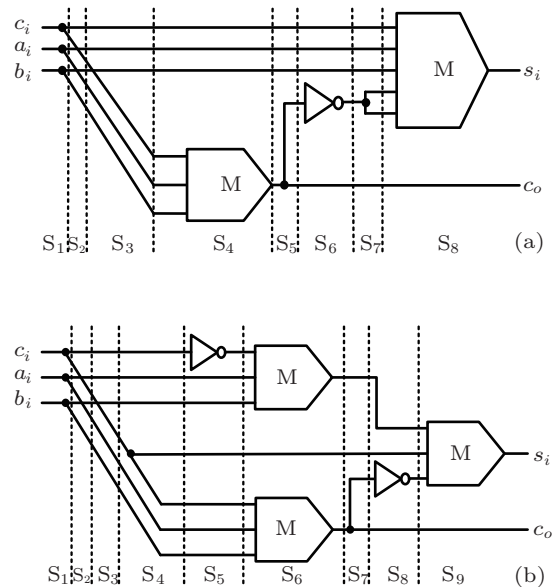


图 2 两种 QCA 加法器逻辑结构图 (a) MAJ-5 加法器; (b) MAJ-3 加法器

以图 2(a) 所示的电路结构为例, 由概率转移矩阵的性质及其计算方法<sup>[12]</sup>, 则有  $S_1$  单元的概率转移矩阵为  $P_1 = P_{fanout2} \otimes P_{fanout2} \otimes P_{fanout2}$ ;  $S_2$  单元的概率转移矩阵为  $P_2 = P_{wire} \otimes P_{swap2} \otimes$

$P_{\text{swap2}} \otimes P_{\text{wire}}$ ;  $S_3$  单元的概率转移矩阵为  $P_3 = P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{swap2}} \otimes P_{\text{wire}} \otimes P_{\text{wire}}$ ;  $S_4$  单元的概率转移矩阵为  $P_4 = P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{MAJ3}}$ ;  $S_5$  单元的概率转移矩阵为  $P_5 = P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{fanout2}}$ ;  $S_6$  单元的概率转移矩阵为  $P_6 = P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{inverter}} \otimes P_{\text{wire}}$ ;  $S_7$  单元的概率转移矩阵为  $P_7 = P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{wire}} \otimes P_{\text{fanout2}} \otimes P_{\text{wire}}$ ;  $S_8$  单元的概率转移矩阵为  $P_8 = P_{\text{MAJ5}} \otimes P_{\text{wire}}$ . 整体概率转移矩阵为

$$P = P_1 \cdot P_2 \cdot P_3 \cdot P_4 \cdot P_5 \cdot P_6 \cdot P_7 \cdot P_8, \quad (6)$$

其中  $P$  为  $8 \times 4$  的矩阵, 假设所有输入是等概率出现的, 则其整体正确概率为

$$P_{\text{Overall}} = (P(1, 1) + P(2, 3) + P(3, 3) + P(4, 2) + P(5, 3) + P(6, 2) + P(7, 2) + P(8, 4))/8. \quad (7)$$

一位 QCA 加法器输入输出关系如表 1 所示. 同理可建立图 2(b) 所示 QCA 加法器电路的概率转移矩阵模型.

表 1 一位 QCA 加法器输入输出关系

$c_i a_i b_i$	$s_i c_o$			
	00	01	10	11
000	✓	×	×	×
001	×	×	✓	×
010	×	×	✓	×
011	×	✓	×	×
100	×	×	✓	×
101	×	✓	×	×
110	×	✓	×	×
111	×	×	×	✓

### 3.2 各组成元件对整体容错性能的影响

采用 MATLAB 分别研究电路的整体正确概率随组成元件正确概率的变化曲线, 其中各组成元件正确概率  $p_i \in [0.5, 1]$ , 分析整体正确概率随某一组成元件正确概率变化时, 其他所有元件正确概率保持不变且同为 0.99.

图 3(a) 中可以得出在 MAJ-5 加法器中, 反向器、5 输入择多逻辑门、3 输入择多逻辑门、2-交叉线、2-扇出线、传输线的正确概率对整体正确概率的影响依次减小, 且反向器、5 输入择多逻辑门、3 输入择多逻辑门、2-交叉线的正确概率与整体正确概率近似为线性关系, 当传输线正确概率较小时, 其对整体正确概率影响较小, 当传输线正确概率较大时, 整体正确概率随传输线正确概率的增

大而急剧增大. 图 3(b) 中可以得出在 MAJ-3 加法器中, 反向器、2-交叉线、3 输入择多逻辑门、2-扇出线、传输线的正确概率对整体正确概率的影响依次减小, 且反向器正确概率与整体正确概率近似为线性关系, 而 2-交叉线、3 输入择多逻辑门、2-扇出线、传输线的正确概率与整体正确概率呈曲线关系, 当传输线正确概率较小时, 其对整体正确概率影响较小, 当传输线正确概率较大时, 整体正确概率随传输线正确概率的增大而急剧增大.

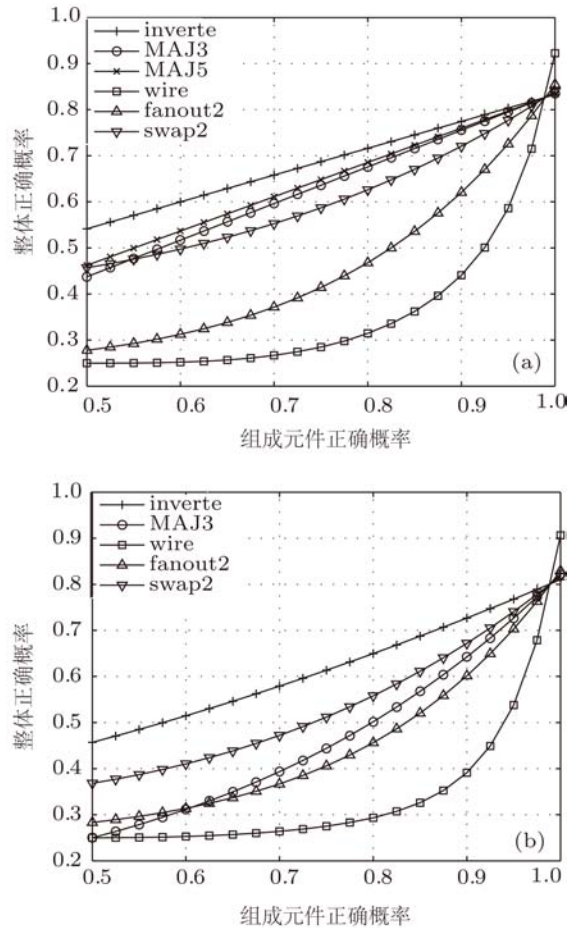


图 3 整体正确概率随组成元件正确概率的变化曲线 (a) MAJ-5 加法器; (b) MAJ-3 加法器

从以上对两种不同结构的 QCA 加法器的容错性研究中可以得出, 当各组成元件的正确概率较低时 ( $0.5 \leq p_i \leq 0.8$ ), 传输线对整体的容错性能影响较小, 而当元件正确概率较大时 ( $0.8 \leq p_i \leq 1.0$ ), 整体正确概率随传输线正确概率的增大而急剧增大. 这表明在元件正确概率较低时, 提高整体的容错性可从提高除传输线之外的其他元件的容错性入手最为有效, 而当各组成元件正确概率较大时可通过提高传输线的容错性来提高整体的容错性. 并且在整个参数变化范围内, 反相器始终是影响整体正确概率最大的元件.

## 4 QCA 加法器整体容错性能比较

### 4.1 误差概率转移矩阵的 Frobenius 范数

对于一给定电路, 设  $\mathbf{P}$  是存在一定错误概率的电路的整体概率转移矩阵,  $\mathbf{X}$  为电路的输入, 那么  $\mathbf{Y} = \mathbf{P}\mathbf{X}$  就是电路的实际输出. 另外, 定义  $\tilde{\mathbf{P}}$  为与  $\mathbf{P}$  对应的理想概率转移矩阵<sup>[13]</sup>, 那么对于特定

的  $\mathbf{X}$ ,  $\tilde{\mathbf{Y}} = \tilde{\mathbf{P}}\mathbf{X}$  就是无错误得到的输出.

设  $\mathbf{P} = (p_{ij}) \in C^{m \times n}$  的元素  $p_{ij}$  带有误差  $\delta p_{ij} (i, j = 1, 2, \dots, n)$ , 则准确概率转移矩阵应为

$$\tilde{\mathbf{P}} = \mathbf{P} + \delta\mathbf{P}, \quad (8)$$

其中  $\delta\mathbf{P} = (\delta p_{ij})$ , 称为误差矩阵.

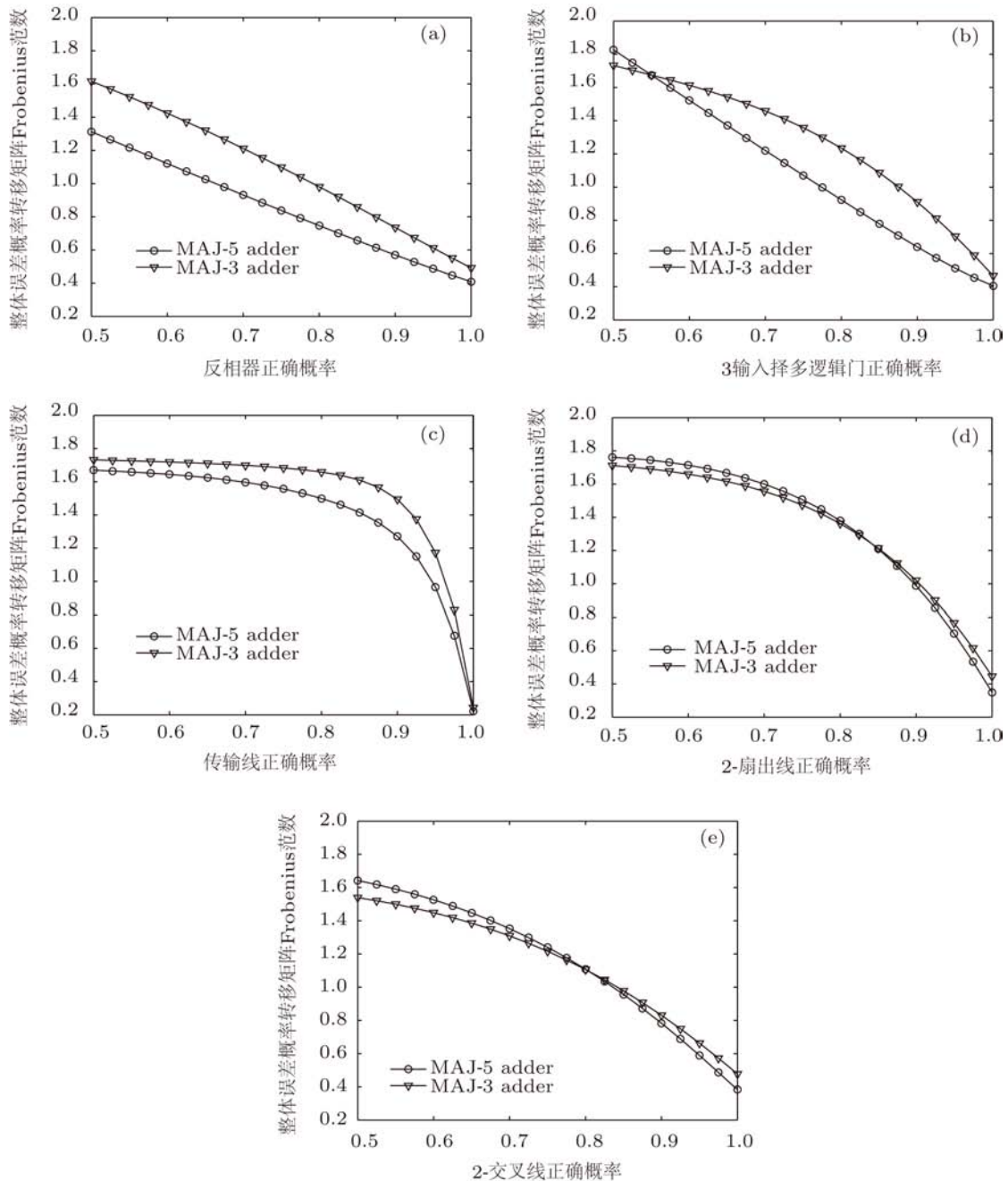


图 4 整体误差概率转移矩阵的 Frobenius 范数变化曲线 (a) 反相器; (b) 3 输入择多逻辑门; (c) 传输线; (d) 2-扇出线; (e) 2-交叉线

设  $e = Y - \tilde{Y} = (P - \tilde{P})X = (\delta P)X$ , 由此可见为了实现同一逻辑功能, 不同的电路的输入  $X$  是一样的, 那么输出的错误概率只由  $\delta P$  决定. 误差矩阵的范数越大, 表明存在错误的实际电路和无错误电路的差别越大, 采用 Frobenius 范数来度量两者的差别, 误差矩阵的 Frobenius 范数为

$$\|\delta P\|_F = \left( \sum_{j=1}^m \sum_{i=1}^n |\delta p_{ij}|^2 \right)^{1/2}. \quad (9)$$

对于不同的电路结构,  $\|\delta P\|_F$  越大, 表明在相同的门电路出错概率下, 该电路具有较差的容错性能, 输出信号比较容易出错;  $\|\delta P\|_F$  越小, 在相同的门电路出错概率下, 电路具有较好的容错性能, 具有较强的门电路之间的自我抑制和调节能力<sup>[15]</sup>. 一位加法器的理想概率转移矩阵

$$\text{为 } \tilde{P} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 1 & 1 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}^T.$$

### 4.2 仿真分析

做出两种结构的 QCA 加法器的整体误差概率转移矩阵的 Frobenius 范数随组成元件正确概率的变化曲线如图 4 所示. 这里选取其共有元件: 反相器、3 输入择多逻辑门、传输线、2 扇出线和 2 交叉线.

从图 4 中可以看出, 在两种结构加法器的共有元件相同的正确概率时, 2 扇出线和 2 交叉线对两种结构的加法器的整体容错性能差异的影响较小. 综合比较分析 MAJ-5 加法器的整体误差概率转移矩阵的 Frobenius 范数小于 MAJ-3 加法器的整体误差概率转移矩阵的 Frobenius 范数. 因此 MAJ-5 加法器的容错性能要优于 MAJ-3 加法器.

### 5 结论

本文针对 QCA 中存在的固有缺陷, 采用概率转移矩阵方法建立了两种不同结构的 QCA 加法器的容错性模型, 深入分析了各组成元件对整体容错性能的不同影响. 当传输线正确概率较低时其对整体容错性能的影响较小, 而传输线的正确概率较高时, 整体容错性能随传输线的正确概率的增大而急剧提高, 说明当组成元件正确概率水平较低时, 如果期望通过提高组成元件的容错性来提高整体容错性, 可通过提高除传输线之外的元件的容错性来

提高整体容错性能; 而当元件正确概率较高时, 提高整体容错性可通过提高传输线的容错性来提高整体容错性. 并且在元件正确概率参数变化范围内反相器始终是影响整体正确概率的重要元件. 综合分析两种结构的加法器表明, MAJ-5 加法器的容错性优于 MAJ-3 加法器. 这对于目前 QCA 电路以及今后的大规模 QCA 电路的容错性设计研究具有重要意义.

### 附录

5 输入择多逻辑门的概率转移矩阵

输入 \ 输出	0	1
00000	$p_3$	$q_3$
00001	$p_3$	$q_3$
00010	$p_3$	$q_3$
00011	$p_3$	$q_3$
00100	$p_3$	$q_3$
00101	$p_3$	$q_3$
00110	$p_3$	$q_3$
00111	$q_3$	$p_3$
01000	$p_3$	$q_3$
01001	$p_3$	$q_3$
01010	$p_3$	$q_3$
01011	$q_3$	$p_3$
01100	$p_3$	$q_3$
01101	$q_3$	$p_3$
01110	$q_3$	$p_3$
01111	$q_3$	$p_3$
10000	$p_3$	$q_3$
10001	$p_3$	$q_3$
10010	$p_3$	$q_3$
10011	$q_3$	$p_3$
10100	$p_3$	$q_3$
10101	$q_3$	$p_3$
10110	$q_3$	$p_3$
10111	$q_3$	$p_3$
11000	$p_3$	$q_3$
11001	$q_3$	$p_3$
11010	$q_3$	$p_3$
11011	$q_3$	$p_3$
11100	$q_3$	$p_3$
11101	$q_3$	$p_3$
11110	$q_3$	$p_3$
11111	$q_3$	$p_3$

- [1] Lent C S, Tougaw P D, Porod W, Bernstein G H 1993 *Nanotechnology* **4** 49
- [2] Tougaw P D, Lent C S 1994 *Appl. Phys.* **75** 1818
- [3] Azghadi M R, Kavehei O, Navi K 2007 *J. Appl. Sci.* **7** 3460
- [4] Navi K, Farazkish R, Sayedsalehi S, Azghadi M R 2010 *Microelectron. J.* **41** 820
- [5] Zhang R M, Walus K, Wang W, Jullien G A 2004 *IEEE Trans. Nanotechnol.* **3** 443
- [6] Cho H, Swartzlander E E 2007 *IEEE Symposium on Computer Arithmetic* Montpellier, France, June 25–27, 2007 p7
- [7] Xia Y S, Qiu K M 2009 *J. Electroni. Inform. Technol.* **31** 1517 (in Chinese) [夏银水, 裘科名 2009 电子与信息学报 **31** 1517]
- [8] Tahoori M B, Momenzadeh M, Huang J, Lombardi F 2004 *Proceedings of the 22nd IEEE VLSI Test Symposium* 2004 Boston, April 25–29, 2004 p291
- [9] Dysart T J, Kogge P M 2008 *IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems* 2008 p72
- [10] Wei T Q, Wu K J, Karri R Orailoglu A 2005 *IEEE* 2005 p1192
- [11] Bhaduri D, Shukla S, Graham P, Gokhale M 2007 *IEEE Trans. Nanotechnol.* **6** 265
- [12] Patel K N, Markov I L, Hayes J P 2003 *Proc. Int. Workshop Logic Synthesis (IWLS'03)*, 2003 p59
- [13] Krishnaswamy S, Viamontes G F, Markov I L, Hayes J P 2005 *Proceedings of the Conference on Design, Automation and Test in Europe* Washington DC, 2005 p282
- [14] Bahar R I, Frohm E A, Gaona C M, Hachtel G D, Macii E, Pardo A, Somenzi F 1997 *Formal Methods in System Design* **10** 171
- [15] Chen J, Li H 2006 *Proceedings of 2006 IEEE International Symposium on Circuits and Systems*, Kos, 2006 p3522

# The fault-tolerance study of QCA adder based on probability model\*

Huang Hong-Tu<sup>†</sup> Cai Li Yang Xiao-Kuo Liu Bao-Jun Li Zheng-Cao

(College of Science, Air Force Engineering University, Xi'an 710051, China)

(Received 14 May 2011; revised manuscript received 21 June 2011)

## Abstract

The probability models of 2 different quantum cellular automaton (QCA) adders are based on the theory of probabilistic transfer matrix and circuit partition. The effect of individual component on the overall fault-tolerance is fully analyzed at the same level. The simulation shows that the effect of the wire is minor when the success probability is low, while the overall fault-tolerance rises sharply once the success probability is high. And the inverter is considered to be a major factor that affects the overall fault-tolerance in the variation range of parameter. Frobenius norm of the overall error probabilistic transfer matrix is employed to study the fault-tolerance difference. The result shows that the overall fault-tolerance of QCA adder consisting of 5-input majority is superior to the other. Such fault-tolerance analyses should be used for a better characterization of QCA circuit design and fault-tolerance improvement.

**Keywords:** probabilistic transfer matrix, adder, fault-tolerance, Frobenius norm

**PACS:** 02.10.Yn, 02.50.Cw, 03.65.-w

---

\* Project supported by the National Natural Science Foundation of China (Grant No. 61172043), the Key Program of Shanxi Provincial Natural Science Research Foundation for Basic Research, China (Grant No. 2011JZ015), and the Research Fund of Shanxi Key Laboratory of Electronic Information System Integration, China (Grant No. 201115Y15).

<sup>†</sup> E-mail: huanghongtu@yahoo.com.cn