

考虑非均匀温度分布效应的缓冲器插入最优尺寸研究*

王增^{1)†} 董刚²⁾ 杨银堂²⁾ 李建伟²⁾

1) (青岛大学物理科学学院, 青岛 266071)

2) (西安电子科技大学微电子学院, 西安 710071)

(2010年6月28日收到; 2011年7月4日收到修改稿)

基于非均匀温度分布效应对互连延时的影响, 提出了一种求解互连非均匀温度分布情况下的缓冲器最优尺寸的模型. 给出了非均匀温度分布情况下的 RC 互连延时解析表达式, 通过引入温度效应消除因子, 得出了最优插入缓冲器尺寸以使互连总延时最优. 针对 90 nm 和 65 nm 工艺节点, 对所提模型进行了仿真验证, 结果显示, 相较于以往同类模型, 本文所提模型由于考虑了互连非均匀温度分布效应, 更加准确有效, 且在保证互连延时最优的情况下有效地提高了芯片面积的利用.

关键词: 非均匀温度分布, 缓冲器插入, 最优尺寸, 温度效应消除因子

PACS: 41.20.Jb, 44.05.+e, 44.10.+i, 72.20.Pa

1 引言

随着集成电路特征尺寸的不断减小, 互连延时与器件延时相比, 已经成为电路延时的主要部分, 严重制约着电路性能^[1-3]. 由于电路时序受互连长度的影响十分明显, 随着全局互连长度的增加, 同时考虑到互连温度非均匀分布效应的影响, 全局互连上的时钟信号延时愈加引起关注. 为了改善互连延时及时钟偏差, 出现了许多有针对性的解决方案, 如互连宽度优化、合理布局布线、门级尺寸优化、缓冲器插入及优化缓冲器尺寸等方法. 作为一种可以有效减少互连延时的技术, 缓冲器插入利用缓冲器来分割长互连, 减小互连的长度和耦合电容, 通过缓冲器恢复电位, 阻止互连电容的累加效应, 以使互连延时与其长度成线性关系减小^[4-13].

早期的缓冲器插入方式是在长互连初始端和终端分别插入缓冲器, 然而由于长互连的电阻很大, 这种方法无法令信号延时达到最小化. Bakoglu^[14]最早提出了一种缓冲器插入方法用以减小 RC 互连电阻对关键路径延时的影响, 从而克服了由于互

连长度线性增加所导致的互连延时的平方增量. 文献 [15] 和 [16] 描述了互连线分割算法, 使插入缓冲器位置更为灵活. 随着互连温度效应越来越明显, 越来越多的研究开始关注互连温度分布效应对缓冲器插入的影响. 其中文献 [17] 在考虑衬底温度梯度变化对全局互连性能和晶体管开关速度影响的同时, 研究了互连分段算法. 通过使用分布式 RC 温度依赖延时模型, 证明当存在衬底温度梯度时, 文献 [15] 和 [16] 所提的方法已不再适用. 文献 [18] 提出了一种考虑温度的缓冲器插入方法, 但只能处理均匀温度分布效应, 而无法处理非均匀温度分布的情况. 为解决上述问题, 本文提出了一种考虑非均匀温度分布效应的缓冲器插入最优尺寸模型, 引入温度效应消除因子对缓冲器的尺寸进行温度修正, 从而保证在实际互连温度非均匀分布的情况下, 插入缓冲器的尺寸最优, 从而使延时保持最小.

2 传统最优尺寸缓冲器插入模型

一个缓冲器的电流驱动能力直接正比于其尺

* 国家自然科学基金 (批准号: 60606006)、国家杰出青年基金 (批准号: 60725415) 和西安电子科技大学基本科研业务费资助的课题.

† E-mail: fire5water1@hotmail.com

寸, 因此通过增加缓冲器的尺寸可以进一步改善互连线的传播延时. 为了使延时最小化, 最优尺寸缓冲器插入模型需要解决的核心问题主要集中于确定插入的缓冲器最优数量、最优尺寸以及缓冲器沿互连长度方向上分布的精确位置三个方面. 缓冲器之间的最优间距和最优尺寸与给定的工艺尺寸及互连层排布有关^[16]. 确定了插入缓冲器的最优间距即可确定所需插入的缓冲器的最优数量. 传统的互连缓冲器插入通常是在总长度确定的互连上按等间距方式插入等尺寸的缓冲器, 通过计算最优互连延时得出均一的插入缓冲器的“最优尺寸”. 图 1 给出了均匀互连上间距相等的 n 个标准缓冲器插入结构的示意图及任意两个相邻缓冲器的等效电路图.

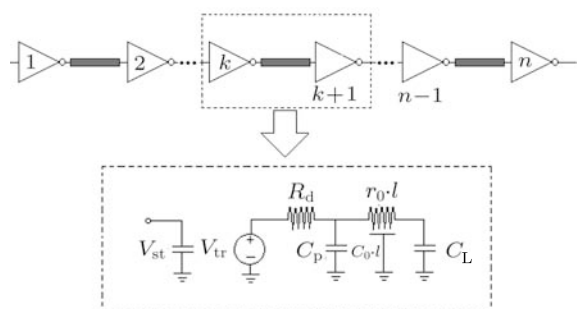


图 1 均匀互连上间距相等的标准缓冲器插入结构的示意图及等效电路图

图 1 所示的等效电路图, 缓冲器驱动的长度为 l 的互连 Elmore 延时 τ 为

$$\begin{aligned} \tau = & R_d(C_p + C_L + c_0l) + r_0 \frac{l}{n} \\ & \times nc_0 \frac{l}{n} + r_0 \frac{l}{n} \times (n-1)c_0 \frac{l}{n} \\ & + \cdots + r_0 \frac{l}{n} \times c_0 \frac{l}{n} + r_0l \times C_L, \quad (1) \end{aligned}$$

式中, R_d 为输出电阻, C_L 为缓冲器输入电容, C_p 为缓冲器输出电容, r_0 和 c_0 分别为单位长度互连电阻和电容. 当 $n \rightarrow \infty$ 时, (1) 式变为

$$\begin{aligned} \tau = & R_d(C_p + C_L + c_0l) \\ & + \frac{1}{2}r_0c_0l^2 + r_0l \times C_L. \quad (2) \end{aligned}$$

设互连上允许插入的最小尺寸缓冲器的输入电容为 c_{in} , 输出电容为 c_{out} , 输出电阻为 r_s , 则对于尺寸为 S 的缓冲器, 其总的输出电阻 $R_d = r_s/S$, 总输出电容 $C_p = c_{out} \cdot S$, 总输入电容 $C_L = c_{in} \cdot S$.

代入 (2) 式, 则 (2) 式可变为

$$\begin{aligned} \tau = & r_s(c_{out} + c_{in}) + \frac{r_s}{S}c_0l \\ & + \frac{1}{2}r_0c_0l^2 + r_0lSc_{in}, \quad (3) \end{aligned}$$

因此, 单位长度的互连延时为

$$\begin{aligned} \frac{\tau}{l} = & \frac{1}{l}r_s(c_{out} + c_{in}) + \frac{r_s}{S}c_0 \\ & + \frac{1}{2}r_0c_0l + r_0c_{in}S. \quad (4) \end{aligned}$$

由式 (4) 可知, 当

$$l = l_{opt} = \sqrt{\frac{2r_s(c_{out} + c_{in})}{r_0c_0}}, \quad (5)$$

并且

$$S = S_{opt} = \sqrt{\frac{r_sc_0}{r_0c_{in}}}, \quad (6)$$

单位长度互连延时最优值为

$$\begin{aligned} \left(\frac{\tau}{l}\right)_{opt} = & 2\sqrt{r_sc_{in}r_0c_0} \\ & \times \left(1 + \sqrt{\frac{1}{2}\left(1 + \frac{c_{out}}{c_{in}}\right)}\right), \quad (7) \end{aligned}$$

其中, l_{opt} , S_{opt} 分别为传统的互连缓冲器插入的最优间距及最优尺寸.

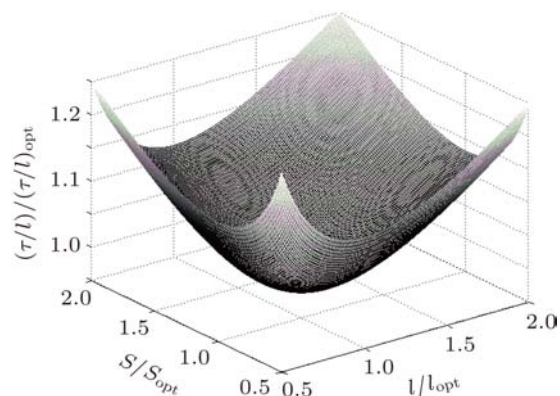


图 2 90 nm 工艺全局互连归一化单位长度延时与缓冲器尺寸和互连长度的关系图

图 2 给出了归一化的单位长度延时和缓冲器尺寸及互连长度的关系. 如图所示, 在接近互连延时极小值附近的 τ/l 都可以近似认为等于极小值. 因此可以在保证延时最优的情况下选择最为合适的缓冲器尺寸及相邻两缓冲器的间距, 不仅可以有效地减小功耗, 而且也更容易满足布局布线的要求.

图 3 给出了当 $\tau/l = 1.02(\tau/l)_{opt}$ 时, 满足这一条件的一组缓冲器尺寸和相邻间距的值. 实际上通常选择插入缓冲器的尺寸要小于最优尺寸 S_{opt} , 通过增大相邻缓冲器之间的间距, 可以保证延时最优,

同时保证低功耗的要求.

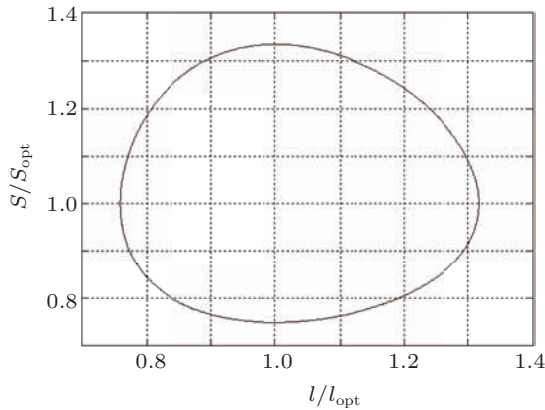


图3 当 $\tau/l = 1.02(\tau/l)_{opt}$ 时, S/S_{opt} 与 l/l_{opt} 的关系图

3 考虑非均匀温度分布效应的缓冲器插入模型

文献 [15,16] 证明了在均匀互连上按相邻缓冲器间距相等且为最优间距的情况下插入寄存器可

使信号延时最小, 然而随着特征尺寸的进一步减小, 衬底热分布越来越复杂, 互连变得不再“均匀”, 因此传统的缓冲器插入方法已经不再适应. 要保持互连延时最小化, 对于缓冲器插入的位置和缓冲器的尺寸都有了新的标准, 这些标准在很大程度上依赖于衬底非均匀热分布对互连温度分布的影响.

图4给出了一段分为 n 等份的分布式 RC 互连等效模型, 由 Elmore 延时模型可知, 对于单线互连, 其延时等于每小段电阻乘以其下游路径上的所有电容之和. 因为互连温度分布的不均匀性, 每小段的互连电阻皆不相等, 其值均可由 $r = r_0(1 + \beta\Delta T)$ 求得, 其中 r_0 为参考温度 T_{ref} 下的单位长度互连电阻, β 为互连电阻的温度系数. 则考虑温度分布效应的 Elmore 延时表达式可表示为 [19]

$$\tau = \int_0^l r_0 [1 + \beta(T(x) - T_{ref})] \times c_0(l - x) dx + \int_0^l r_0 [1 + \beta(T(x) - T_{ref})] dx \cdot C_L. \quad (8)$$

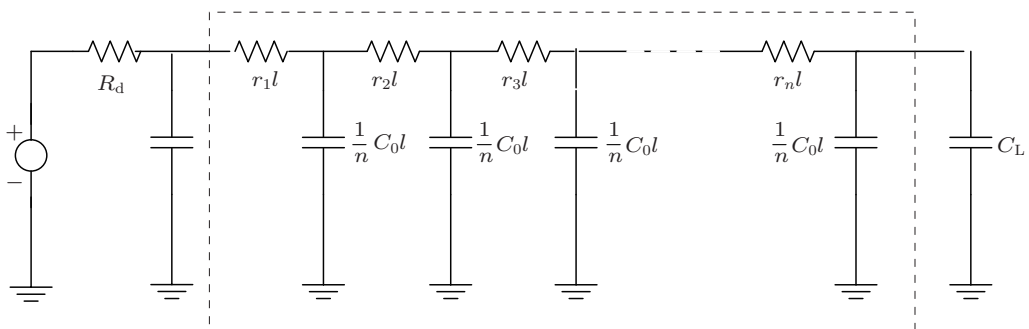


图4 分布式 RC 互连等效模型

考虑到互连温度的非均匀分布, 本文提出了一种新的建模方法, 在保持临界间距不变的前提下, 引入温度效应消除因子, 修正缓冲器尺寸, 消除互连温度分布效应对所插入缓冲器的影响, 使得在互连温度分布不均匀的情况下插入缓冲器仍能保证所得的延时结果最优.

如图1所示, 任选两相邻缓冲器 (如第 k 和第 $k+1$ 个缓冲器) 作为参考对象, 则总延时可分为两部分: 互连延时和门延时. 其中由 Elmore 延时可以很容易地得出互连延时为

$$t_{int} = \int_{k_l}^{(k+1)l} r_0 [1 + \beta(T(x) - T_0)]$$

$$\times c_0 [(k+1)l - x] dx + \int_{k_l}^{(k+1)l} r_0 [1 + \beta(T(x) - T_0)] dx \times C_L, \quad (9)$$

门延时为

$$t_{gate} = R_d(C_p + c_0l + C_L) = \frac{r_s}{S \cdot s_k} (c_{out} \cdot S \cdot s_k + c_0l + c_{in} \cdot S \cdot s_{k+1}) = r_s c_{out} + \frac{r_s}{S \cdot s_k} c_0l + \frac{r_s c_{in}}{s_k} s_{k+1}, \quad (10)$$

式中 s_k 和 s_{k+1} 分别为第 k 个和第 $k+1$ 个缓冲器的温度效应消除因子. 则由第 k 个缓冲器到第 $k+1$

个缓冲器的总延时为

$$t = t_{\text{int}} + t_{\text{gate}}. \quad (11)$$

联立方程 (3) 和 (11), 解得第 $k + 1$ 个缓冲器的温度效应消除因子 s_{k+1} 为

$$s_{k+1} = \frac{r_s c_{\text{in}} + \left(\frac{r_s}{S} - \frac{r_s}{S \cdot s_k} \right) c_0 l + r_0 l S c_{\text{in}} + \frac{1}{2} r_0 c_0 \beta T_{\text{ref}} l^2 - (k+1) r_0 c_0 \beta \int_{k_l}^{(k+1)l} T(x) dx + r_0 c_0 \beta \int_{k_l}^{(k+1)l} x T(x) dx}{\frac{r_s c_{\text{in}}}{s_k} + r_0 l c_{\text{in}} S + r_0 \beta c_{\text{in}} S \int_{k_l}^{(k+1)l} T(x) dx - r_0 \beta T_{\text{ref}} l c_{\text{in}} S}. \quad (12)$$

以第一个插入的缓冲器为起始参考对象, 设其温度效应消除因子为 1, 即 $s_1 = 1$, 则可以通过上述递推表达式 (12), 推导出任何一个温度效应消除因子. 通过温度效应消除因子, 可以修正互连长度方向上任意一个缓冲器的最优尺寸, 即 $S_{\text{opt},k+1} = S \times s_{k+1}$, 其中 $k = 1, 2, 3, \dots, n-1$, 从而使每个插入的缓冲器达到真正意义上的最优尺寸.

同样, 若以最后一个缓冲器为起始参考对象, 设 $s_n = 1$, 则第 s_k 个缓冲器的温度消除因子为

$$s_k = \left[r_s S c_0 l + r_s c_{\text{in}} s_{k+1} \right] \times \left\{ r_s c_{\text{in}} + \frac{r_s}{S} c_0 l + r_0 l S c_{\text{in}} - r_0 \beta \left[(k+1) c_0 l - c_{\text{in}} S s_{k+1} \right] \int_{k_l}^{(k+1)l} T(x) dx + \frac{1}{2} r_0 c_0 \beta T_{\text{ref}} l^2 - r_0 l (1 - \beta T_{\text{ref}}) c_{\text{in}} S s_{k+1} + r_0 c_0 \beta \int_{k_l}^{(k+1)l} x T(x) dx \right\}^{-1}. \quad (13)$$

根据 (13) 式同样可求得互连上任意位置的缓冲器最优尺寸. 由于互连温度分布状态和延时密切相关, 起始参考缓冲器的选择不同, 得到的最优尺寸的缓冲器插入效果也不同, 因此需要根据具体的互连温度分布趋势, 选择合适的缓冲器作为参考对象, 利用表达式 (12) 和 (13) 可以推出任意缓冲器的最优尺寸.

4 仿真实验

假设互连温度分布均匀, 且 $T(x) = T_{\text{ref}}$, 则表达式 (12) 可化简为

$$s_{k+1} = \frac{r_s c_{\text{in}} + \left(\frac{r_s}{S} - \frac{r_s}{S \cdot s_k} \right) c_0 l + r_0 l S c_{\text{in}}}{\frac{r_s c_{\text{in}}}{s_k} + r_0 l c_{\text{in}} S}. \quad (14)$$

由于互连温度分布处处相等, 且 $s_1 = 1$, 则可推导出 s_2, s_3, \dots, s_k 皆为 1. 将 $s_k = 1$ 代入 (14) 式可得 $s_{k+1} = 1$, 同理, 对于表达式 (13), 在 $T(x) = T_{\text{ref}}$ 时, 可化简为

$$s_k = \frac{\frac{r_s}{S} c_0 l + r_s c_{\text{in}} s_{k+1}}{r_s c_{\text{in}} + \frac{r_s}{S} c_0 l}. \quad (15)$$

同样可以推得 $s_n, s_{n-1}, \dots, s_{k+1}$ 都等于 1, 因此 $s_k = 1$.

由上述推导可知, 在互连温度均匀分布的情况下, 插入缓冲器的温度效应消除因子皆为 1, 这与传

统的不考虑温度分布效应的缓冲器插入方法的结果一致.

当互连温度为非均匀分布时, 通常满足指数分布或线性分布^[19-21]. 假设可能的四种互连温度分布如图 5 所示, 其中温度分布 1 和 2 为指数分布, 而温度分布 3 和 4 则为线性分布. 同时假设互连的最高温度 T_H 为 130 °C, 最低温度 T_L 为 110 °C. 利用表 1 给出的 90 nm 和 65 nm 工艺下相关参数^[22] 来验证所提模型的有效性.

表 1 90 nm 及 65 nm 工艺相关参数

工艺节点	90 nm	65 nm
单位长度互连电阻 $r_0(T_{\text{ref}})$	36.7 kΩ/m	40.7 kΩ/m
单位长度互连电容 c_0	260 pF/m	228 pF/m
缓冲器输出电阻 $r_s(T_{\text{ref}})$	12.4 kΩ/m	10.0 kΩ/m
缓冲器输入电容 c_{in}	1.14 fF	1.01 fF
缓冲器输出电容 c_{out}	1.62 fF	1.39 fF
临界间距 l_{opt}	2.3 mm	1.9 mm
缓冲器的最优尺寸 S_{opt}	238	202

在 90 nm 工艺下, 取互连长度为 $L = 13.8$ mm, 以第一个缓冲器为起始参考对象, 即 $s_1 = 1$, 则插入缓冲器的位置与温度效应消除因子分布如图 6 所示.

如图 6 所示, 在互连温度分布为图 5 所示的温度分布 1 和 4 时, 温度效应消除因子相对减小较为平缓. 而当互连的温度分布取温度分布 2 或 3 时,

温度效应消除因子以近似于线性趋势递减, 其递减趋势相对较快. 即在互连温度分布 2 和 3 的情况下, 所需插入的缓冲器的总面积比互连温度分布 1 和 4 所需的缓冲器总面积小. 以温度较高端的缓冲器为参考缓冲器计算温度效应消除因子, 可以有效地节省设计面积.

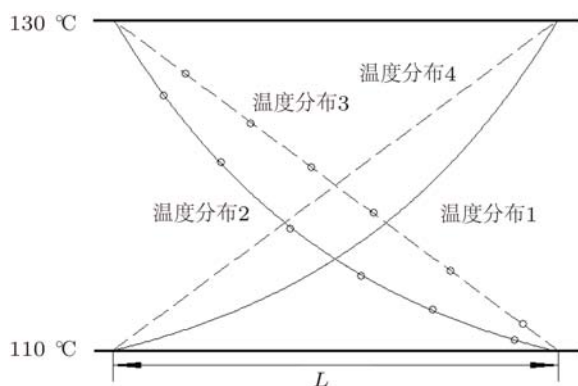


图 5 互连温度的非均匀分布

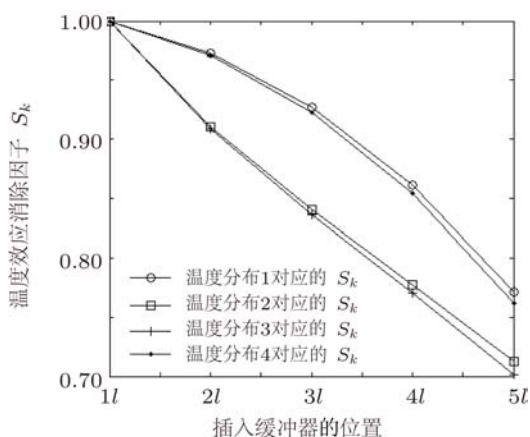


图 6 90 nm 工艺下插入互连温度的非均匀分布缓冲器的位置与温度效应消除因子分布关系图 ($s_1 = 1$)

当以最后一个缓冲器为起始参考对象, 即 $s_n = 1$ 时, 根据图 5 给出的 4 种温度分布情况, 设 $L = 11.7 \text{ mm}$, 图 7 给出了 65 nm 工艺下插入缓冲器的位置与温度效应消除因子分布关系.

随着工艺水平的不断提高, 互连温度分布越来越接近于线性分布. 如图 7 所示, 温度分布 2 和 3 非常接近, 而温度分布 1 和 4 也几近重合, 因此可以由线性分布来近似代替互连温度指数分布, 以降低求解温度效应消除因子的计算难度. 由图 6 和图 7 可知, 当互连的温度分布沿信号传输方向增加时, 应用 (13) 式获得的结果较为理想, 在保证延时最小的情况下可以有效地节省插入缓冲器的总面积; 而在互连温度分布的增加趋势和传输信号的方向相反时, 则应采用 (12) 式计算温度效应消除因子, 以

保证芯片面积得到有效的利用.

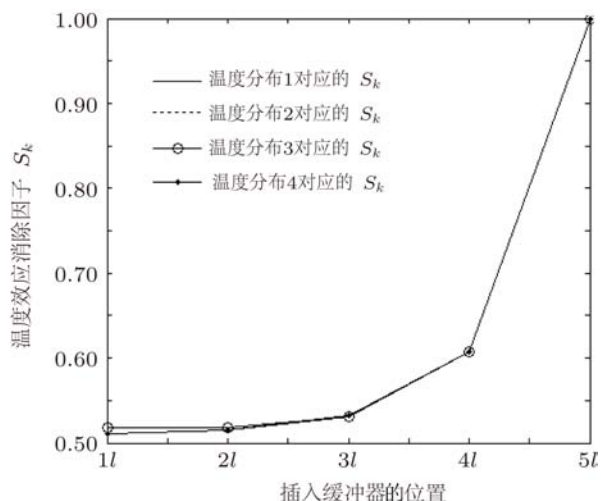


图 7 65 nm 工艺下插入缓冲器的位置与温度效应消除因子分布关系图 ($s_n = 1$)

之前的缓冲器插入技术未能考虑互连温度的非均匀分布效应, 因此得出的缓冲器的“最优尺寸”并非最优, 由此得到的延时也不是最小, 实际结果和计算值存在一定的误差. 表 2 给出了 90 nm 和 65 nm 工艺下, 当互连温度分布为图 5 所示的四种不同的温度分布时, 使用传统的缓冲器插入方法得出的互连总延时和本文所提的缓冲器插入方法得出的互连总延时的对比.

由表 2 的数据所示, 由于本文所提的模型加入了温度效应消除因子, 互连温度分布效应对延时的影响被“移植”到插入缓冲器的尺寸上, 通过温度效应消除因子, 缓冲器尺寸达到了真正意义上的最优, 因此在插入经过修正尺寸后的缓冲器, 互连总延时到达最小. 而传统的缓冲器插入模型, 由于没有考虑互连温度非均匀分布效应对缓冲器的影响, 未进行温度修正, 使得实际互连总延时要高于最优延时, 导致设计的误差. 从表 2 的数据中可以看出, 本文模型由于考虑了温度效应, 使得缓冲器的最优尺寸小于未考虑温度效应时的缓冲器最优尺寸, 节省了芯片面积, 且单位长度上的互连温度梯度越大, 插入缓冲器的最优尺寸越小, 缓冲器插入总面积也越小, 当以互连高温端的缓冲器为参考缓冲器时, 面积得到有效的减小, 而延时减小量却小于以低温端缓冲器为参考缓冲器时的互连延时减小量. 随着特征尺寸的减小, 参考缓冲器的选择在面积节省率上的优势慢慢消失, 而延时优势不变. 因此在特征尺寸较小时, 通常选择低温端缓冲器为参考缓冲器, 以获得更好的延时特性.

表2 90 nm 和 65 nm 工艺下本文所提模型与传统缓冲器插入模型的对比

温度分布	90 nm 工艺 ($s_1 = 1$)				65 nm 工艺 ($s_n = 1$)			
	本文所提模型/ps	传统最优尺寸缓冲器模型/ps	相对延时误差/%	面积节省率/%	本文所提模型/ps	传统最优尺寸缓冲器模型/ps	相对延时误差/%	面积节省率/%
温度分布 1	522.64	533.15	2.01	9.35	368.15	375.55	2.01	36.70
温度分布 2	522.64	533.80	2.14	15.17	368.15	376.01	2.13	36.51
温度分布 3	522.64	534.20	2.21	15.64	368.15	376.29	2.21	36.50
温度分布 4	522.64	533.55	2.09	9.78	368.15	375.83	2.09	36.69

5 结论

传统的缓冲器插入方法没有考虑互连温度分布效应对互连延时的影响,简单地认为互连电阻处处相等,因此得出的所有插入缓冲器的最优尺寸相等,使得实际互连延时并非最优. 本文在分析 RC 互连 Elmore 延时模型的基础上,加入互连温度非均匀分布效应,结合传统最优尺寸缓冲器插入的方法,建立了考虑互连温度分布效应的最优尺寸缓冲器插入模型. 通过引入温度效应消除因子,消除了互连温度分布效应对缓冲器插入方法的影响,使插入缓冲器后的互连总延时保持最优. 此方法与以往的缓冲器插入方法相比,将互连温度分布效应通过温度效应消除因子转移到缓冲器的尺寸上,在保证

延时最小的同时,确保了芯片面积的有效利用. 仿真结果表明,这种方法是准确有效的,可作为一种求解缓冲器最优尺寸的有效手段结合到高性能集成电路设计当中. 在实际设计电路初期,通过求解互连温度对插入缓冲器的最优尺寸的影响,选取处于互连高温端的缓冲器为参考对象,计算得出整个互连上插入的所有缓冲器最优尺寸,并进行模拟仿真以指导实际生产. 通过本文模型的应用可以更加有效地优化互连延时,并减小插入缓冲器的总面积,从而提高电路设计质量. 随着工艺尺寸的进一步减小,互连温度变化趋势日趋复杂,加之插入缓冲器的数量越来越大,使得计算效率有所下降. 设计者通常可在保证精确的互连温度分布的前提下,采用简单的温度模型分段拟合互连温度分布曲线来解决上述不足,降低计算难度,提高工作效率.

- [1] Morgenshtein A, Friedman E G, Cinosar R, Kolodny A 2010 *IEEE Trans. on Very Large Scale Integration (VLSI) Systems* **18** 689
- [2] Zeng J K, Chen C P 2010 *11th Int. Symposium on ISQED* p818
- [3] Saini S, Kumar A M, Veeramachaneni S 2010 *23rd Int. Conf. on VLSI Design* p411
- [4] El-Moursy M A, Friedman E G 2007 *Integration the VLSI Journal* **40** 461
- [5] Wang Z, Dong G, Yang Y T, Li J W 2011 *Chin. Sci. Bull.* **56** 617 (in Chinese) [王增, 董刚, 杨银堂, 李建伟 2011 科学通报 **56** 617]
- [6] Wang Z, Dong G, Yang Y T, Li J W 2010 *Chin. J. Electron.* **19** 43
- [7] Wang Z, Dong G, Yang Y T, Li J W 2010 *Acta Phys. Sin.* **59** 5646 (in Chinese) [王增, 董刚, 杨银堂, 李建伟 2010 物理学报 **59** 5646]
- [8] Tang M, Mao J F 2008 *Int. Conf. on Microwave and Millimeter Wave Technology* **2** 479
- [9] Hasani F, Masouni N 2008 *3th Int. Conf. on Design and Technology of Integrated Systems in Nanoscale Era* p1
- [10] Zhu Z M, Qian L B, Yang Y T 2009 *Chin. Phys. B* **18** 1188
- [11] Li X, Wang J M, Tang W Q 2009 *Acta Phys. Sin.* **58** 3603 (in Chinese) [李鑫, Wang J M, 唐卫清 2009 物理学报 **58** 3603]
- [12] Zhu Z M, Qian L B, Yang Y T 2009 *Acta Phys. Sin.* **58** 2631 (in Chinese) [朱樟明, 钱利波, 杨银堂 2009 物理学报 **58** 2631]
- [13] Wang J P, Hao Y 2009 *Acta Phys. Sin.* **58** 4267 (in Chinese) [王俊平, 郝跃 2009 物理学报 **58** 4267]
- [14] Bakoglu H B 1990 *Circuits, Interconnections, and Packaging for VLSI* (New Jersey: Addison-Wesley Publishing Company) p127
- [15] Alpert C, Devgan A 1997 *Proc. of 34th DAC* p588
- [16] Otten R H J M, Brayton R K 1998 *Proc. of 35th DAC* p122
- [17] Ajami A H, Banerjee K, Pedram M 2001 *IEEE/ACM Int. Conf. on CAD* p44
- [18] Ja C K, Ismail Y 2007 *IEEE Trans. on Very Large Scale Integration (VLSI) Systems* **15** 963
- [19] Ajami A H, Banerjee K 2005 *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* **24** 849
- [20] Ajami A H, Banerjee K, Pedram M 2001 *Proc. of 38th DAC* p567
- [21] Zhu Z M, Zhong B, Hao B T, Yang Y T 2009 *Acta Phys. Sin.* **58** 7124 (in Chinese) [朱樟明, 钟波, 郝报田, 杨银堂 2009 物理学报 **58** 7124]
- [22] <http://public.itrs.net>, *International Technology Roadmap for Semiconductors 2007 Rdition*

Study on optimal size of repeater insertion with ununiform temperature distribution*

Wang Zeng^{1)†} Dong Gang²⁾ Yang Yin-Tang²⁾ Li Jian-Wei²⁾

1) (College of Physics Science, Qingdao University, Qingdao 266071, China)

2) (Microelectronics Institute, Xidian University, Xi'an 710071, China)

(Received 28 June 2010; revised manuscript received 4 July 2011)

Abstract

Based on the influence of nonuniform temperature distribution on interconnect delay, an analytical model to estimate the optimal size of repeaters inserting RC interconnect is presented in this paper. In the proposed analytical model the temperature distribution is taken into account and a temperature correction factor is introduced to modify the repeater size and obtain the optimal interconnect delay. Adopting parameters of 90 nm and 65 nm process technology, the proposed model is compared with the model without considering the temperature distribution. Results show that the new model is more accurate and saves the repeater insertion area with maximum values of 15.6% and 36.7% in 90 nm and 65 nm technology, respectively.

Keywords: nonuniform temperature distribution, repeater insertion, optimal size, temperature correction factor

PACS: 41.20.Jb, 44.05.+e, 44.10.+i, 72.20.Pa

* Project supported by the National Natural Science Foundation of China (Grant No. 60606006), the National Science Found for Distinguished Young Scholars, China (Grant No. 60725415), and Basic Science Research Fund in Xidian University, China.

† E-mail: fire5water1@hotmail.com