

## 考虑自热效应的互连线功耗优化模型\*

张岩<sup>†</sup> 董刚 杨银堂 王宁 王凤娟 刘晓贤

(西安电子科技大学, 微电子研究所宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2012年6月27日收到; 2012年7月22日收到修改稿)

基于互连线的分布式功耗模型, 考虑自热效应的同时采用非均匀互连线结构, 提出了一种基于延时、带宽、面积、最小线宽和最小线间距约束的互连动态功耗优化模型. 分别在 90 和 65 nm 互补金属氧化物半导体工艺节点下验证了功耗优化模型的有效性, 在工艺约束下同时不牺牲延时、带宽和面积所提模型能够降低高达 35% 互连线功耗. 该模型适用于片上网络构架中大型互连路由结构和时钟网络优化设计.

**关键词:** 分布式互连, 功耗优化模型, 自热效应, 非均匀互连线

**PACS:** 66.30.-h, 66.30.Qa, 72.15.-v, 84.30.-r

**DOI:** 10.7498/aps.62.016601

## 1 引言

随着硅互补金属氧化物半导体 (CMOS) 集成电路从超大规模集成电路 (VLSI) 发展到甚大规模集成电路 (ULSI), 电路的频率和集成度不断得到提高, 片上互连的功耗、延时和信号完整性已经成为影响集成电路性能和可靠性的决定性因素. 2010 年国际半导体技术路线图 (ITRS)<sup>[1]</sup> 指出纳米级工艺的互连线层数已经达到 13 层, 集成电路的互连线长度已经累计达  $10^3$  m 数量级. 虽然单个纳米级集成电路所消耗的功耗不断地降低, 但是随着互连线层数和长度的持续增加, 互连功耗在整个芯片功耗中所占的比重越来越大, 因此如何减小互连线功耗将成为一个研究热点.

传统互连线动态功耗估算主要围绕计算一次激励过程中互连线寄生电容充放电所存储和释放的能量开展研究<sup>[2]</sup>, 这种方法由于不能忽略互连电阻的影响而在计算动态功耗时产生很大的误差. 最近几年互连线功耗估算更多的是计算电流流经互连线时电阻所产生的热能<sup>[3-6]</sup>. 文献 [3] 利用  $\Pi$  型电路等效互连树的方法分析互连功耗. 文献 [4] 通过降阶方法估算互连线的等效电流从而计算互连功耗. 文献 [5] 基于电阻 - 电容 (RC) 树形电路模型

提出了非理想激励下树形拓扑结构功耗模型. 文献 [6] 在集总式互连功耗的基础上提出了分布式互连功耗模型. 但是以上文献都仅仅建立了功耗模型, 且忽略了互连线自热效应给功耗带来的影响. 实际上, 当集成电路工艺技术进入到超深亚微米阶段, 互连线的宽度越来越小, 因而不断增加的互连线电阻产生更大的互连线功耗, 甚至占据了整个芯片功耗的 30%<sup>[4]</sup>. 随着集成电路工艺技术的进一步提高, 互连线功耗所占的比重也越来越大. 因此, 研究工作将不仅仅停留在如何计算互连线功耗上, 更要深入地研究如何优化互连线的功耗, 从而改善互连线性能.

本文首先基于非理想激励冲激下的分布式互连功耗模型并考虑互连线自热效应提出了一种非均匀互连线的功耗模型, 采用数值积分的方法简化了功耗模型的计算过程, 并在此功耗模型的基础上进一步提出了一种基于互连线延时、带宽、面积、最小线宽和最小线间距约束的功耗优化模型. 其次通过对 90 和 65 nm CMOS 工艺节点的计算, 与已有模型比较验证了本文优化模型的有效性. 最后讨论了驱动阻抗和负载电容对互连功耗的影响, 以调节驱动电阻和负载电容使所提模型达到最佳效果.

\* 国家自然科学基金 (批准号: 60606006)、陕西省科技统筹创新工程计划 (批准号: 2011KTCQ01-19) 和国防预研基金 (批准号: 9140A23060111) 资助的课题.

<sup>†</sup> 通讯作者. E-mail: zylap@yahoo.cn

## 2 分布式互连线功耗模型

分布式互连线功耗模型是在集总式 RC 功耗模型的基础上演变而来的. 文献 [5] 中基于 Elmore 延时模型推导出了互连树任意一个节点的功耗, 进一步给出整个互连树的功耗模型. 基于这一集总式互连功耗模型, 文献 [6] 提出了一种分布式互连功耗模型. 图 1 为分布式互连线模型, 其长度为  $L$ , 前端驱动电阻为  $R_d$ , 前端输出电容为  $C_p$ , 后端负载电容为  $C_L$ . 将互连线等分成  $n$  段, 每段长为  $\Delta x = L/n$ , 每段的电阻和电容分别表示为  $r(x)\Delta x$  和  $c(x)\Delta x$ , 其中  $r(x)$  和  $c(x)$  分别是互连线在  $x$  处的单位电阻和单位电容. 一般情况下, 前端的输出电容  $C_p$  值远小于互连线的总电容, 因此在讨论中可以忽略  $C_p$  对互连性能的影响.

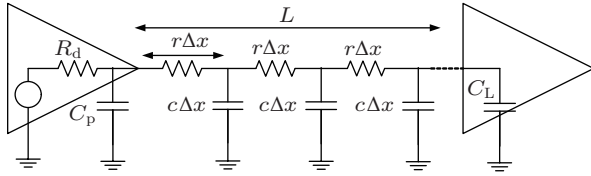


图 1 分布式互连线模型

当  $n \rightarrow \infty$  时,  $x$  点处的延时可以表示为 [6]

$$\Delta_{\text{Elmore}}^x = \int_0^x r(x) \left[ \int_x^L c(\sigma) d\sigma + C_L \right] dx + R_d \left[ \int_0^L c(x) dx + C_L \right]. \quad (1)$$

进一步得到整个分布式互连线延时表达式为

$$\Delta_{\text{Elmore}} = \int_0^L r(x) \left[ \int_x^L c(\sigma) d\sigma + C_L \right] dx + R_d \left[ \int_0^L c(x) dx + C_L \right]. \quad (2)$$

互连线的分布式功耗为

$$E = \alpha f \int_0^L \frac{r(x) \hat{C}_x}{\tau + \hat{\Delta}_{\text{Elmore}}^x} \cdot \frac{1}{2} \hat{C}_x V_{dd}^2 dx, \quad (3)$$

其中,  $\alpha$  为互连线前级缓冲器的开关因子, 一般取 0.03,  $f$  为电路工作的频率,

$$\hat{C}_x = \int_x^L c(x) dx, \quad (4)$$

$$\hat{\Delta}_{\text{Elmore}}^x = \int_x^L c(x) \Delta_{\text{Elmore}}^x dx / \hat{C}_x. \quad (5)$$

## 3 考虑自热效应后的线型功耗优化模型

为了使互连线达到更好的性能, 人们提出了各种各样的技术手段, 早在 20 世纪 90 年代, 非均匀互连线理论就已经建立 [7]. 非均匀互连线的特点是采用线宽非均匀分布的方法改变互连线的单位电阻和单位电容, 从而达到改变互连线性能的目的. 非均匀互连线的宽度可看作沿长度方向变化的函数  $f(x)$ , 那么互连线的单位电阻和单位电容分别表示为  $r(x) = r_0/f(x)$ ,  $c(x) = c_0 f(x)$ . 直到今天, 很多学者仍只是将这一理论应用到减小互连线的延时上 [8,10–12], 而从 (3) 式中可以看出, 分布式互连的功耗与  $x$  点处的单位电阻  $r(x)$  和单位电容  $c(x)$  有直接的关系, 因此本文采用非均匀互连线的方法来优化功耗.

前人对非均匀互连线的研究均基于互连线的温度恒定, 然而这种假设仅局限于离衬底连接的热沉较近的互连线层. 在信号传输过程中, 电流流经互连线时所产生的自热效应对性能的影响不容忽视. 当电流流过集成电路互连线时, 互连线电阻消耗的热功耗为  $I^2 R$ , 这里  $I$  为流经互连线的电流,  $R$  为互连线的电阻. 对于远离衬底的高层互连线来说, 互连线电阻产生的热量很难有效地通过热沉耗散掉, 从而导致互连线的温度升高, 这就是所谓的自热效应. 特别是在片上网络 (NOC) 构架中大型的互连路由结构和高频时钟网络, 自热效应已经严重地影响到了互连线的性能. 因此在互连线功耗优化模型研究中, 必须考虑到自热效应. 首先在 3.1 节中将讨论自热效应对互连线带来的影响, 然后 3.2 节采用非均匀互连线结构提出一种互连线功耗的优化模型.

### 3.1 自热效应的影响

文献 [6] 是基于恒温且互连线线形均匀的前提下计算单位长度电阻的, 其表达式为  $r_0 = \rho_0/wt$ , 其中  $w$  和  $t$  分别是互连线的宽度和高度,  $\rho_0$  是参考温度下的电阻率. 从公式中可以看出, 互连线单位长度电阻与宽度的一次方成反比. 但是随着互连线层数和互连线长度的不断增加, 自热效应不再被忽略, 它对互连线的影响主要体现在电阻方面, 而对互连线电容的影响可以忽略不计 [8]. 下面具体分析考虑自热效应的情况下电阻所受的影响.

仍将互连线  $n$  等分, 每段长度为  $\Delta x = L/n$ , 每段的温度可以表示为<sup>[9]</sup>

$$T_m = T_{\text{ref}} + \Delta T_{\text{self-heating}}, \quad (6)$$

它由两部分组成, 即互连线的参考温度  $T_{\text{ref}}$  和自热效应产生的互连线的温升  $\Delta T_{\text{self-heating}}$ . 温升  $\Delta T_{\text{self-heating}}$  由如下公式获得

$$\Delta T_{\text{self-heating}} = \frac{1}{T} \int_0^T I^2 \Delta R \Delta R_{\theta} dt = I_{\text{rms}}^2 \Delta R \Delta R_{\theta}, \quad (7)$$

式中  $I_{\text{rms}}$  是流经互连线的均方根电流,  $I_{\text{rms}}^2 \Delta R$  为  $\Delta x$  长互连线的热功耗,  $\Delta R$  表示  $\Delta x$  长互连线的电阻, 它与温度成线性关系

$$\Delta R = \frac{\rho_0 \Delta x}{wt} (1 + \beta T_m), \quad (8)$$

$\beta$  是互连线的电阻温度系数.

$\Delta x$  长互连线对应的互连线到衬底的热阻  $\Delta R_{\theta}$  表示为

$$\Delta R_{\theta} = \frac{t_{\text{ox}}}{K_{\text{ox}} W_{\text{eff}} \Delta x}, \quad (9)$$

式中  $t_{\text{ox}}$  为互连线层间介质厚度,  $K_{\text{ox}}$  为绝缘体的有效热导率, 并且  $W_{\text{eff}} = w + 0.88t_{\text{ox}}$  为互连线的有效宽度.

将 (7), (8) 和 (9) 式带入 (6) 式中获得

$$T_m = \frac{\lambda / \beta}{(w^2 + 0.88t_{\text{ox}}tw) \delta - \lambda} + T_{\text{ref}}, \quad (10)$$

此处  $\lambda = I_{\text{rms}}^2 t_{\text{ox}} \rho_0 \beta$ ,  $\delta = t K_{\text{ox}}$ .

将 (10) 式带入 (8) 式, 互连线电阻  $\Delta R$  可以表示为

$$\Delta R = \left( \frac{\rho_0}{t} \cdot \frac{w + a_0}{w^2 + b_1 w + b_0} + c_0 T_{\text{ref}} \right) \Delta x, \quad (11)$$

此处  $a_0 = b_1 = 0.88t_{\text{ox}}$ ,  $b_0 = -\frac{\lambda}{\delta}$ ,  $c_0 = \frac{\beta \rho_0}{wt}$ .

由 (11) 式进一步得到单位长度的互连线电阻为

$$r^* = \frac{\rho_0}{t} \cdot \frac{w + a_0}{w^2 + b_1 w + b_0} + c_0 T_{\text{ref}}. \quad (12)$$

从 (12) 式中可以看出, 在考虑自热效应后互连线单位长度的电阻  $r^*$  不再与线宽  $w$  一次方成反比. 为了更直观地表达  $r^*$  与  $w$  的关系, 可将 (12) 式近似为  $r^* = A/w^{\xi}$  的形式, 本文利用表 1 中的互连线工艺参数和电参数 (文中所用参数均基于铜互连), 采用图形拟合的方法对  $\xi$  取值. 考虑到后面功耗计算的复杂程度, 最终当  $\xi = 1.3$  时与 (12) 式的函数最为接近, 因此用  $r^* = A/w^{1.3}$  近似地表示考虑自热效应的情况的下单位长度互连线电阻  $r^*$  和互连线

线宽  $w$  的关系. 图 2 给出了  $\xi = 1.3$  和 (12) 式的曲线.

表 1 纳米级互连线的工艺参数和电参数<sup>[9]</sup>

参数	数值
$\rho_0 / \Omega \cdot \text{cm}^{-1}$	$1.68 \times 10^{-6}$
$\beta / ^\circ \text{C}^{-1}$	0.0039
$K_{\text{ox}} / \text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$	1.15
$t_{\text{ox}} / \text{nm}$	0.2
$t / \text{nm}$	0.3
$I_{\text{rms}} / \text{mA}$	140
$T_{\text{ref}} / ^\circ \text{C}$	100

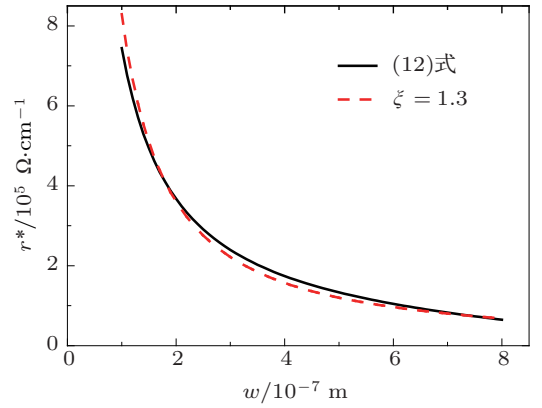


图 2 (12) 式和  $\xi = 1.3$  的单位长度电阻曲线

### 3.2 互连线功耗优化方法

在前人的研究中, 采用最多的非均匀互连线线型分布包括指数分布和线性分布<sup>[8,10-13]</sup>, 本文采用了指数分布, 其结构如图 3 所示. 这种指数分布的线宽函数可以表示为  $w(x) = w_0 a e^{-bx}$ , 公式中  $w_0$  为均匀互连线的线宽,  $a, b$  均为正值.

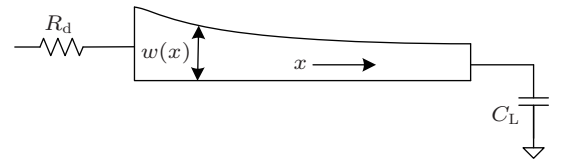


图 3 非均匀互连线指数分布线型

3.1 节通过考虑自热效应修正了互连线单位电阻和线宽的关系, 因此采用指数型线宽分布后, 单位电阻的表达式如下

$$r(x) = \frac{r_0 e^{1.3bx}}{a^{1.3}}, \quad (13)$$

这里  $r_0$  是线宽为  $w_0$  时均匀互连线的单位电阻. 同理单位电容可以表示为

$$c(x) = c_0 f(x) = ac_0 e^{-bx}, \quad (14)$$

同样此处的  $c_0$  是线宽为  $w_0$  时均匀互连线的单位电容.

将 (13), (14) 式带入 (1)—(5) 式中进一步得到了非均匀互连线的分布式延时和功耗表达式

$$\begin{aligned} \Delta_{\text{mElmore}} = & \left( \frac{r_0 C_L}{1.3a^{1.3}b} - \frac{r_0 c_0}{1.3a^{0.3}b^2} e^{-bL} \right) e^{1.3bx} \\ & + \frac{r_0 c_0}{0.3a^{0.3}b^2} e^{0.3bx} + \left[ \frac{r_0 c_0}{1.3a^{0.3}b^2} e^{-bL} \right. \\ & \left. - \frac{r_0 c_0}{0.3a^{0.3}b^2} - \frac{r_0 C_L}{1.3a^{1.3}b} \right. \\ & \left. + R_d \left( C_L + \frac{c_0 a}{b} - \frac{c_0 a}{b} e^{-bL} \right) \right], \quad (15) \end{aligned}$$

$$E_m = \frac{1}{2} \alpha f V_{dd}^2 \int_0^L \frac{r_0 c_0^2 (1 - e^{(bx-bL)})^2}{b^2 \{ \tau + \hat{\Delta}_{\text{mElmore}}^x \}} dx, \quad (16)$$

其中

$$\begin{aligned} \hat{\Delta}_{\text{mElmore}}^x = & \left[ \left( \frac{r_0 C_L}{0.39a^{1.3}b} - \frac{r_0 c_0}{0.39a^{0.3}b^2} e^{-bL} \right) \right. \\ & \times (e^{0.3bx} - e^{0.3bL}) \\ & + \frac{r_0 c_0}{0.21a^{0.3}b^2} (e^{-0.7bx} - e^{-0.7bL}) \\ & \times (e^{-bx} - e^{-bL})^{-1} \\ & + \left[ \frac{r_0 c_0}{1.3a^{0.3}b^2} e^{-bL} - \frac{r_0 c_0}{0.3a^{0.3}b^2} - \frac{r_0 C_L}{1.3a^{1.3}b} \right. \\ & \left. + R_d \left( C_L + \frac{c_0 a}{b} - \frac{c_0 a}{b} e^{-bL} \right) \right], \quad (17) \end{aligned}$$

$$\hat{C}_{\text{mx}} = \frac{c_0 a}{b} (e^{-bx} - e^{-bL}). \quad (18)$$

在具体的应用中, 计算  $E_m$  要经过一个很复杂的积分过程, 这严重影响到模型的计算效率. 这里采用了复合 Simpson 数值积分的方法来简化积分过程. 将积分区间  $[0, L]$  5 等分最终 (16) 式的简化结果为

$$\begin{aligned} E_m = & \frac{1}{2} \alpha f V_{dd}^2 \left\{ \frac{L}{30} \left[ f(0) + f(L) \right. \right. \\ & \left. \left. + 4 \sum_{i=1}^5 f\left(\frac{(2i-1)L}{10}\right) + 2 \sum_{i=1}^4 f\left(\frac{iL}{5}\right) \right] \right\}, \quad (19) \end{aligned}$$

其中

$$f(x) = r_0 c_0^2 (1 - e^{(bx-bL)})^2 / b^2 \{ \tau + \hat{\Delta}_{\text{mElmore}}^x \}, \quad (20)$$

此处积分区间分成 5 段, 每段积分近似达到 4 次代数精度, 故计算过程是数值稳定的.

如何确定 (20) 式中的  $a, b$  值以便达到优化功耗的目的是尚待解决的问题. 在理论研究中, 通常会认为功耗越小越好, 因而只要求出互连功耗的最小值便可, 即对 (19) 式分别取  $a, b$  偏导求极值. 但在实际的设计中, 功耗的减小是以牺牲延时为代价的, 所以在优化功耗模型时要保证延时与同长度均匀互连线相比不会增大. 为了不影响芯片的结构和布局, 在采用非均匀互连线时也要确保互连线面积不会大于均匀互连线面积. 同时考虑到芯片的数据传输量即芯片的带宽, 在建模时非均匀互连线的 pitch 值不能超过均匀互连线的 pitch 值. 最后, 为了满足工艺要求, 非均匀互连线的最小线宽和最小线间距同样不能低于工艺所能达到的最小线宽和最小线间距, 指数型非均匀互连线在  $x = L$  处线宽为其最小线宽, 在  $x = 0$  处的线间距为整条互连线的最小线间距.

基于上述分析, 在确定优化模型的  $a, b$  值时必须满足以下约束条件

$$\begin{cases} \min E_m \\ E_m < E_0 \\ T_m \leq T_0 \\ S_m \leq S_0 \\ w_0 a e^{-bL} \geq w_{\min} \\ w_0 a + s_{\min} \leq w_0 + s_0 \end{cases}, \quad (21)$$

式中  $E_0$  和  $T_0$  分别是线宽为  $w_0$  的均匀互连线的功耗和延时, 其值可由 (3) 式和 (2) 式计算得到,  $S_m$  为非均匀互连线的面积, 具体表示为

$$S_m = \int_0^L w_0 a e^{-bx} dx = \frac{w_0 a}{b} (1 - e^{-bL}), \quad (22)$$

$S_0 = w_0 L$  为均匀互连线的面积,  $w_{\min}, s_{\min}$  为工艺所能达到的最小线宽和最小线间距.

## 4 结果和讨论

根据本文所提出的功耗优化模型, 在满足约束条件 (21) 式的情况下, 针对 65 和 90 nm CMOS 工艺节点做进一步讨论. 本文所用到的工艺参数、材料参数以及电参数均来自于 BPTM<sup>[14]</sup>, 具体的参数值见表 2.

利用本文提出的模型和表 2 中所示参数计算得到不同长度的均匀互连线和优化后的非均匀互连线的延时和功耗, 结果如表 3 和表 4 所示, 其中输入电阻  $R_d = 20 \Omega$ , 负载电容  $C_L = 450 \text{ fF}$ .

表2 纳米级 CMOS 互连线的物理参数和电学参数

工艺节点	90 nm	65 nm
$w_0/\mu\text{m}$	0.5	0.45
$s_0/\mu\text{m}$	0.5	0.45
$w_{\min}/\mu\text{m}$	0.15	0.105
$s_{\min}/\mu\text{m}$	0.15	0.105
$r_0/\Omega\cdot\text{mm}^{-1}$	36.67	40.74
$c_0/\text{fF}\cdot\text{mm}^{-1}$	259.67	228.48
$f/\text{GHz}$	3.99	3.99
$V_{\text{dd}}/\text{V}$	1.2	1.2

从表3中可以看出,相同工艺下本文所提的优化模型可实现降低20%以上的功耗,最高可达35%.表3中数据同样表明,互连线越长这种优化模型效果越明显,且长度越长,达到最佳优化效果的 $a$ 值越大.但是由于带宽和最小线间距的约束, $a$ 取值有上限限制,当互连线超过一定长度后, $a$ 值会停留在其上限而不能满足更长互连线要求的更大 $a$ 值,导致了模型的优化效果会随着互连线长度的进一步增加而降低.但在长度达到3000  $\mu\text{m}$ 时,其优化结果仍然可达32%.表4中是65 nm工艺下的模型优化结果,虽然与90 nm工艺相比同等长度的互连线功耗优化百分比有所降低,但仍可达20%以上,最大值仍可超过30%.

之所以取得上述优化效果,是因为非均匀互连线结构对单位长度电阻的改变在功耗方面起到了积极的作用.由图4可以看出,当单位长度电阻和单位长度电容分别增大时,功耗也随之增大.所以

只要减小单位长度电阻值和单位长度电容值就可以降低功耗.

非均匀互连线的平均单位长度电阻可由下式粗略地估算

$$\bar{r} = \frac{1}{L} \int_0^L \frac{r_0 e^{1.3bx}}{a^{1.3}} dx = \frac{r_0(e^{1.3bL} - 1)}{1.3a^{1.3}bL}, \quad (23)$$

当满足(21)式的各约束条件时,上式中 $(e^{1.3bL} - 1)/(1.3a^{1.3}bL)$ 是小于1的正值,因此有 $\bar{r} < r_0$ .同理非均匀互连线的平均单位长度电容也可以表示为

$$\bar{c} = \frac{1}{L} \int_0^L c_0 a e^{bx} dx = \frac{c_0 a(1 - e^{-bL})}{bL}, \quad (24)$$

满足(21)式的约束条件可得到 $\bar{c} = c_0$ .综合上述分析,非均匀互连线在满足约束条件的情况下是可以降低互连线的功耗.

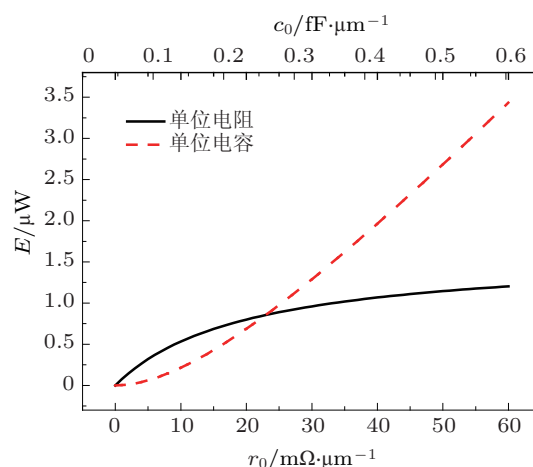


图4 互连线单位长度电阻和单位长度电容与功耗曲线

表3 90 nm 工艺下优化模型和未优化模型的功耗和延时

$L/\mu\text{m}$	$a$	$b/10^{-4}$	$T_0/10^{-12}\text{ s}$	$T_m/10^{-12}\text{ s}$	延时减小量/%	$E_0/10^{-6}\text{ W}$	$E_m/10^{-6}\text{ W}$	功耗减少量/%
1000	1.38	6.829	3.546	3.543	-0.09	2.521	1.880	25.43
1500	1.55	6.343	5.226	5.224	-0.04	5.909	4.046	31.53
1800	1.64	6.038	6.348	6.347	-0.02	8.470	5.581	34.11
2000	1.69	5.802	7.143	7.136	-0.08	10.361	6.704	35.30
2300	1.7	5.109	8.408	8.308	-1.19	13.439	8.788	34.61
2500	1.7	4.700	9.299	9.114	-1.99	15.633	10.326	33.95
3000	1.7	3.917	11.693	11.244	-3.84	21.542	14.552	32.45

表4 65 nm 工艺下优化模型和未优化模型的功耗和延时

$L/\mu\text{m}$	$a$	$b/10^{-4}$	$T_0/10^{-12}\text{ s}$	$T_m/10^{-12}\text{ s}$	延时减小量/%	$E_0/10^{-6}\text{ W}$	$E_m/10^{-6}\text{ W}$	功耗减少量/%
1000	1.34	6.170	3.656	3.653	-0.08	2.137	1.647	22.93
1800	1.57	5.285	6.530	6.524	-0.09	7.194	4.970	30.91
2500	1.72	4.816	9.535	9.485	-0.52	13.314	8.733	34.41
3000	1.72	4.013	11.960	11.674	-2.39	18.380	12.328	32.93

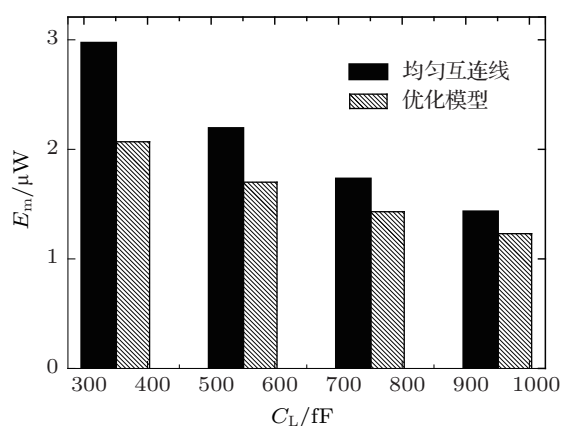


图5 负载电容与功耗

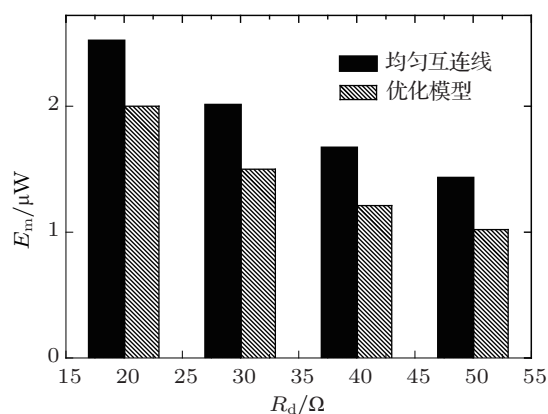


图6 驱动电阻与功耗

图5和图6分别表示当负载电容和驱动电阻

变化时,优化模型与未优化模型的功耗比较.从图5中可以看出,负载电容越小,优化模型效果越好.从图6中可以看出,驱动电阻越大,优化模型的功耗减小量所占的比重越大.若将此方法用在互连树的某一段时, $R_d$ 可看作是此段互连线的前端总电阻,包括驱动电阻和前端互连树的电阻, $C_L$ 可看作是后端的总电容,包括负载电容和后端的互连树电容.从而可以通过调节 $R_d$ 和 $C_L$ 使本文提出的优化模型达到更理想的效果.

## 5 结论

本文基于互连线的分布式功耗模型,在考虑自热效应的同时采用非均匀互连结构提出了一种基于延时、带宽、面积、最小线宽和最小线间距约束的互连线动态功耗优化模型.文中首先讨论了自热效应对互连线电阻的影响,采用图形拟合的方法简化了单位长度电阻的线宽表达式.其次修正了非均匀互连线的单位长度电阻与线宽的关系式,推出了非均匀互连线的分布式功耗模型,并使用数值积分的方法简化了模型的计算过程,在此基础上进一步提出了功耗优化模型.最后基于90和65 nm CMOS工艺验证了本文功耗优化模型的有效性,在不牺牲延时、带宽和面积并保证工艺可实现性的前提下,功耗优化的最大比例可达30%以上.对于纳米级CMOS集成电路互连线设计、优化有着重要的指导作用.

- [1] Semiconductor Industry Association 2010 *International Technology Roadmap for Semiconductors* 2010 (ITRS 2010)
- [2] Uchino T, Cong J 2002 *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.* **21** 763
- [3] Zhu Z M, Zhong B, Yang Y T 2010 *Acta Phys. Sin.* **59** 4895 (in Chinese) [朱樟明, 钟波, 杨银堂 2010 物理学报 **59** 4895]
- [4] Sahoo S, Data M, Kar R 2011 *Proceedings of the Second International Conference on Emerging Applications of Information Technology* Kolkata, India, February 19–20, 2011 p379
- [5] Zhou Q M, Elmore K M 2006 *ACM/IEEE Design Automation Conf.* San-Francisco, CA, USA, July 24–28, 2006 p965
- [6] Zhu Z M, Zhong B, He B T, Yan Y T 2009 *Acta Phys. Sin.* **58** 7124 (in Chinese) [朱樟明, 钟波, 赫报田, 杨银堂 2009 物理学报 **58** 7124]
- [7] Chen P C, Chen P Y, Wong D F 1996 *Proceedings of 33rd Design Automation Conference* Las Vegas, NV, USA, June 3–7, 1996 p487
- [8] Ni M, Memik S O M 2007 *Proc. Des. Autom. Test Eur. DATE* Nice Acropolis, France, April 16–20, 2007 p1373
- [9] Ajami A H, Banerjee K, Pedram M 2005 *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.* **24** 849
- [10] Lee Y M, Chen C C P, Wong D F 2002 *IEEE Trans. Circuits Syst. I Fundam. Theory Appl.* **49** 1671
- [11] El-moursy M A, Fridman E G 2005 *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* **13** 971
- [12] Kar R, Maheshwari V, Agarwal V, Mal A K, Bhattacharjee A 2010 *IEEE Symposium on Industrial Electronics and Applications* Penang, Malaysia, October 3–5, 2010 p436
- [13] El-moursy M A, Fridman E G 2007 *Integr. VLSI J.* **40** 461
- [14] <http://www.eas.asu.edu/~ptm/2012.6.27>

# A novel interconnect-optimal power model considering self-heating effect\*

Zhang Yan<sup>†</sup> Dong Gang Yang Yin-Tang Wang Ning  
Wang Feng-Juan Liu Xiao-Xian

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials Devices, Microelectronics Institute,  
Xidian University, Xi'an 710071, China)

(Received 27 June 2012; revised manuscript received 22 July 2012)

## Abstract

Based on the distributed interconnect power model, a novel dynamic power model is presented in this paper, in which a non-uniform interconnection structure is adopted. This model takes into account the self-heating effect and is constrained by delay, bandwidth, area, minimum interconnect width and minimum interconnect space. The validity of the proposed model is verified by 90 nm and 65 nm complementary metal-oxide semiconductor technology. The results indicate that the proposed model can cause a power consumption reduction as high as 35%, and yet the delay, area, and bandwidth are not deteriorated, when compared with the conventional power model. The proposed optimal model can be used for designing large scale interconnect router and clock network in network-on-chip structure.

**Keywords:** distributed interconnect, optimal power model, self-heating effect, non-uniform interconnection

**PACS:** 66.30.-h, 66.30.Qa, 72.15.-v, 84.30.-r

**DOI:** 10.7498/aps.62.016601

---

\* Project supported by the National Natural Science Foundation of China (Grant No. 60606006), Key Science and Technology Special Project of Shaanxi Province, China (Grant No. 2011KTCQ01-19), and the National Defense Pre-Research Foundation of China (Grant No. 9140A23060111).

<sup>†</sup> Corresponding author. E-mail: zylap@yahoo.cn